

論 文

統計的 多重 方式을 利用한 ISDN D 채널  
多重化에 關한 研究

正會員 具 齊 吉\*      正會員 金 榮 哲\*\*      正會員 李 鎬 俊\*\*\*  
正會員 曹 圭 燮\*\*\*\*      正會員 朴 炳 哲\*\*\*      正會員 金 炳 贊\*\*\*

A Study on the Multiplexing of ISDN D-channel  
using Statistical Multiplexer

Je Kil KOO\*, Young Chul KIM\*\*, Ho Joon LEE\*\*\*,  
Seob Kyu CHO\*\*\*\*, Byung Chul PARK\*\*\*\*  
Byung Chan KIM\*\*\*\*\*. *Regular Members.*

**要 約** 最近, 미래의 情報化 社會에서 요구되는 새로운 서어비스 제공을 위한 綜合情報 通信網(integrated services digital network; ISDN)의 重要性이 강조되고 있다. 本 論文에서는 ISDN 加入者 返送裝置를 開發함에 있어, 加入者수용 能力을 제고시키기 위하여 11個의 D 채널 多重化에 統計的 多重化 方式의 利用을 提案하였다. 또한 이에 使用되는 統計的 多重化 裝置의 基本構造를 提示하였으며 이와함께 data traffic intensity, 信號의 到着 및 길이分布, buffer overflow probability 등을 研究하여 效率的으로 데이터타를 多重化하기 위한 buffer memory size를 統計的으로 산출하였다.

**ABSTRACT** Recently, the importance of the ISDN has been emphasized for the new services in the future information society. In this paper, new application of statistical multiplexer which can be used for CCITT D-channel multiplexing is suggested. The basic architecture of statistical multiplexer which can interleave eleven 16Kbps D-channels into one 64Kbps B-channel is also proposed. The necessary buffer size was estimated by computer simulation considering data traffic intensity, signal arrival length distribution and buffer overflow probability. Based on this buffer size, the basic architecture of the statistical multiplexer has been surveyed and hardware design principles are also studied.

\* \*\* 三星半導體通信(株)研究所  
Sam Sung Semiconductor and Telecommunications  
\*\*\*\* 韓國電子通信研究所  
Electronics and Telecommunications Research  
Institute  
\*\*\* 成均館大學校 工科大學 電子工學科  
Dept of Electronic Engineering Sung Kyun Kwan  
University. Suwon, 170 Korea  
論文番號 : 86-28 (接受 1986. 7. 26)

1. 序 論

앞으로의 社會가 情報化 社會로 發展되어 감에 따라 情報의 원활한 流通, 交換 및 提共을 위해서 高度의 機能을 갖는 綜合 情報 通信網(ISDN) 이 구축되어야 한다는 것이 세계 각국의 共通된 견해이다. 이와같이 最近에 관심의 초점이 되고있

는 ISDN의 基本 概念은 “發信加入者로부터 受 信 加入者까지 디지털 접속을 提共하며, 이를 通 하여 각종 음성 및 비음성 서어비스가 綜合的으 로 처리되는 通信網”이라 할 수 있다.

電氣 通信에 관한 국제적인 자문기관인 CCI- TT는 ISDN에 관한 研究를 遂行하여 I계열 권 고안(I series recommendation)을 發表하였으며, I.100계열에 基本 概念, I.200계열에 서어비스 機 能, I.300계열에 네트워크 機能 및 I.400 계열에 加入者 / 網간에 인터페이스에 關해 勸告하고 있 다. 그 中 I.400계열에서 勸告하고 있는 ISDN 加入者 構造는 基本的으로 그림 1 과 같은 形態를 갖는다.

그림 1에서 技能集合이라 함은 ISDN 加入者 宅內 構造에서 필요한 各種 技能들을 種類別로 犬別한 것이고, 이러한 技能集合들을 區分하는 概念的인 分岐點을 基準點이라 한다.

技能集合 中 NT(Network Termination)는 通信 網 終端技能을 가지며 NT 1과 NT 2로 그 技能 이 大別된다. NT 1은 通信網의 物理的이고 電氣, 磁氣의 終端技能으로서 OSI(Open System Inter-connection)의 계층 1에 해당되는 技能을 수행하 며, NT 2는 계층 2 및 계층 3에 해당되는 技能 들로서 PABX, LAN등이 갖는 技能이 NT 2 의 代表的인 경우에 해당된다.

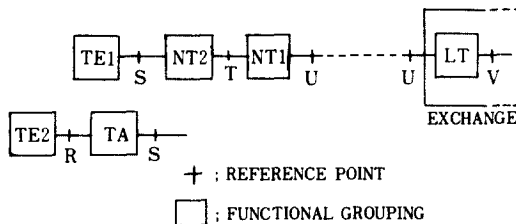


그림 1 ISDN 加入者 構造  
ISDN user-network interface.

TE(Terminal Equipment)는 加入者 端末器機를 뜻하며 디지털 전화기, 데이터 端末裝置 및 새로 운 서어비스用 端末裝置들이 여기에 속한다. T E 1은 ISDN用 端末이며, TE 2는 ISDN用이아 닌 端末裝置 즉 기존의 加入者 端末이다. TE 2

는 TA(Terminal Adaptor)를 通해 ISDN에 접속 될 수 있다. LT(Line Termination)는 交換局則 의 回線終端裝置로서 加入者는 이를 通하여 交 換器에 접속된다.

ISDN 加入者 / 網간 인터페이스는 2B+D(D; 16Kbps)의 BAI(Basic Access Interface)와 대용 량 접속을 위한 23B+D 또는 30B+D(D; 64Kbps) 의 PAI(Primary Access Interface)가 있으며, B AI는 一般的으로 加入者, PAI는 PABX LAN 및 加入者 返送裝置 등에 利用될 수 있다. 여기 서 B 채널이라 함은 64Kbps의 정보량을 가지며, 64Kbps로 코딩된 音聲, 回線交換 또는 패킷交換 에 關련된 高速의 데이터를 수용할 수 있으나 回 線交換에 필요한 信號情報은 가지고 있지 않다. D 채널은 회선교환이 필요한 신호정보, 低速 패 킷데이터 및 遠隔檢針과 같은 遠隔操作情報들을 수용할 수 있다.

加入者 返送裝置는 遠隔地에 위치한 加入者 또 는 집단으로 거주하는 加入者들을 通信網에 접 속시켜 주기 위하여 효과적으로 使用되어 왔으며 디지털 返送시스템의 가격 하락은 返送裝置의 効 用성을 더욱 높여주고 있다. 더구나 이러한 返 送시스템은 ISDN用 交換機의 分布밀도가 매우 낮을 ISDN 도입 초기단계에서 매우 유용하게 사 용될 전망이다.

既存의 아날로그 시스템에서 音聲은 4 KHz의 대역폭으로 주파수 分割 多重化되거나 64Kbps 로 코딩된 디지털 데이터로서 時分割 多重化되 었다. 즉, T1 返送의 경우 64Kbps의 디지털화 된 音聲 24채널이 모여서 1.536Mbps의 情報量 (24B 情報量에 해당)이 되고 여기에 8 Kbps의 프레임 비트를 더해 1.544Mbps의 速度로 傳送 된다.

그러나, ISDN에서는 T1 返送을 使用할 경우 64K bps의 情報량을 基本 單位로 하는 것이 아 니고, 基本 接續(2B+D, 144Kbps)의 情報량을 基本 單位로 하기 때문에 多重化 段階에서 어려 움이 發生하게 된다. 즉, 12個의 基本 接續을 多 重化하게 되면 總 情報량이 1.728Mbps(24B+12 D)가 되어 T1 返送의 傳送能力을 超過하며 10 個의 基本 接續을 多重化하게 되면 總 情報량이

1.440Mbps (20B+10D)가 되어 T1返送의 傳送能力을 最大로 活用할 수 없게 된다.

한편, 11個의 基本接續을 多重化하게 되면 總情報量이 1.584Mbps (22B+11D)가 되어 傳送能力을 超過하게 되나 D채널의 性質을 利用하면 T1 返送의 傳送能力을 最大한 活用하는 동시에 回線當 單價도 줄일 수 있게 된다.

즉 D채널은 B채널을 위한 回線交換信號, 低速 패킷 데이터 및 원격검침 情報들을 수용하며 이러한 情報들은 모두 패킷 데이터의 形態를 취하므로 이 特徵을 利用하여 D채널 多重化에 統計的 多重化 方式을 適用할 수 있다. 이때 22個의 B채널은 보통의 Synchronous TDM을 利用하여 多重化하고 11個의 D채널(176Kbps)은 統計的 多重化 方式을 利用하여 128Kbps 또는 64Kbps의 情報量으로 再構成하면 11個의 基本 接續을 1.536Mbps (24 B)의 T1 返送 시스템에 傳送시킬 수 있게 되므로 경제적인 ISDN用 加入者 返送裝置의 實現이 가능케 된다.

本 論文에서는 ISDN D채널 多重化에 統計的 多重化 方式을 적용하기 위한 基本 構造를 提案 하였으며, 또한 SMUX 理論의 핵심인 data traffic intensity, 信號의 到着 및 길이 分布와 buffer overflow probability 등을 研究하여 가장 効率的으로 데이터를 처리할 수 있는 시스템의 buffer size를 computer simulation에 의해 統計的으로 結定하였다.

## 2. SMUX와 Buffer size

### 가. SMUX의 개요

데이터의 傳送効률을 最大로 하기 위한 Line Sharing 方法의 하나인 Multiplexing 方式은 一定한 주파수 대역폭을 가진 通信線路를 몇 個의 작은 대역폭으로 나눈 다음 여러개의 Low speed 장비를 동시에 利用하는 FDM(Frequency Division Multiplexing)과 한 傳送線路의 데이터 傳送時間을 一定한 Time slot (또는 Time Duration) 으로 나누어 서어비스하는 TDM(Time Division Multiplexing)으로 나눈다. 이 중에서 TDM은 다시

Time slot을 加入者에게 割當하는 方法에 따라 STDM(Synchronous TDM), ATDM(Asynchronous TDM) 또는 STATDM(Statistical TDM)으로 나눈다.

STDM은 傳送할 信號의 有無에 관계없이 加入者에게 항상 固定된 Time slot을 割當한다. 따라서 Static한 方法은 多重化 裝置에 연결된 使用者 全部가 信號를 傳送하지 않는 한, Time slot을 非効率的으로 利用하게 된다. 反面에 ATDM에서는 傳送할 데이터가 있는 加入者에게만 채널을 割當하는 Message switching에 그 概念을 두고 있기 때문에 채널을 最大한 効率的으로 利用할 수 있다.

또한 Fuchs와 Jackson<sup>17)</sup> 등의 研究에 따르면 實際의 데이터傳送 平均時間, 즉 Duty cycle은 全體의 약 10%에 불과하므로 ATDM을 利用함으로써 STDM의 경우와 같은 channel의 浪費를 막고 channel 利用率을 크게 높일 수 있다. 그림 2는 ATDM과 STDM의 動作方法을 比較 도시하였다.

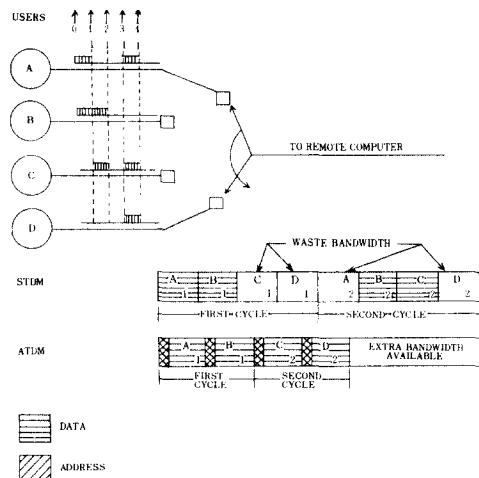


그림 2 STDM과 ATDM의 비교  
STDM Contrasted with ATDM.

### 나. Buffer Input Message의 統計的 特長

一般的으로 Buffer에 入力되는 Message의 形態는 1) Constant-length messages 2) Random-le-

ngth messages 3) Random-length messages segmented into fixed-sized blocks 4) Mixed messages (1)과 2)의 Combination) 등으로 大別된다.

그런데 本 論文에서 다루는 Input message 는 Burst(a string of characters) 形態를 취하므로 Random-length message model의 統計的 特性만을 기술하고자 한다. 또 이에 대한 Buffer 動作의 해석은 다음 절 (다)에서 說明한다.

Fuchs와 Jackson의 데이터信號에 대한 一般의 特性 研究에 의하면, Interburst arrival time 은 指數分布에 近似시킬 수 있다. 즉, Burst들의 到着(arrival)은 Poisson 分布를 따른다. 그리고 Burst length는 幾何分布를 갖는다. 그러므로, Burst length X는 幾何分布를 갖고 平均길이(l characters)는  $\frac{1}{\theta}$ 이다. Unit Service interval  $\mu$  ( $=\frac{1}{R}$ , R=出力傳送速度) 동안 到着하는 Burst 數 Y는 平均 信號到着 比率  $\lambda$  (bursts/service interval)를 갖는 Poisson 分布를 따른다.

이때 X와 Y의 確率密度函數(Probability density function, pdf)는 다음과 같이 表現된다.

$$P_X(l) = \theta (1 - \theta)^{l-1}, \quad l=1, 2, \dots, \infty \quad (1)$$

$$P_Y(n) = \frac{\lambda^n}{n!} \text{Exp}(-\lambda), \quad n=0, 1, 2, \dots, \infty \quad (2)$$

Unit service interval 동안 到着한 character의 總數 S는

$$S = S_Y = \sum_{i=0}^Y X_i \quad (3)$$

$X_i$ ;  $i$ th arriving burst에 포함된 character의 數

Y; Unit interval 동안 到着한 burst 總數 이 된다.

식(3)에서  $X_i$ 와 Y의 分布는 식(1)과 (2)에 各各 주어지며 Burst arrival이 없을 때  $X_0 = 0$ 가 된다.

S의 確率密度函數(pdf)는 다음과 같이 구할 수 있다. S의 條件 確率密度函數(Conditional pdf)  $\pi(j/K)$ 는  $Y=K$ 에 대한 S의 確率密度函數(pdf)

f)로 定義된다<sup>10)</sup>. 즉,

$$\pi(0/0) = 1 \quad (4)$$

$$\pi(j/0) = 0, \quad j=1, 2, \dots, \infty \quad (5)$$

$$\pi(0/1) = 0 \quad (6)$$

$$\pi(j/1) = \theta (1 - \theta)^{j-1}, \quad j=1, 2, \dots, \infty \quad (7)$$

위의 결과를 利用해서  $P_X(l)$ 의 K-fold convolution에 依해 一般式을 얻게 된다.

$$\pi(j/K) = 0, \quad j=0, 1, 2, \dots, K-1 \quad (8)$$

$$\pi(j/K) = \binom{j-1}{K-1} \theta^K (1 - \theta)^{j-K} \quad (9)$$

$$j=K, K+1, \dots, \infty \text{ for } K=1, 2, \dots, \infty$$

式(2)와 式(4)~(9)를 利用해서 S의 確率密度函數(Unconditional pdf)를 얻는다.

$$\pi(j) = \begin{cases} \sum_{k=1}^j \binom{j-1}{K-1} (\lambda \theta)^K (1 - \theta)^{j-K} \times \\ \text{Exp}(-\lambda) / K! \quad j=1, 2, \dots, \infty \\ \text{Exp}(-\lambda), \quad j=0 \end{cases} \quad (10)$$

式(10)으로부터 Unit service interval 동안 正確히 j개의 character가 到着할 確率密度函數(pdf)  $P_R(s=j) = \pi(j)$ 는 Compound Poisson 分布가 됨을 알 수 있다.

또 S의 期待置(Expected value)와 分散(Variance)은 各各 다음과 같다.

$$E(S) = E(X) \cdot E(Y) = \lambda / \theta \quad (11)$$

$$V_{ar}(S) = \lambda \cdot E(X^2) \quad (12)$$

#### 다. Buffer 動作의 統計學的 解析

SMUX System에 연결된 모든 加入者가 同時에 상당한 時間동안 信號를 傳送하게 될 때에는 Buffer에서 Service delay time이 길어지게 된다. 따라서 理論을 토대로 信號의 到着 및 길이 分布,

Traffic intensity와 Overflow probability 등을 研究하여 Buffer size의 最適置을 求해야 한다.

本 研究에서는 Finite waiting line에 依한 Queuing Model 에 基本을 두고 Buffer 動作을 分析하였다. Buffer 動作을 살펴 보기에 앞서 다음을 假定한다. 즉, 한 character를 傳送하기 위한 時間  $\mu$  는 一定하며 傳送은 Synchronous 하게 遂行한다.

Buffer 動作을 解析하기 위한 Parameter들은 아래와 같다.

- 1) Buffer overflow probability( $P_{of}$ )
- 2) Traffic intensity( $e$ )
- 3) Expected queuing delay( $D$ )
- 4) Buffer size( $N$ )
- 5) Average burst length( $\bar{l}$ )

式(10)과 같이 Unit Service interval 동안  $j$  개의 character가 到着할 確率密度函數(Pdf)  $P_s(S=j) = \pi(j)$ 를 利用해서 길이가  $N$ 인 Buffer size를 結定하기 위한 State equation들을 求한다.

基準點(Reference point)을 한 서어비스가 끝나는 時點으로 잡았을 때, Buffer 內에 定確히  $n$  개의 character가 存在할 確率을  $P_n$ 이라 하자. 그러면 Service interval 끝에서 Buffer 內에 character들이 存在할 確率은 Service interval 時作點에서 character들이 存在할 確率과 service 동안 到着한 character들의 確率의 곱과 같다. 따라서 Buffer 狀態에 關한 state equation들은 recursive한 性格을 갖는다. 예를들어  $P_1$ 과  $P_2$ 를 求하면,

$$P_1 = \Pi(0) \cdot P_2 + \Pi(1) \cdot P_1 + \Pi(1) \cdot P_0 \quad (13)$$

$$P_2 = \Pi(0) \cdot P_3 + \Pi(1) \cdot P_2 + \Pi(2) \cdot P_1 + \Pi(2) \cdot P_0 \quad (14)$$

의 式으로 求해진다. 이것을 一般化하면 다음 式이 된다.

$$P_n = \Pi(0) \cdot P_{n+1} + \sum_{i=1}^n \Pi(n-i+1) \cdot P_i + \Pi(n) \cdot P_0 \quad (15)$$

또는

$$P_{n+1} = \frac{1}{\Pi(0)} [P_n - \sum_{i=1}^n \Pi(n-i+1) \cdot P_i - \Pi(n) \cdot P_0] \quad (16)$$

確率의 合(=1)과 Buffer size( $N$ )는 固定되어 있으므로

$$\sum_{i=0}^N P_i = 1 \quad (17)$$

$$P_{i \geq N+1} = 0 \quad (18)$$

인 關係가 成立한다.

式(15)는 다음과 같이 說明된다.

- 1) Service를 始作할 때 Buffer 內에  $n+1$  개의 character가 存在할 確率과 Service 中 한 개의 character도 到着하지 않을 確率의 곱項
  - 2) Service 時點에  $i$  개의 character가 存在할 確率과 Service 동안  $n-i+1$  ( $i=1, 2, 3, \dots, n$ ) 개의 character가 到着할 確率의 곱項
  - 3) Buffer가 비어 있는 狀態의 確率과 service 中  $n$  개의 character가 到着할 確率의 곱項
- 인 세 項의 合으로 構成된다.

한편, Buffer size는  $N$ 으로 固定되어 있으므로 Buffer가  $N$ 까지 채워진 다음에 到着한 character에 대해서는 Overflow가 發生한다. 즉, 平均 character 出力比率(Carried load)  $\alpha$ 가 平均 character 入力比率(Offered load)  $\beta = \lambda / \theta$ 보다 작은 境遇에 overflow가 發生한다. Buffer가 비어 있지 않다는 것을 意味하는  $\alpha$ 는 Buffer가 idle할 確率  $P_0$ 를 利用해서 求할 수 있다.

$$\alpha = 1 - P_0 \quad (19)$$

Overflow probability  $P_{of}$ 는 全体 character 中, Reject된 character의 比를 나타내므로

$$P_{of} \triangleq \frac{\text{Offered load} - \text{Carried load}}{\text{Offered load}} = 1 - \alpha / \beta$$

가 된다. 또 Traffic intensity  $\rho$  는 Transmission channel 의 混雜度를 나타내며 다음과 같다.

$$\rho \triangleq \frac{\text{Data arrival rate}}{\text{Unit service interval}} = \beta / \mu \quad (21)$$

그리고 Transmission line이 busy 한 時間比率을 나타내는 channel (server) 利用率  $U$  는 아래와 같이 表示할 수 있다.

$$U = (1 - P_{0,r}) \cdot \beta / \mu \quad (22)$$

$$= \alpha / \mu \leq \rho$$

끝으로, Burst 를 單位로 본 Delay  $D$  는  $P_{0,r}$  가 매우 작은 境遇( $10^{-6}$  이하)에 Infinite queuing model 로부터 近似式을 얻는다.

$$D = \frac{\lambda \cdot E(X^2)}{2(1-\rho)}$$

$$= \frac{\lambda \cdot (2-\theta)}{2(\theta-\lambda) \cdot \theta} \text{ (character-service times)} \quad (23)$$

### 라. Buffer size의 산출

앞의 理論的 考察에서 본 바와같이 SMUX 의 具現에 앞서 Statistical Multiplexing의 理論的 核心을 이루는 데이터의 Traffic intensity, 信號의 到着 및 길이分布, Buffer overflow probability와 Buffer size 등의 Parameter를 求하기 위해 computer simulation을 遂行하였다. Buffer size  $N$  을 結定하기 위한 프로그램의 흐름도는 그림(3)과 같다.

入力速度를 16Kbps (各 11個의 D-Channel 當), 出力速度는 64Kbps, Data通信에서의 統計的 Data 傳送時間(Duty cycle)을 10%, 平均 信號到着 比率  $\lambda$  (bursts/service interval) 및 Burst의 平均길이  $\bar{l}$ 를 各各 1.46과 128로 하여 Traffic intensity  $\rho$  와 Buffer가 idle할 확률  $P_0$ 를 計算한 후 式(15)를 利用하여 computer simulation을 行한 결과 SMUX System의 最適 Buffer size  $N$  는 3.4 K characters가 되었다. 또한 Burst의 平均길이

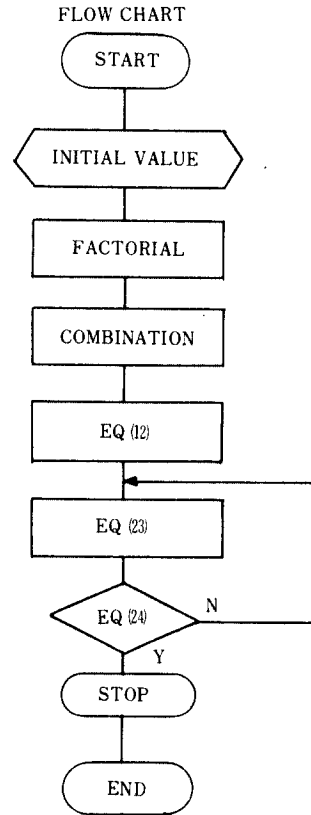


그림 3 흐름도  
Flow chart.

이  $\bar{l}=256$ 으로 했을 경우의 Buffer size  $N$ 은 6.6 K character가 되었다. 위의 computer simulation은 VAX-11/750에 의해 遂行하였으며 simulation 結果는 表 1, 2와 같다.

### 3. SMUX System의 Hardware 基本構造

SMUX 시스템을 開發하는데 있어 Hardware 설계의 基本 방향 및 설계 目標은 다음과 같다.

- Multiplexing을 위해 SMUX에 入力되는 데이터 프레임과 SMUX로 부터 Demultiplexing되어 出力되는 데이터 프레임은 LAPD프로토콜에 부합되도록 한다.
- Software module化 및 시스템의 효율성을 높이기 위해 Main CPU부와 Communication CPU부로 Hardware를 분할하여 설계한다.

표 1 최적버퍼용량 계산치  
Optimal buffer size simulation results.

SIMULATION RESULTS

---

BUFFER SIZE	PROBABILITY	SUM OF PROB.
1	0.00145675355736375000	0.72790579302959600000
2	0.00144903672123278000	0.72934715379193800000
3	0.00144136076334204000	0.73078087925909700000
4	0.00143372545714824000	0.73220700987634200000
5	0.00142513061725519000	0.73362558587575000000
6	0.00141857599940769000	0.73503664727623500000
7	0.00141106140048553000	0.736440233888473300000
8	0.00140358660949744000	0.73783638529730800000
9	0.00139615141257513000	0.73922514090027500000
10	0.00138875560296735000	0.74060653987130900000
11	0.00138139897103393000	0.74198062118054900000
12	0.00137408130923994000	0.74334742359169900000
13	0.00136680241114982000	0.74470698566312000000
14	0.00135956207142156000	0.74605934574892100000
15	0.00135236008580038000	0.74740454200003700000
16	0.00134517525111551000	0.74874261236530600000
17	0.00133807036526943000	0.75007359459254300000
18	0.00133098222723719000	0.75139752622960200000
19	0.00132393163705919000	0.75271444462543300000
20	0.00131691837593112000	0.75402438693114100000

---

3328	0.00000000002241784247	0.99999999960550700000
3363	0.00000000002229908805	0.99999999962768800000
3390	0.00000000002218096271	0.99999999964975100000
3391	0.00000000002206346311	0.99999999967169800000
3392	0.00000000002194658594	0.99999999969352800000
3393	0.00000000002183032790	0.99999999971524300000
3394	0.00000000002171466572	0.99999999973684200000
3395	0.00000000002159965612	0.99999999975832800000
3396	0.00000000002148523587	0.99999999977969900000
3397	0.00000000002137142174	0.99999999980095700000
3398	0.00000000002125821052	0.99999999982210300000
3399	0.00000000002114559901	0.99999999984313700000
3400	0.00000000002103358403	0.99999999986405900000
3401	0.00000000002092216243	0.99999999988497000000
3402	0.00000000002081133107	0.99999999990557100000
3403	0.00000000002070108681	0.99999999992616300000
3404	0.00000000002059142554	0.99999999994664500000
3405	0.00000000002048234718	0.99999999996701300000
3406	0.00000000002037394565	0.99999999998728500000
3407	0.00000000002026591887	1.00000000000744000000

---

OPTIMAL BUFFER SIZE (N) = 3407 BYTES

- SMUX 内部 프로토콜로는 HDLC方式을 사용하며, 자체적인 Error recovery 技能을 갖도록 한다.

- 시스템 開發用 Hardware를 부가하여 시스템開發을 용이하도록 한다.

上記의 설계 目標에 의한 SMUX Hardware Block Diagram은 그림(4)와 같으며 크게 MCPU部와 CCPU部로 나누어 진다.

MCPU部の 主된 技能으로는 Dynamic Buffer control, 16Kbps D 채널 송수신, CCPU部와의

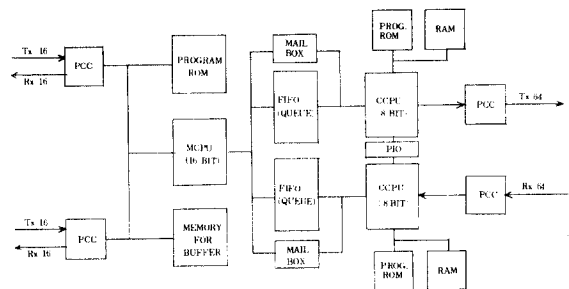


그림 4 SMUX Hardware 구조  
SMUX Hardware Architecture.

표 2 최적버퍼용량 계산치  
Optimal buffer size simulation results.

SIMULATION RESULTS

---

BUFFER SIZE	PRG5A3ILITY	SUM OF PROR.
1	0.00075274900319005900	0.72650344028003500000
2	0.00075063952585459900	0.72725207397064000000
3	0.00074863369060564100	0.72799865844963500000
4	0.00074658447899478300	0.72874319932626100000
5	0.00074454087662588700	0.72948570219440600000
6	0.00074250286814495600	0.73022617263264600000
7	0.00074047043824002100	0.73096461620428700000
8	0.00073844357164102600	0.73170103845740700000
9	0.00073642225311971400	0.73242544492489600000
10	0.00073440646749951200	0.73316784112450200000
11	0.00073237619960541600	0.73389823255886500000
12	0.00073039143436387700	0.73462662471556800000
13	0.00072839215670269100	0.73535302306716300000
14	0.00072639835160098100	0.73607743307124900000
15	0.00072441000407858600	0.73679986017044500000
16	0.00072242709919695200	0.73752030979250300000
17	0.00072044962205801300	0.73823878735030700000
18	0.00071847755780458500	0.73895229824192700000
19	0.00071651099162015200	0.73966984785065600000
20	0.00071454960872875400	0.74038244154505100000

---

5584	0.00000000001096756572	0.99999999980715200000
6585	0.00000000001093751715	0.99999999981806000000
6586	0.00000000001090755061	0.99999999982893700000
6587	0.00000000001087766587	0.99999999983978500000
6588	0.00000000001084814092	0.99999999985139200000
6590	0.00000000001081850026	0.99999999986215100000
6591	0.00000000001078894051	0.99999999987288000000
6592	0.00000000001075946145	0.99999999988359000000
6593	0.00000000001073006296	0.99999999989425100000
6594	0.00000000001070074451	0.99999999990489200000
6595	0.00000000001067150620	0.99999999991550000000
6596	0.00000000001064234776	0.99999999992508000000
6597	0.00000000001061326879	0.99999999993564300000
6598	0.00000000001058426926	0.9999999999457168000000
6599	0.00000000001055534888	0.9999999999557664000000
6600	0.00000000001052650744	0.9999999999658132000000
6601	0.00000000001049774472	0.99999999997571000000
6602	0.00000000001046906051	0.99999999998528200000
6603	0.00000000001044045459	1.00000000000936000000

OPTIMAL BUFFER SIZE (N) = 6603 BYTES

데이터 및 Control 信號의 交換 등이 있다. 16bits MCPU에 의해 행해지는 Dynamic Buffer control은 MPCC를 통해 수신된 16Kbps 데이터를 버퍼에 저장하고, 저장된 데이터는 MCPU와 CCPU간의 데이터 교환이 이루어지는 Queuing buffer (FIFO)에 순차적으로 보내진다. 또한 전송을 위한 MCPU와 CCPU간의 control 신호는 FIFO 内の Mailbox를 통해 상호 교환된다.

CCPU부의 主된 技能으로는 64Kbps 데이터의

송수신, MCPU와의 데이터 및 control 신호의 교환, 송수신용 CCPU간의 control 신호 교환 등이 있다. 송신용 8 bits CCPU는 MCPU가 FIFO에 저장시킨 데이터를 PCC를 통해 SMUX간 프로토콜인 HDLC 방식에 의해 64Kbps로 전송하며, 수신용 8 bits CCPU는 PCC를 통해 수신된 64Kbps 중 정보 Field만을 FIFO에 저장시킨다. 송수신용 CCPU간의 control 신호는 PIO를 통해 상호 교환된다.



#### 4. SMUX System의 Software基本構造

##### 가. SMUX System의 Software설계 개요

SMUX를 動作시키는 Software는 크게 MCPU부와 CCPU부로 구분지을 수 있으며, 이러한 MCPU부와 CCPU부 Software는 다시 遂行하는 幾能에 따라 다음과 같이 몇가지 module로 나눌 수 있다.

- MCPU部; MCPU Polling
  - Dynamic Buffer Management
  - Error Control
  - Transmission FIO(T<sub>x</sub> FIO) Interrupt
  - Receive FIO(R<sub>x</sub>FIO) Interrupt
  
- CCPU部; T<sub>x</sub> Main Control
  - T<sub>x</sub> SIO Buffer Empty Interrupt
  - T<sub>x</sub> External / Status Interrupt
  - R<sub>x</sub> Main Control
  - R<sub>x</sub> Character Available Interrupt
  - Special Receive Condition Interrupt
  - R<sub>x</sub> External / Status Interrupt
  - PIO Error Control Interrupt

##### 라. Modeling

MCPU부는 SMUX System에서 11개의 MPCC를 통해 주고 받는 Polling Control과 Buffer Control을 맡게 되며, CCPU부는 두 개의 SMUX System 간의 통신을 Control하는 幾能을 맡는다. 이 중 최적의 Dynamic Buffer Control이 고려의 초점이 되며 본 論文에서는 FIO의 FIFO 幾能을 最大한 活用하여 Frame의 形成 및 入出力 Buffer Control을 처리한다.

Buffer Control System은 Address Translation Table(ATT), Buffer Memory(BM), Block Available List(BAL), Current Block Address Table(CBT)로 구성된다.

CCPU는 FIO의 FIFO내 Data를 一定한 傳

送속도로 보내주는 T<sub>x</sub> Control과 8bits PCC에서 받은 데이터를 Demultiplexing하기에 앞서 FIO를 통해 受信 Buffer에 저장하는 R<sub>x</sub> Control을 각각 따로 분담하여 맡는다.

한편 두 개의 CCPU는 PIO를 통해 control 情報를 交換하여 두 개의 SMUX 간에 발생할 수 있는 傳送 Error를 Control한다. 이것을 Service Flow로 나타내면 그림(5)와 같다.

ATT는 Message의 目的地Address와 BM의 Address를 서로 연관 지어주는 機能을 수행한다.

ATT에는 여러 개의 項이 마련되어 있으며 각 項은 다시 Memory내에서 데이터가 담긴 Block의 Start Address와 그 Block내에 마지막 데이터가 存在하는 Address를 저장하는 項으로 구분지어져 있다.

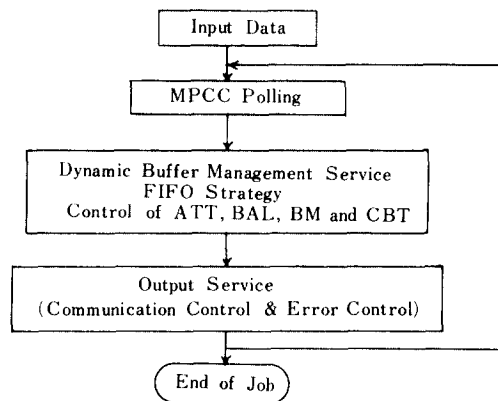


그림 5 Software 처리순서도  
Software service flow.

Buffer Memory는 Message들이 T<sub>x</sub> FIO의 Queue로 入力시키기 전에 순서적으로 기다리는 곳이다. Buffer Memory는 一定한 크기의 block들로 구분지어져 있고, 한 block의 크기는 대략 98 byte로 이것은 LAPD프로토콜의 最大 frame size의 1/3을 약간 넘는 양이며 FIO 128byte FIO의 약 3/4에 해당하는 크기이다. 한 block의 構成은 MPCC의 Address Bits用 4 Bits와 Block continuation Bit, Writing Status Bit, 出力 Priority를 위한 6 Bits 등으로 이루어진 2 Byte

의 Block Header부와 96Byte의 Test로 構成된다.

BAL은 BM의 各 block의 상태를 계속 check 하여 기록해 두는 곳으로 各 Block의 Start Address가 항상 기록되어 있으며 各 Start Address를 Even Number로 構成하여서 Address Bit '0'의 상태에 의해 Block의 use/unuse를 check할 수 있다.

Current Block Address Table은 各 Line Port에 해당하는 現在 使用 中인 Buffer Memory Block의 Address를 나타낸다. 이 CBT는 Initialize시에 모두 zero이며 새로운 Block을 利用할 때마다 Update된다.

Buffer System의 네 Unit 즉 ATT, BM, BAL, CBT는 서로 유기적으로 作用하여 Message의 入出力을 Dynamic하면서도 비교적 고속으로 가능하게 하며, 이 네 Unit의 상호작용은 各 Controller들에 의해 제어된다. ATT, BM, BAL, CBT의 Table Diagram을 그림 6에 보였다.

### 5. 結 論

本 論文에서는 統計的 多重化 裝置를 利用하여 11個의 ISDN BAI用 D-Channel들의 하나의 PA-I B channel에 再構成시키기 위한 Hardware 및 Software를 提案하고 관련 프로토콜을 研究檢討하였다.

그리고, SMUX 理論의 철저한 研究를 通해 本 System에서 가장 效率的으로 Data를 多重化하기 위한 Buffer size를 Computer Simulation에 依해 統計的으로 決定하였다. 이 때 使用한 Parameter  $\bar{l}=128$ Byte,  $\lambda=1.46$ ,  $\rho=0.275$ ,  $P_0=0.725002$ 을 利用해서 Buffer size N을 3.4K characters를 얻었다.

또 ISDN에 關한 CCITT 勸告事項 및 프로토콜을 전반적으로 研究 檢討함으로써 향후 SMUX의 實用化에 어려움이 없도록 하였다.

따라서, 本 論文의 研究 結果는 他 데이터通信

1. Address Translation Table(ATT)

FRAME LAST ADD.	BLOCK FIRST ADD.

2. Buffer (Block) Memory(BM)

	PRIORITY	W	C	MPCC <sub>n</sub>
TEXT	1			
TEXT	96			

3. Block Available List (BAL)

BLOCK ADDRESS 1	USE / UNUSE Check bit
BLOCK ADDRESS 2	

4. Current Block Address Table(CBT)

MPCC 1
MPCC 2
MPCC 12

그림 6 ATT, BM, BAL, CBT.

裝備의 개발이나 데이터 通信網 및 팩킷 通信網 등의 研究에 크게 도움이 되리라 믿으며, 到來할 ISDN에 직접 利用하여 ISDN 發展을 加速시킬 것으로 기대된다.

本 研究는 韓國 電子 通信 研究所의 委託에 의 해 推進되었으며, SMUX의 구체적인 H/W 와 S/W의 구조 및 이에 대한 시험 결과는 추후 發 表할 예정이다.

그동안 本 研究를 위해 많은 도움을 주신 韓國 電子 通信 研究所의 관계자 여러분께 감사의 뜻 을 전한다.

### 참 고 문 헌

- (1) D. Doll, Data Communication - Facilities, Networks, and System Design, John Wiley & Sons, Inc., pp. 311-327, 1978.
- (2) S. M. Ross, Introduction to Probability Models, Academic press, Inc., 1980.
- (3) R. B. Cooper, Introduction to Queueing Theory, The New Yorker Magazine, Inc., 1977
- (4) CCITT Recommendation, Data Communication Networks Services and Facilities, Terminal Equipment and Interfaces, Yellow Book, 1980.

- (5) CCITT Recommendation, Q. 920 (I. 440)
- (6) CCITT Recommendation, Q. 930 (I. 450)
- (7) E. Fuchs and P. E. Jackson, "Estimates of distributions of random variables for certain computer Communication Traffic Models," Commun. Ass. Comput. Mach. vol 13, pp 752-757, Dec., 1970.
- (8) W. W. Chu, "Buffer behavior for poisson Arrivals and multiple synchronous constant outputs," IEEE Trans. Comput. vol. COM19 pp. 530-534, June 1970
- (9) W. W. Chu, "Buffer behavior for batch poisson arrivals and single constant output," IEEE Trans. Commun. Technol. vol. COM-18, pp. 613-618, Oct., 1972.
- (10) W. W. Chu and L. C. Liang, "Buffer behavior for mixed arrivals and single server with random Interruptions," IEEE Trans. Commun. vol. COM-28, pp. 59-64, Jan., 1980
- (11) W. W. Chu, "Dynamic buffer management for computer communications" Proceedings of the third Data Communication Symposium, Nov., pp 68-72, 1973.
- (12) W. W. Chu, "A study of the technique of asynchronous Time division multiplexing for time-sharing computer communication", Proc. Second Hawaii Intern. Conf. Syst. Sci, Jan. 1969.
- (13) Dixon R. Doll, "Multiplexing and concentration", Proc. of IEEE, vol. 60 NO. 11, Nov 1972.
- (14) M. L. El-Sayed, "Support of X.25 access Lines on statistical multiplexers", GLOBECOM '84, NOV., 1984.
- (15) 이 종락, "8-Channel 統計의 多重化器의 具現", 電子工学 学会誌, vol. 21, No. 5, Sept. 1984



**具 齊 吉 (Je Kil KOO)** 正會員  
1960年 12月 4日生  
1985. 2 : 成均館大學校 工科學 電子工學科(工學士)  
1986. 2 : 成均館大學校 大學院 電子工學科(工學碩士)  
1986. 8 ~ 現在 : 三星半導體通信 在職中(研究員)



**金 榮 哲 (Young Chul KIM)** 正會員  
1952年 9月 8日生  
1977. 2 : 成均館大學校 理工大學 物理學科(理學士)  
1980. 2 : 成均館大學校 大學院 電子工學科(工學碩士)  
1982. 7 : 三星半導體通信 在職中 主任 研究員, 成均館大學校 大學院 電子工學科 博士過程 在學中



**李 鎬 俊 (Ho Joon LEE)** 正會員  
1955年 8月 21日生  
1978. 2 : 成均館大學校 電子工學科(工學士)  
1980. 2 : 成均館大學校 大學院 電子工學科(工學碩士)  
陸軍士官學校 電子工學科 專任講師  
1983. 7 : 成均館大學校 大學院 電子工學科 博士過程 在學中



**曹 圭 婁 (Seab Kyu CHO)** 正會員  
1951年 5月 3日生  
1974. : 成均館大學校 電子工學科(工學士)  
1976. 2 : 成均館大學校 大學院 電氣工學科(工學碩士)  
1977. 3 : 韓國電子通信研究所 ~ 現在 前任研究員  
1984. 3 : 成均館大學校 大學院 電子工學科 博士過程 在學中



朴炳哲 (Byung Chul PARK)

1930年4月30日生

1957. 9 : 서울大學校 工科大學 通信工學科 卒業(工學士)

1975. 2 : 仁荷大 大學院 電氣工學科 (工學博士)

1972. 3 : 成均館大學校 教授 電子工學科

1980. 9 : 日本 東京大學 外國人研究員

(1年間)

1986. 7 : 現在 成均館大學校 電子工學科 教授



金炳贊 (Byung Chan KIM) 正會員

1923年10月23日生

1947. 8 : 國立서울大學校 工學大學 電氣工學科 卒業

1955. 9 ~ 1966. 7 : 國立 慶北大學校 教授

1960 ~ 1962. 12 : Denmark 原子力研究所 電子工學研究室에서 研究

1966. 7 ~ 現在 : 成均館大學校 教授 副總長

1968. 7 ~ 1969. 6 : Manchester 理工大學 (UMIST) 大學院에서 電子工學 研究