

論文

웨이브 디지털 필터의 스케일링에 관한 연구

正會員 權 熙 勳* 正會員 金 明 起**

A Study on the Scaling in Wave Digital Filter

Hi Hoon KWON*, Myung Ki KIM** *Regular Members*

要 約 유한어장으로 인하여 디지털 필터에는 반올림한 오차의 잡음과 가산기의 오버플로 문제가 있다. 오버플로가 발생하지 않으면서 내부신호의 레벨을 가능한 최대가 되도록 바꾸기 위하여 행하는 것이 스케일링의 목적이다. 스케일링의 필요조건은 변압기를 사용하여 실현한다. 본 논문에서 오버플로를 피하면서 출력의 SNR을 극대화하는 절차를 제안하였다. 그 결과 스케일링한 경우에 오버플로가 발생하지 않으면서 SNR이 개선 되었다.

ABSTRACT Digital filters suffer from roundoff noise and adder overflows due to finite word length effects. Scaling is an attempt to alter internal signal levels such that all signals are as large as possible, yet without the occurrence of overflows. Scaling requirements are implemented by the use of transformer. This paper proposes a procedure for scaling wave digital filters to avoid overflow problems and at the same time maximizing the output signal-to-noise ratio. Results indicate that the scaled networks have an improved signal to noise ratio over the un-scaled filters under the condition that there be no overflows occurring.

1. 서 론

디지털 필터를 유한어장으로 실현할 때 발생하는 오차는 필터의 응답에 영향을 미친다. 유한어장의 문제로는 가산기에서 발생하는 오버플

로와 승산기에서 발생하는 반올림한 오차의 잡음이 있다⁽¹⁾⁽²⁾. 이 두가지 문제는 상호 보완적이므로 상호간에 균형을 유지하면서 SNR을 개선하는 방법을 찾는다. 이와같은 목적으로 필터에서 행하는 신호의 조작을 필터의 스케일링이라고 한다⁽³⁾⁽⁴⁾. 오버플로는 가산기에서 두 수의 합이 레지스터에 저장할 수 있는 가장 큰 수의 범위를 초과할 때에 발생한다. 이것은 고정소수점 연산에서 주로 발생하여 심한 출력의 왜곡과 발진을 일으킨다⁽⁵⁾. 한편 승산기에서 b 비트인 두 수를 곱하면 2b 비트의 수가 생기는데 유한어장으로 실현할 때는 b 비트를 버려야 한다. 이것은 매 승

* 國立 忠州工業專門大學 電子科
Dept. of Electronics, Chung-Ju National Junior Technical College, Chungbuk, 320-79, Korea.

** 東亞大學校 電子工學科
Dept. of Electronic Engineering, Dong-A University, Pusan, 602-02, Korea.

論文番號 : 87-04 (接受 1986. 10. 7)

산기마다 1개씩 존재하는 부가적인 잡음원이 되어서 오차를 발생하게 한다. 이 잡음원은 출력신호에는 영향을 미치지 않지만 필터의 입력신호에는 영향을 미치지 않는다. 따라서 입력신호의 레벨을 올리면 SNR은 개선되지만 오버플로가 생긴다. 한편 입력신호의 레벨을 감소시키면 오버플로 문제는 없어지지만 SNR이 나빠진다.

본 논문에서는 M.N.S Swamy의 방법으로 WDF (Wave Digital Filter)을 설계하고⁽⁶⁾, L_p Norm을 사용하여 회로의 어떤 절점에서 오버플로가 발생하지 않은 신호의 진폭을 결정한다⁽²⁾⁽⁷⁾⁽⁸⁾. 그리고 변압기로 스케일링하는 방법을 제안하여, WDF를 유한어장으로 실현할 때 오버플로를 피하면서 SNR을 개선하는 절차를 연구한다.

2. WDF의 設計法

WDF 설계의 기본 개념은 複終端된 사다리형 LC필터로부터 디지털 회로망을 설계하는 것이다. A. Fettweis가 사다리형 LC필터의 각 소자를 2단자망으로 취급하여 WDF를 설계하는 방법을 처음으로 발표하였다^{(9), (10)}. 그리고 M.N.S Swamy는 사다리형 LC필터의 각 소자를 4단자망으로 취급하여 WDF를 설계함으로써 어댑터를 사용하지 않는 방법을 발표하였다⁽⁶⁾. WDF를 설계하기 위하여 복종단된 사다리형 LC필터의 각 소자를 직렬지रो와 병렬지रो로 구분한 후에 쌍일차 변환법을 이용하여 디지털 4단자망을 얻는다.

사다리형 LC필터를 구성하는 소자의 종류에는 1) 저항, 2) 직렬 인덕터, 3) 직렬 캐패시터, 4) 병렬 인덕터, 5) 병렬 캐패시터, 6) 직렬 LC탱크, 7) 병렬 LC 탱크 등이 있다. 그림 1-(a)와 같이 직렬지रो인 인덕터에서 디지털 4단자망을 구하는 방법을 기술한다.

$$\begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} \frac{(R_2 - R_1 + L)Z + (R_2 - R_1 - L)}{(R_1 + R_2 + L)Z + (R_1 + R_2 - L)} & \frac{2R_1(Z + 1)}{(R_1 + R_2 + L)Z + (R_1 + R_2 - L)} \\ \frac{2R_2(Z + 1)}{(R_1 + R_2 + L)Z + (R_1 + R_2 - L)} & \frac{(R_1 - R_2 + L)Z + (R_1 - R_2 - L)}{(R_1 + R_2 + L)Z + (R_1 + R_2 - L)} \end{bmatrix} \begin{bmatrix} A_1 \\ A_2 \end{bmatrix} \quad (6)$$

직렬지रो인 인덕터를 4단자망으로 표시할 때 입력단과 출력단의 전압과 전류의 관계는(1)식과 같다.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 1 & SL \\ 0 & -1 \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (1)$$

4단자망에서 전압의 입사파와 반사파의 관계는 다음과 같다.

$$\begin{bmatrix} A_k \\ B_k \end{bmatrix} = \begin{bmatrix} 1 & R_k \\ 1 & R_k \end{bmatrix} \begin{bmatrix} V_k \\ I_k \end{bmatrix} \quad k=1, 2 \quad (2)$$

여기서 A_k 는 입사파, B_k 는 반사파, R_k 는 단자 저항이다. 그리고 $K=1$ 은 입력단, $K=2$ 는 출력단을 표시한다.

(1) 식을 (2) 식에 대입하면

$$\begin{bmatrix} A_1 \\ B_1 \end{bmatrix} = \begin{bmatrix} 1 & R_1 \\ 1 & R_1 \end{bmatrix} \begin{bmatrix} 1 & -SL \\ 0 & 1 \end{bmatrix} \begin{bmatrix} 1 & R_2 \\ 1 & -R_2 \end{bmatrix}^{-1} \begin{bmatrix} A_2 \\ B_2 \end{bmatrix} \quad (3)$$

$$\begin{bmatrix} B_1 \\ B_2 \end{bmatrix} = \begin{bmatrix} \frac{R_2 - R_1 + SL}{R_1 + R_2 + SL} & \frac{2R_1}{R_1 + R_2 + SL} \\ \frac{2R_2}{R_1 + R_2 + SL} & \frac{R_1 - R_2 + SL}{R_1 + R_2 + SL} \end{bmatrix} \begin{bmatrix} A_1 \\ B_2 \end{bmatrix} \quad (4)$$

쌍일차변환을 이용하여 디지털 4단자망을 얻기 위하여 (4)식의 S 대신에 (5)식을 대입한다.

$$S = \frac{Z - 1}{Z + 1} \quad (5)$$

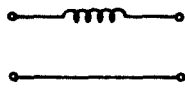
(6) 식의 분자에 Z에 비례하는 항이 있는데, 이것은 입사파와 반사파 사이에 지연이 없는 경로(path)가 존재함을 의미한다. 따라서 디지털 4 단자망을 종속접속 시킬 때 지연이 없는 루프가 생긴다. 지연소자를 갖지 않은 루프를 지연이 없는 루프(Delay-free loop)라고 한다. 지연이 없는 루프가 발생하면 연산동작을 적당한 스퀀스로 수행할 수 없게 된다. 즉 순서논리회로가 되지 못하고 조합논리회로가 된다. 따라서 WDF를 실현하려면 지연이 없는 루프를 제거해야 한다.

(7) 식의 조건을 만족하도록하면 지연이 없는 루프가 없어진다.

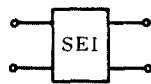
$$R = R_2 + L \quad (7)$$

$\sigma = R_2/R_1$ 이라면 (6) 식은

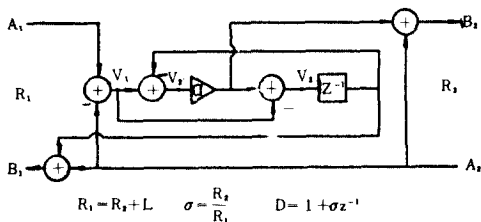
$$\begin{pmatrix} B_1 \\ B_2 \end{pmatrix} = \begin{pmatrix} \frac{(\sigma-1)Z^{-1}}{1+\sigma Z^{-1}} & \frac{1+Z^{-1}}{1+\sigma Z^{-1}} \\ \frac{\sigma(1+Z^{-1})}{1+\sigma Z^{-1}} & \frac{(1-\sigma)}{1+\sigma Z^{-1}} \end{pmatrix} \begin{pmatrix} A_1 \\ A_2 \end{pmatrix} \quad (8)$$



(a) 직렬지로인 인덕터
Series Inductor.



(b) WDF 회로망의 기호
Symbol for WDF network.



$$R_1 = R_2 + L \quad \sigma = \frac{R_2}{R_1} \quad D = 1 + \sigma z^{-1}$$

(c) 신호흐름선도
Signal flow graph.

직렬지로인 인덕터의 신호흐름 선도를 그림 1-(c)에 나타냈다.

그림 2에 WDF 구성요소의 종류와 기호, 지연이 없는 루프를 제거하기 위한 식과 승산기의 값을 구하는 식을 나타냈다.

그림 3에 복종단된 사다리형 LC 필터에서 WDF를 설계하는 절차를 나타냈다.

3. 신호의 진폭 결정

디지털 회로망의 임의의 절점에서 신호의 한계를 정하기 위하여 L_p Norm을 사용한다. 기호 $\|A\|_p$ 는 L_p Norm을 표시하고 다음 식으로 정의 한다^{(2),(8)}.

$$\|A\|_p = \left[\frac{1}{W_s} \int_0^{W_s} |A(w)|^p dw \right]^{1/p} \quad (9)$$

여기서 $P \geq 1$ 이고, W_s 는 래디안 샘플링주파수이다.

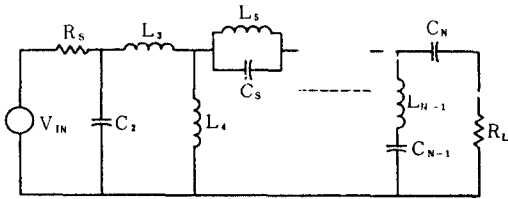
Input	Node	F(z) (Inductor)
		D = 1 + σz^{-1}
A ₁	V ₁	1
A ₂	V ₁	-1
A ₁	V ₂	(1 + Z ⁻¹) / D
A ₂	V ₂	-(1 + Z ⁻¹) / D
A ₁	V ₃	($\sigma - 1$) / D
A ₂	V ₃	-($\sigma - 1$) / D
A ₁	B ₁	-($\sigma - 1$)Z ⁻¹ / D
A ₂	B ₁	(1 + Z ⁻¹) / D
A ₁	B ₂	$\sigma(1 + Z^{-1}) / D$
A ₂	B ₂	(1 - σ) / D

(d) 전달 함수
Transfer function.

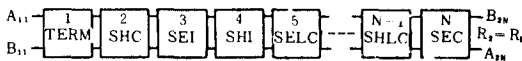
그림 1 직렬지로인 인덕터 부분
Series inductor section.

Kind of Elements	source termination	series inductor	series capacitor	shunt inductor	shunt capacitor	series LC tank	shunt LC tank
Analog Element							
Symbol for WDF Network							
Design Equations	$\beta = \frac{R_2 - R_s}{R_2 + R_s}$	$R_1 = R_2 + L$ $\sigma = \frac{R_2}{R_1}$	$R_1 = R_2 + \frac{1}{C}$ $\sigma = \frac{R_2}{R_1}$	$G_1 = G_2 + \frac{1}{L}$ $\sigma = \frac{G_2}{G_1}$	$G_1 = G_2 + C$ $\sigma = \frac{G_2}{G_1}$	$R_1 = R_2 + \frac{L}{1+LC}$ $\sigma = \frac{R_2}{R_1}$ $\alpha = \frac{1-LC}{1+LC}$	$G_1 = G_2 + \frac{1-LC}{1+LC}$ $\sigma = \frac{G_2}{G_1}$ $\alpha = \frac{1-LC}{1+LC}$

그림 2 WDF 구성 요소
WDF component.



(a) 아날로그 회로망
Analog network.



(b) WDF 블록선도
WDF block diagram.

그림 3 WDF 설계 절차
WDF design procedure.

$A(w)$ 가 주기 W_s 를 갖는 W 의 주기적인 함수이면

$$\int_0^{W_s} |A(w)|^p dw < \infty \quad (10)$$

$A(w)$ 가 연속적이고, P 가 ∞ 로 되면

$$\lim_{P \rightarrow \infty} \|A\|_P = \|A\|_\infty = \text{Max}_{0 < w \leq W_s} |A(w)| \quad (11)$$

즉 $A(w)$ 의 L_∞ Norm $\|A\|_\infty$ 는 $|A(w)|$ 의 첨두치를 나타낸다.

입력 $u(n)$ 에 대한 디지털회로의 i 번째 절점 v_i 에서 입력 $v_i(n)$ 은

$$v_i(n) = \sum_{K=0}^{\infty} f_i(K) u(n-K) \quad (12)$$

여기서 $f_i(K)$ 는 입력으로부터 절점 v_i 까지의 단위 샘플 응답이다.

임의의 절점에서 신호 $v_i(n)$ 의 진폭은 (13) 식으로 제한한다(7).

$$|v_i(n)| \leq \|F_i\|_P \|U\|_q \quad (13)$$

단,

$$\frac{1}{p} + \frac{1}{q} = 1, \quad p, q \geq 1$$

여기서 $\|F_i\|_P$ 는 $F_i(w)$ 의 L_P Norm 이고, $\|U\|_q$

는 $u(w)$ 의 L_q Norm을 나타낸다.

$$\|F_t\|_p = \left[\frac{1}{W_s} \int_0^{w_s} |F_t(w)|^p dw \right]^{1/p} \quad (14-a)$$

$$\|U\|_q = \left[\frac{1}{W_s} \int_0^{w_s} |U(w)|^q dw \right]^{1/q} \quad (14-b)$$

L_p Norm 기호를 사용할 때 (13) 식을 만족하는 p 와 q 의 집합에는 $(1, \infty)$, $(2, 2)$, $(\infty, 1)$ 등이 있다.

L_1 Norm은 $(p, q) = (1, \infty)$ 인 경우이다.

$$|v_t(n)| \leq \|F_t\|_1 \|U\|_\infty (= \|U\|_\infty \|F_t\|_1) \quad (15-a)$$

$$|v_t(n)| \leq \left[\text{Max}_{0 \leq w \leq w_s} |U(w)| \frac{1}{W_s} \int_0^{w_s} |F_t(w)| dw \right] \quad (15-b)$$

즉 입력신호 $U(w)$ 의 진폭 첨두치가 제한된다. L_∞ Norm은 $(p, q) = (\infty, 1)$ 인 경우이다.

$$|v_t(n)| \leq \|F_t\|_\infty \|U\|_1 \quad (16)$$

L_2 Norm은 $(p, q) = (2, 2)$ 인 경우이다.

$$|v_t(n)| \leq \|F_t\|_2 \|U\|_2 \quad (17)$$

입력의 L_q Norm을 알고 있으면 스케일링의 필요 조건을 찾을 수 있다. 즉 $\|U\|_q \leq 1$ ($q \geq 1$)이고, 스케일된 $F'_t(w)$ 의 L_p Norm이 $\|F_t\|_p$ 일 때 다음 조건을 만족하도록 하면 오버플로가 발생하지 않는다.

$$\|F'_t\|_p \leq 1 \quad P \geq 1 \quad (18)$$

$$\|F'_t\|_p = \left[\frac{1}{W_s} \int_0^{w_s} |F'_t(w)|^p dw \right]^{1/p} \quad (19)$$

$$\|F'_t\|_\infty = \text{Max}_{0 \leq w \leq w_s} |F'_t(w)| \quad (20)$$

고정 소숫점 연산 방식일 때 SNR을 극대화하기 위하여 $\|F'_t\|_p = 1$ 을 만족하도록 스케일링한다.

$$F'_t(w) = n_t F_t(w) \quad (21)$$

여기서 스케일링 계수 n_t 를 구할 수 있다.

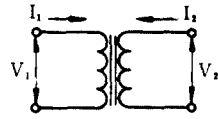
$$n_t = \frac{1}{\|F_t\|_p} \quad (22)$$

4. WDF의 스케일링 방법

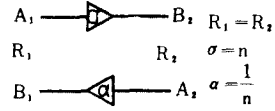
스케일링은 아날로그 필터의 설계에도 응용되는 기법이다. 능동필터에서 연산증폭기의 전압이나 전류에 한계가 있으므로 過驅動되면 출력에 왜곡이 생기므로 입력신호를 너무 크게 해서는 안된다⁽⁴⁾. 마찬가지로 고정소숫점으로 실현된 디지털에서도 내부신호의 진폭이 너무 크면 오버플로가 발생하여 출력신호가 심하게 왜곡된다. 한편 내부신호의 진폭이 너무 작으면 SNR이 나빠진다. 따라서 필터를 효율적으로 동작시키기 위하여 신호의 레벨을 변동시킬 수 있는 스케일링이 필요하다⁽²⁾⁽³⁾. 본 논문에서는 이상적인 변압기를 사용하여 WDF를 스케일링 하도록 한다. 이상적인 변압기는 신호의 레벨을 높이거나 낮추는 역할을 한다. 따라서 권선비가 $n : 1$ 인 변압기를 WDF를 구성하는 소자의 사이에 삽입하여 신호의 레벨을 변동시키도록 한다. 이상적인 변압기는 그림 1-(b)와 같이 n 와 $1/n$ 인 승산기를 갖는 등가인 디지털 4단자망으로 나타낼 수 있다. (22)식을 이용하여 스케일링용 승산기값 n 을 구하면 스케일링된 필터에서는 오버플로가 발생하지 않는다.

종속형 구조인 디지털 필터에서 스케일링용 승산기를 입력단에 놓이게 한다⁽⁷⁾⁽¹¹⁾.

WDF도 디지털 4단자망인 구성요소가 종속으로 접속되는 구조를 갖으므로 구성요소의 입력단에 놓이게 한다. 그림 3의 WDF 블록선도에



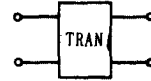
(a) 이상적인 변압기
Ideal transformer



(b) 신호흐름선도
Signal flow graph

Input	Node	F(z)
A ₁	B ₁	0
A ₂	B ₁	α
A ₁	B ₂	a
A ₂	B ₂	0

(c) 전달함수
Transfer functions



(d) WDF 회로망의 기호
Symbol for WDF network.

그림 4 변압기 부분
Transformer section.

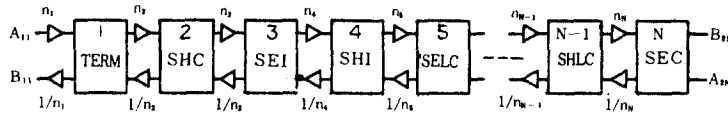


그림 5 스케일링된 WDF 블록선도
Scaled WDF Block Diagram.

스케일링용 승산기를 삽입했을 때 전체적인 구조를 그림 5에 나타냈다. 따라서 WDF는 변압기로 스케일링하기에 적합한 구조임을 알 수 있다.

5. 양자화 효과

디지털 필터는 응용분야에 따라서 범용 컴퓨터의 소프트웨어를 이용하여 실현시키는 방법과 전용 하드웨어로 구성하여 실현시키는 방법이 있다. 어느 경우에 있어서나 계수나 신호값이 유한어장으로 기억되므로 양자화 효과의 문제가 발생한다. 특히 고정소수점 연산을 하는 하드웨어로 실현할 경우에는 어장이 제한되어서 양자화 효과는 중요한 문제가 된다⁽¹⁾⁽²⁾.

양자화하지 않은 값이 $x(n)$, 양자화된 값이 $\hat{x}(n)$ 일때 오차 $e(n)$ 은

$$e(n) = x(n) - \hat{x}(n) \tag{23}$$

$e(n)$ 을 양자화 오차라고 하며, 이 오차는 부가적인 잡음원으로 작용한다.

이 잡음원은 출력신호에는 영향을 미치지 않지만 필터의 입력신호에는 영향을 미치지 않는다⁽¹⁾.

Rounding 했을 때 양자화 오차는 다음 구간에서 균일하게 분포한다.

$$-\frac{\Delta}{2} < e(n) < \frac{\Delta}{2} \tag{24}$$

여기서 Δ 는 양자화 폭이고, 어장이 b 비트이면 $\Delta = 2^{-b}$ 이다. 또한 Rounding 했을 때 양자화 잡음의 분산 σ_e^2 은

$$\sigma_e^2 = \frac{\Delta^2}{12} = \frac{2^{-2b}}{12} \tag{25}$$

σ_x^2 이 출력신호의 분산이면 信號對 雜音比는 다음 식으로 정의한다.

$$SNR = 10 \log_{10} \left(\frac{\sigma_x^2}{\sigma_e^2} \right) \tag{26}$$

6. WDF의 설계 및 스케일링 절차

복종단된 LC 사다리형 회로망은 감도가 매우 낮다는 장점이 있으며, 소자의 값이 이미 표로 작성되어 있어서 이용하기에 편리하다. 또한 디지털 회로망으로 변환하여도 저감도 특성이 그대로 유지된다. 따라서 필터의 계수값이 변동하여도 출력에 미치는 영향이 적으므로 작은 비트수의 어장으로 디지털 필터를 구성할 수 있다^{(3), (6), (9)}.

WDF를 설계하기 위하여 통과대역이 17~19.7 [KHz], 통과대역 파상이 0.18[dB], 저지대역 감쇠가 56[dB], 샘플링 주파수가 125[KHz]인 복종단 LC 사다리형 아날로그 필터를 선택한다. 위의 설계명세 (Specification)을 만족하는 표준화된 LC 사다리형 필터는 그림 6 과 같은 12차 대

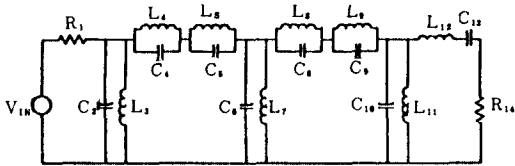


그림 6 12차 LC 사다리형 대역통과 필터
12th-order LC ladder bandpass filter.

표 1 LC 사다리형 필터의 소자값
Element values for LC ladder filter.

Type of Element	L	C	R
Termination			0.1000000E+00
Shunt capacitor	0.0000000E+00	0.1314488E+02	
Shunt Inductor	0.3094326E+00	0.0000000E+00	
Series LC tank	0.5745986E+00	0.5138777E+01	
Series LC tank	0.7915223E+00	0.7073779E+01	
Shunt capacitor	0.0000000E+00	0.1994763E+02	
Shunt Inductor	0.2039067E+00	0.0000000E+00	
Series LC tank	0.3093935E+00	0.1029248E+02	
Series LC tank	0.3951870E+00	0.1314653E+02	
Shunt capacitor	0.0000004E+00	0.2007754E+02	
Shunt Inductor	0.2025874E+00	0.0000000E+00	
Series Inductor	0.1053363E+02	0.0000000E+00	
Series capacitor	0.0000000E+00	0.3861402E+00	
Termination			0.6667000E+00

역 통과 필터이다. 표 1에 회로망의 소자값을 나타냈다.

LC 사다리형 필터로부터 WDF를 설계하기 위하여 쌍일차변환을 이용하는데 아날로그 주파수와 디지털 주파수 사이에는 비선형 관계가 존재하므로 두 필터의 차단주파수가 일치하지 않는다. 따라서 쌍일차변환을 이용하여 디지털 필터를 설계할 때 주파수 변화에 따른 왜곡을 보상하기 위하여 아날로그 필터에 Prewarping을 행한다^{(1), (2)}.

그림 7에 LC 사다리형 필터로부터 설계된 WDF의 블록선도를 나타냈으며, 표 2에 설계된 WDF의 계수값을 나타냈다. 표 2에서 Sigma, Alpha Beta는 그림 7의 각 단에서 승산기의 값을 나타낸다.

L_p Norm을 이용하여 스케일링하지 않은 첨두신호(peak signal)을 구할 수 있다. 그리고 이 첨두신호에서 변압기로 스케일링할 때 스케일링

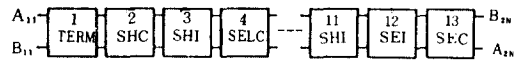


그림 7 스케일링 안한 WDF 블록선도
Unscaled WDF block diagram.

표 2 스케일링 안한 WDF의 계수
Coefficient of unscaled WDF.

Sect	Type of Element	Coefficients		
		Sigma	Alpha	Beta
1	Input section			-0.903530
2	Shunt Capacitor	0.333822	0.000000	
3	Shunt Inductor	0.509372	0.000000	
4	Series LC tank	0.512265	-0.494021	
5	Series LC tank	0.214866	-0.697108	
6	Shunt Capacitor	0.345610	0.000000	
7	Shunt Inductor	0.534492	0.000000	
8	Series LC Tank	0.583651	-0.522037	
9	Series LC Tank	0.384587	-0.677177	
10	Shunt Capacitor	0.199658	0.000000	
11	Shunt Inductor	0.014478	0.000000	
12	Series Inductor	0.236143	0.000000	
13	Series Capacitor	0.204733	0.000000	

용 증산기값을 구한다. 표 3에서 Scale(I, 1)은 n값을 Scale(I, 2)는 1/n 값을 나타낸다. 그림 8은 스케일링 안한 WDF의 블록선도를 나타내고, 스케일링된 WDF의 계수는 표 2와 표 3을 이용하여 표 4에 나타냈다. 표 2, 표 3, 표 4에 있는 필터의 계수값은 최대한 정확하게 구하기 위하여 부동 소수점 연산으로 계산하였다.

표 3 스케일링 안한 점두신호와 스케일링값
Unscaled peak signal and scaling values.

Sect.	Type of Element	Unscaled Peak Signal	Scaling Values	
			Scale(I, 1)	Scale(I, 2)
1	Termination	1.01176	0.9884	1.0118
2	Shunt Capacitor	0.22556	4.4855	0.2229
3	Shunt Inductor	0.25688	0.8781	1.1388
4	Series LC Tank	0.17485	1.4691	0.6807
5	Series LC Tank	0.15716	1.1125	0.8988
6	Shunt Capacitor	0.07032	2.2351	0.4474
7	Shunt Inductor	0.07414	0.9484	1.0545
8	Series LC Tank	0.06145	1.2066	0.8288
9	Series LC Tank	0.05831	1.0538	0.9489
10	Shunt Capacitor	0.06515	0.8950	1.1174
11	Shunt Inductor	0.40029	0.1628	6.1439
12	Series Inductor	0.79335	0.5046	1.9820
13	Series Capacitor	0.18797	4.2205	0.2369

변압기로 스케일링한 WDF에서 SNR이 개선되는 양을 계산하여 비교함으로써 제안된 방법의 타당성을 검토한다. 유한어장인 하드웨어로 구성할 때 양자화 효과를 검토하기 위하여 고정소수점 연산으로 컴퓨터 시뮬레이션을 하였다. 입력 신호가 임펄스일 때 표 2와 표 4의 계수 값으로 SNR을 계산하여 표 5에 나타냈다. 또한 샘플링 주파수가 변화하면 표준화된 대역폭이 변동하므

로 샘플링 주파수 변화에 따르는 SNR도 계산하여 표 5에 나타냈다.

표 4 스케일링한 WDF의 계수
Coefficient of scaled WDF.

Sect.	Type of Element	Coefficients	
		Coeff(I, 1)	Coeff(I, 2)
1	Transformer	0.988373	0.000000
2	Input Section	-0.903530	0.000000
3	Transformer	4.485511	0.222940
4	Shunt Capacitor	0.333822	0.000000
5	Transformer	0.878100	1.138823
6	Shunt Inductor	0.509372	0.000000
7	Transformer	1.469130	0.680675
8	Series LC Tank	0.512265	-0.494021
9	Transformer	1.112548	0.898837
10	Series LC Tank	0.214866	-0.697108
11	Transformer	2.235088	0.447410
12	Shunt Capacitor	0.345610	0.000000
13	Transformer	0.948356	0.054456
14	Shunt Inductor	0.534492	1.000000
15	Transformer	1.206622	0.828760
16	Series LC Tank	0.583651	-0.522037
17	Transformer	1.053820	0.948929
18	Series LC Tank	0.384587	-0.677177
19	Transformer	0.894972	1.117353
20	Shunt Capacitor	0.199658	0.000000
21	Transformer	0.162764	6.143857
22	Shunt Inductor	0.014478	0.000000
23	Transformer	0.504554	1.981950
24	Series Inductor	0.236143	0.000000
25	Transformer	4.220540	0.236936
26	Series Capacitor	0.204733	0.000000

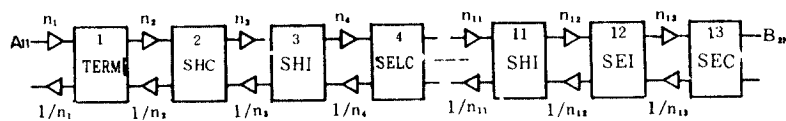


그림 8 스케일링된 WDF 블록선도
Scaled WDF block diagram.

표 5 L₁ 스케일링-임펄스 입력
L₁ scaling-impulse input.

	Sam. Freq. (KHz)	Maximum Input	Noise Variance	Signal Variance	SNR	SNR Improvement
Unscaled	125	.99	.11E-7	.54E-4	37.1	
	250	.99	.26E-8	.14E-4	27.3	
	500	.99	.96E-7	.37E-5	15.8	
	1,000	.99	.56E-5	.83E-6	1.7	
Scaled	125	1	.19E-7	.16E-2	49.2	+12.1
	250	1	.12E-6	.16E-2	41.2	+13.9
	500	1	.96E-6	.17E-2	32.4	+16.6
	1,000	1	.58E-5	.13E-2	23.5	+21.8

7. 결 론

본 연구에서는 WDF를 유한어장으로 실현할 때 오버플로가 발생하지 않으면서 SNR을 개선할 수 있는 스케일링 방법으로써 변압기를 사용하는 방법을 제안하였다. 제안한 방법을 VAX-11/780 컴퓨터로 처리하여 다음과 같은 결론을 얻었다.

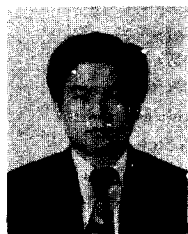
(1) WDF는 디지털 4 단자망이 증속접속되는 구조를 갖으므로 변압기로 스케일링하는데 적합하였다.

(2) 표 5에서 스케일링 했을 경우는 스케일링하지 않은 경우보다 SNR이 개선되었다.

(3) 샘플링 주파수가 증가함에 따라 전체적인 SNR은 감소하였으나, 높은 주파수 범위에서 스케일링 했을 경우에 SNR이 개선되는 양은 증가하였다.

參 考 文 獻

- (1) A. V. Oppenheim and R. W. Schaffer, Digital signal processing, Prentice-Hall, 1975.
- (2) Andreas Antoniou, "Digital filters analysis and design", McGraw-Hill, 1979.
- (3) Harry Y-F Lam, "Analog and digital filter design and realization", Prentice-Hall, 1979.
- (4) D. J. Perry, "Scaling transformation of multiple-feedback filters", IEEE Proc., vol. 128, Pt. G, no. 4, pp. 176-179, Aug. 1981.
- (5) T. A. Classen, "Effects of quantization and overflow in recursive digital filters", IEEE Trans. Acoustic Speech Signal Processing, vol. 24, no. 6, pp. 517-529, Dec. 1976.
- (6) M. N. S. Swamy and K. S. Thyagarajan, "A new type of wave digital filter" Journal of the Franklin Institute, vol. 300, no. 1, pp. 41-58, July 1975.
- (7) L. B. Jackson, "On the interaction of roundoff noise and dynamic range in digital filter", Bell System Technical Journal, vol. 49, no. 2, pp. 159-184, Feb. 1970.
- (8) L. B. Jackson, "Roundoff noise analysis for fixed-point digital filters realized in cascade or parallel form", IEEE Trans. Audio and Electro-acoustics, vol. 18, no. 2, June 1970.
- (9) A. Fettweis, "Digital filter structures related to classical filter networks", Arch. Electron. Übertragung, vol. 25, pp. 79-89, Sept. 1971.
- (10) A. Fettweis, "On sensitivity and roundoff noise in wave digital filters", IEEE Trans. Acoustic Speech Signal Processing, vol. 22, no. 5, pp. 383-384, Oct. 1974.
- (11) P. Dewide and E. Deprettere, "Orthogonal cascade realization of real multiport digital filters," Int. J. Circuit Theory Appl., vol. 8, pp. 245-277, 1980.
- (12) G. A. Jullien, "Residue number scaling and other operations using ROM array", IEEE Trans. Computer, vol. 29, no. 4, pp. 325-336, Apr. 1978.



權 熙 勳 (Hi Hoon KWON) 正會員
1952年 3月11日生
1976年 2月 : 東亞大學校 工學大學電子工學科 卒業 (工學士)
1979年 2月 : 東亞大學校 大學院 電子工學科 卒業 (工學碩士)
1982年 5月 : 美國 南일리노이 大學校 STC 修了
1986年 12月 : 東亞大學校 大學院 電子工學科 博士過程修了

1973年 9月~1979年 2月 : 國防部造兵廠 M16工場 (現 大宇精密) 技術研究官

1979年 2月~現在 : 國立忠州工業專門大學電子科 副教授



金 明 起 (Myung Ki KIM) 正會員
1930年 1月25日生
1958年 6月 : 美國 海軍工科大學 卒業
1966年 2月 : 서울大學校 大學院 電子工學科 卒業 (工學碩士)
1976年 2月 : 東亞大學校 大學院 電子工學專攻 (工學博士)
1954年 2月~1969年 3月 : 海軍士官學校 教授部勤務

1969年 4月~1972年 2月 : IMEC電子株式會社 勤務

1972年 3月~現在 : 東亞大學校 工科大學 電子工學科教授 本學會 釜山-慶南支部長