

論 文

ISDN D 채널 多重화를 爲한 統計的  
 多重化器의 實現에 關한 研究

準會員 朴 正 昊\*,            正會員 金 榮 哲\*\*  
 正會員 李 鎬 俊\*\*\*,        正會員 曹 圭 燮\*\*\*\*,  
 正會員 朴 炳 哲\*\*\*\*\*,    正會員 金 炳 贊\*\*\*\*\*

A Study on Implementation of the Statistical  
 Multiplexer for ISDN D-channel

Chung Ho PARK\*,            Young Chul KIM\*\*,  
 Ho Joon LEE\*\*\*,            Kyu Seob CHO\*\*\*\*,  
 Byung Chul PARK\*\*\*\*\*,    Byung Chan KIM\*\*\*\*\* *Regular Members*

**要 約** 本 論文에서는 ISDN 遠隔 加入者와 交換局間의 返送裝置 開發에 따른 基本研究로써 11個의 ISDN 基本接續 (2B+D)을 多重化시켜 64Kbps 또는 128Kbps에 該當하는 情報量으로 多重化한 후 다시 22個의 B 채널과 함께 多重化 하여 기존의 T1 返送裝置를 통해 傳送시킴으로써 ISDN 과 접속하는 方案을 提案하고, 이에 따른 統計的 多重化器(SMUX; Statistical Multiplexer)의 하드웨어 및 소프트웨어 實現에 對해 研究하였다. 또한 開發된 統計的 多重化器에 對한 性能 試驗結果를 提示하였으며, 이의 改善方向에 對해 檢討하였다.

**ABSTRACT** In this paper, in order to develop the transmission system between the remote subscriber and the central office, the hardware and software implementation of a SMUX(Statistical Multiplexer) which can interleave eleven 16Kbps D-channels over a 64Kbps B-channel is obtained. As a result of this study, the high speed data transmission by the use of a dynamic buffer memory management algorithm for statistical multiplexing is realized.

Especially a software architecture for interruption is proposed in order to improve performance of the transmission system more efficiently.

\*三星綜合技術院  
 Sam Sung Advanced Institute of Technology

\*\*三星半導體通信(株)綜合研究所  
 Sam Sung Semiconductor and Telecommunication

\*\*\*,\*\*\*\*\* 成均館大學校 工科大學電子工學科  
 \*\*\*\*\*  
 Dept. of Electronic Engineering Sung Kyun Kwan  
 University Suwon, 170 Korea.

\*\*\*\* 韓國電子通信研究所  
 Electronics and Telecommunications Resach Cent.  
 論文番號: 87-11(接受 1986. 11. 19)

1. 序 論

公衆通信網의 主된 機能이 音聲서어비스의 傳達이  
 있던 時代에서는 300Hz~3400Hz 帶域幅을 갖는

아날로그 通信網에 의한 음성 및 低速의 데이터 서어비스 만으로 加入者는 滿足할 수 밖에 없었으나 情報化 社會로의 進展에 따라 高速의 多様な 非音聲 서어비스에 對한 要求가 急速히 增加하고 있으며 이러한 서어비스들을 効果的으로 處理할 수 있는 綜合情報 通信網의 必要性이 대두되고 있다. 이러한 必要性을 滿足시키기 爲하여 現在 世界各國에서는 디지털 通信方式에 依據한 綜合情報通信網(ISDN)의 構築에 心血을 기울이고 있으며, ISDN에 關한 國際 標準 諮問機構인 CCITT의 研究委員會 SGXV III을 通하여 國際的인 標準化 研究를 推進하고 있다.

디지털 通信方式이 出現한 이래로 이 방식이 갖는 여러가지 長點 때문에 局間 傳送 및 交換分野에 있어서는 積極的으로 導入되어 왔으나 加入者 線路 分野의 境遇에는 그 適用이 매우 微弱한 實情이다. 이것은 既存의 加入者 線路에 廣帶域 高速 디지털 信號를 傳送할 境遇 線路의 周波數 特性 또는 線路 環境에 의한 影響 등의 여러 制約條件이 發生되며 이를 解決키 爲해 高度의 技術이 要求되기 때문이다. 그러나 發信加入者로부터 着信加入者까지 完전한 end-to-end 디지털 接續을 提供해야 한다는 것이 ISDN이 갖추어야 할 基本機能이며, 따라서 ISDN의 具現을 爲해서 必히 解決되어야 할 分野가 加入者 傳達의 디지털화라 하겠다.

이러한 디지털 加入者 傳送方式에 關한 研究의 一環으로 本 論文에 앞서 “統計的 多重化 方式을 利用한 ISDN D채널 多重化에 關한 研究”<sup>[17]</sup>를 遂行한 바 있으며, 本 論文에서는 이를 基礎로 하여 현재 원격가입자 장치와 교환국 사이의 전송에서 사용되는 반송장치의 4線 線路 方式을 利用한 ISDN 加入者 返送裝置의 開發에 앞서 그 傳送能力을 가장 效率的으로 利用하기 爲해 11個의 16kbps D채널을 하나의 64kbps B채널로 多重化하여 傳送하는 統計的 多重化器(SMUX)의 하드웨어 設計 및 소프트웨어 開發에 關하여 研究하였으며 그 性能을 試驗 分析하여 보았다. 또한 本 研究 開發에 앞서 研究되어진 “統計的 多重化 方式을 利用한 ISDN D채널 多重化에 關한 研究”<sup>[17]</sup>에서 統計的으로 產出된 buffer size를 바탕으로 本 研

究에서는 dynamic buffer management 알고리즘을 開發하여 實際 SMUX 시스템을 實現하는데 適用함으로써 SMUX시스템의 效率性 및 經濟性을 높였다.

## 2. 研究 目標

本 研究는 ISDN 구성서 소규모 遠隔加入者를 수용하는 RT(Remote Terminal)와 COT(Central Office Terminal)間的 전송 시스템을 효율적으로 구성하기 爲해 현재 遠隔加入者와 交換局 사이에 설치 운용되고 있는 T<sub>1</sub> 반송장치를 그대로 活用함으로써 향후 ISDN 원격加入者 多重장치 開發에 그 目的을 두고 있다.

ISDN에서 한 加入者에 제공되는 基本접속은 64kbps의 B채널 두개와 16kbps의 D채널의 情報量을 基本單位로 한다. 그러나 이러한 2B+D의 基本接續을 T<sub>1</sub> 返送에 의한 多重化 方案에는 많은 어려움이 發生된다. 다시말해서 12個의 基本接續을 多重化시킬 境遇 總情報量은 1,728Mbps(24B+12D)이 되어 T<sub>1</sub> 返送의 傳送能力을 超過하게 되며, 10個의 基本接續을 多重化 할 時에는 總 情報量이 1,440Mbps로 T<sub>1</sub> 返送의 最大 返送能力 1,536Mbps를 超果하지는 않으나 傳送效率면에서 非效率的이다. 따라서 T<sub>1</sub> 返送시스템에 傳送效率上 浪費를 줄이면서 T<sub>1</sub> 返送能力을 最大로 利用할 수 있도록 ISDN 基本接續들을 多重化시키는 方案으로써 既 발표된 “統計的 多重化 方式을 利用한 ISDN D채널 多重化에 關한 研究”<sup>[17]</sup>에서는 그림 1에서 나타난 바와같이 11個의 基本接續 中 176Kbps의 情報量에 該當하는 11個의 D 채널들만 統計的 多重化 方式으로 多重化시켜 128Kbps 또는 64Kbps의 情報量으로 構成하고 그것을 다시 22個의 B채널과 함께 Synchronous TDM 方式으로 多重化시킴으로써 1,536Mbps 또는 1,472Mbps에 該當하는 情報量을 만들어 1,536Mbps의 기존 T<sub>1</sub> 返送 시스템으로 傳送시킬 수 있게 하는 方案을 提示하였다. 이에 本 論文에서는 앞서 提示된 ISDN 環境에서 利用될 수 있는 統計的 多重化器(SMUX)의 實現을 本 研究의 目標로 하였다.

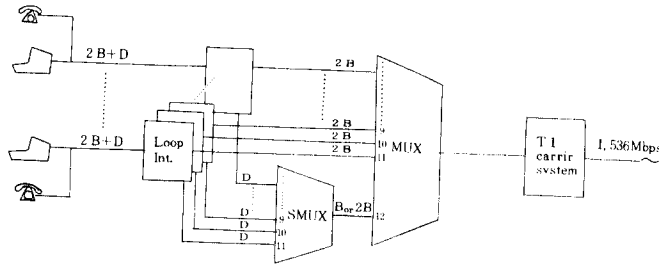


그림 1 ISDN 원격가입자 다중화장치의 구성도.  
Block diagram of the ISDN remote subscriber Multiplexer.

### 3. SMUX 하드웨어의 구성

#### 가. SMUX 하드웨어 설계의 개요

SMUX는 11개의 D채널을 하나의 B채널로 multiplexing 하여傳送하고, B채널을 통해受信된 데이터 프레임은 demultiplexing 하여 정해진 채널에 distribution 하기 위해서 다음과 같은 하드웨어 설계방향과 기준을 두었다.

1) Multiplexing을 위해서 SMUX에 入力되는 데이터 프레임과 SMUX로부터 demultiplexing 되어 出力되는 데이터 프레임은 LAPD 프로토콜에 附合된다고 본다(그림 2 參照).

2) 소프트웨어의 modularization이 容易하도록 하기 위해 multiplexing/demultiplexing을 위한 main control 하드웨어부와 SMUX間 通信에 있어서 flow control을 위한 Tx 및 Rx communication control 하드웨어부로 分割하여 設計한다.

3) SMUX間의 通信은 HDLC 프레임구조를 근간으로 使用하며, error recovery가 可能하도록 한다.

4) Buffer overflow 時의 flow control은 현재 연구중인 LAPD protocol의 flow control에 准해 향후 소프트웨어적 처리가 可能하도록 한다.

5) system의 소프트웨어 開發을 돕기 위한 하드웨어를 附加한다.

SMUX의 하드웨어 構成圖는 그림 3에 나타낸 것과 같이 크게 MCPU(Main CPU)부와 CCPU(Communication CPU)부로 나눌 수 있다.

#### 나. MCPU부의 하드웨어 구성

MCPU부는 8MHz에서 動作하는 MC68000 마이크로프로세서와 D채널에 interface 되는 11개의 MPCC(Multi Protocol Communication Controller), ROM과 RAM, 11개의 MPCC 폴링用 interrupt 時間을 정해주기 위한 Z80A CTC, 그리고 queueing buffer를 利用되는 Z8038(FIFO);

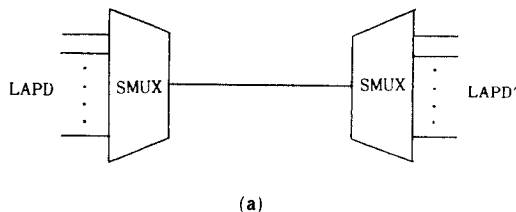


그림 2 통계적다중화장치의 구성도와 프로토콜.  
SMUX Block Diagram and protocols.

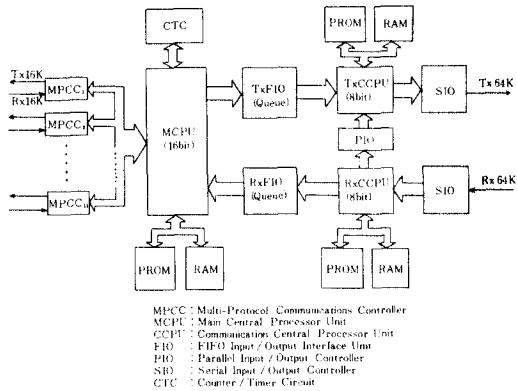


그림 3 SMUX의 하드웨어 구성도.  
Hardware block diagram of SMUX.

First Input/Output Interface Unit)로 構成된다. 여기에서 11개의 MPCC polling interrupt time 설정은 一般的으로 synchronous 通信에서 data의 送·受信을 實時間 처리하는데 필요한 service interval time을  $\mu$ 라고할 때 단위 초당 data의 傳送速度를 R, 送·受信用 serial buffer의 길이를  $l_s$ 라 하면 다음과 같이 表現할 수 있다.

$$\mu = \frac{l_s}{R} \quad (1)$$

그러나 식(1)은 synchronous line에 對한 data의 送·受信에 있어서 line buffer가 존재하지 않는 경우이다. 實況에 對해  $l_s$ 를 基本단위로 하는 line buffer의 存在를 고려하면 service interval time  $\lambda$ 는 다음과 같이 表現될 수 있다.

$$\lambda = \mu \cdot S \quad (2)$$

단, S는 길이가  $l_s$ 인 line buffer의 수이다. 本 研究에서는 16Kbps의 傳送速度를 갖는 11개의 D 채널에 對해 各 채널의 送·受 line에 3words (48 bits)의 line buffer를 두었으며 한 serial buffer의 길이를 8bits로 構成하였다. 各 line에 對한 service interval time은 3msec가 되고 이 기간 내에 11개의 channel로부터 送·受信되는 모든 정보를 polling하여 저장하거나 전송하여야 한다. 따라서 本 SMUX의 interrupt time은 3msec의 interrupt가 要求된다. 또한 MCPU 部의 主된

機能으로는 dynamic buffer control, 16Kbps D 채널의 送受信, CCPU部와의 데이터 및 control 信號의 交換 등이 있다. 따라서 MCPU는 MPCC의 라인버퍼를 通해서 受信된 데이터를 dynamic 方法으로 受信用 버퍼 메모리(BM)의 메모리 블록에 貯藏된 데이터를 MCPU部와 CCPU部間的 데이터 交換이 이루어지는 queuing buffer (FIFO의 FIFO)에 順次的으로 보내거나 반대로 queuing buffer를 通해 CCPU部로 부터 受信된 데이터를 받아서 送信用 버퍼 메모리의 메모리 블록에 貯藏하고 다시 그 貯藏된 데이터를 各 MP-CC로 demultiplexing하여 16Kbps로 傳送한다. 이때 Z80A CTC는 MPCC가 갖고 있는 3words의 라인버퍼를 最大로 活用하기 爲해서 3msec마다 interrupt에 의하여 11개의 MPCC를 폴링하기 爲한 timing을 提供할 目的으로 使用된다. 그림 4는 MCPU 部의 하드웨어 block diagram을 나타낸 것이다.

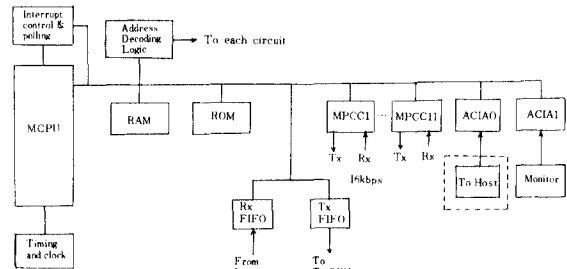


그림 4 MCPU부 하드웨어 구성도.  
Hardware block diagram of MCPU.

### 다. CCPU 部의 하드웨어 構成

CCPU 部는 送信과 受信 機能에 따라 各 各 4 MHz로 動作하는 Z80A CPU, Z80A SIO, Z80A PIO를 使用하여 設計하였다. CCPU 部의 主된 機能으로는 64Kbps 데이터 送受信, MCPU 와의 데이터 및 control 信號의 交換, 送·受信 CPU間的 control 信號의 交換 등이 있다. 送信用 8bit CPU는 MCPU가 Tx FIFO의 FIFO에 貯藏시킨 데이터 프레임을 Z80A SIO를 通해 SMUX間 프로토콜에 의해 64Kbps로 傳送하며, 受信用 8bit CPU는 Z80A SIO를 通해 受信된 데이터

프레임 중 information field에 該當하는 데이터만을 RxFIO의 FIFO에 貯藏시킨다. 각 送·受信 用 CPU間의 control 信號는 PIO를 通해 相互 交換된다. 데이터의 送·受信은 各 Z80A SIO의 A채널을 利用하며, B채널은 各 送·受信 CPU의 常態를 外部 터미날을 通해 monitoring하는데 利用하였다. Memory map에는 8Kbyte의 static RAM領域과 8Kbyte의 ROM領域이 TxCCPU部나 RxCCPU部에 各 割當되어 있으며, I/O map에는 SIO, FIO, PIO 領域과 시스템 monitor 및 64Kbps 傳送에 必要한 timing을 提供하는 C-TTC를 割當하였다. CCPU部の interrupt 構造는 CPU 및 peripheral chip들이 모두 Z80 系列이므로 daisy chain를 使用하여 FIO, SIO, PIO順의 interrupt priority를 採擇하였다. 그림 5는 CCPU部の 하드웨어 block diagram을 나타낸 것이다.

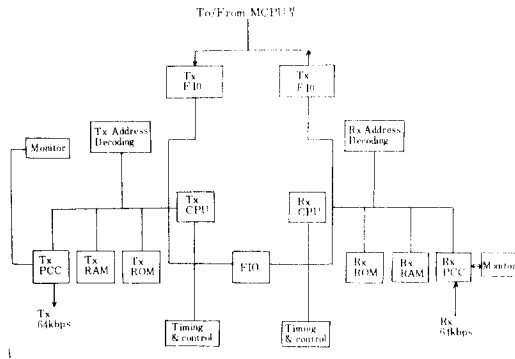


그림 5 CCPU부 구성도  
Hardware block diagram of CCPU.

#### 4. SMUX 소프트웨어 開發

##### 가. SMUX S/W 設計의 概要

ISDN D 채널의 多重化를 爲한 統計의 多重化器의 소프트웨어는 CCITT의 LAPD(Link Access procedure on the D channel) 프로토콜에 대해 그림 2에서 제시한 바와 같이 SMUX 간에 transparent한 데이터링크 제공에 바탕을 두고, 64Kbps로 傳送되는 傳送데이터 프레임구조는 HDLC(High Level Synchronous Data Link Con-

trol)프레임 구조를 근간으로 採擇하였고, 이에 대한 구체적 說明은 다음절 이후에 기술하기로 한다. 또한 dynamic buffer management를 利用하여 memory를 效率의으로 管理하면서도 高速 送·受信 control이 可能하도록 알고리즘을 具現하여 統計의 多重化器(SMUX)를 動作시키는 소프트웨어는 크게 MCPU(Main Control Processing Unit)部和 TxCCPU(Transmit Communication Central Processing Unit)部 그리고 RxCCPU(Receive Communication Central Processing Unit)部로 區分지을 수 있으며 이러한 MCPU部 및 TxCCPU, RxCCPU部の 소프트웨어는 다시 遂行하는 機能 및 Processing Level에 따라 表 1에서 나타낸 바와 같이 나눌 수 있다.

표 1 SMUX Software의 구성  
Composition of SMUX software.

	Base level	Interrupt level
MCPU 부	Tx FIO Control Rx FIO Control	MPCC Polling Interrupt Receive Buffer Control Transmission Buffer Control
Tx CCPU 부	Tx CCPU Main Control	SIO Buffer Empty Interrupt SIO External/Status Interrupt PIO Error/ Sync Control Interrupt
Rx CCPU 부	Rx CCPU Main Control	SIO Receive character available interrupt SIO Special Receive Condition interrupt SIO External / Status Interrupt

##### 나. MCPU部的 S/W構成

MCPU部的 소프트웨어는 MC68000 어셈블러로 構成되며 遂行하는 技能에 따라 다음과 같이 細分하여 說明할 수 있다.<sup>(7)(8)</sup>

첫째는 SMUX의 最初 給電時 프로그램이 動作하는데 必要한 모든 parameter들의 初期値를 設定하고 各 I/O device들을 願하는 條件으로 動作시키기 爲해 初期化 시켜주는 initialization routine이다. 따라서 MCPU部的 初期化는 各 device들의 特性에 準하면서 LAPD 프로토콜에 맞춰 初期化 되었으며, 특히 MPCC의 境遇, 그 특유의 self-test 機能을 利用하여 test data frame 을

자체적인 digital loop-back에 의하여, 初期化 狀態를 確認할 수 있다.

둘째는 두개의 FIO를 통하여 CCPU와 데이터를 각각 주고 받으면서 버퍼를 効率的으로 利用하는 TxFIO Control subroutine과 RxFIO control subroutine이다. 두개의 subroutine은 각 FIO 内の byte counter register의 內容을 읽어서 FIO의 FIFO內의 데이터량을 check하면서遂行되며, 또 이 subroutine들을 각각 dynamic buffer control과 함께 buffer management를 遂行한다.

세째는 CTC(Counter Timer Circuit)에 의해서 一定時間마다 11個의 MPCC(Multi Protocol Communication Controller)를 폴링하여 加入者 端末과 SMUX의 데이터 送·受信을 處理하는 interrupt level routine이다. 이 interrupt routine은 각 MPCC에 대해서 데이터를 受信하여 受信 버퍼에 쌓는 receive buffer control subroutine과 送信버퍼로부터 각 MPCC로 데이터를 送信하는 transmit buffer control subroutine으로 構成된다. 이중 receive buffer control subroutine은 각 MPCC의 FIFO의 狀態를 點檢하여 受信한 데이터가 MPCC의 FIFO 內에 存在하는가에 따라 實行되며, transmit buffer control subroutine은 送信버퍼 內에 각 MPCC의 送信端으로 傳

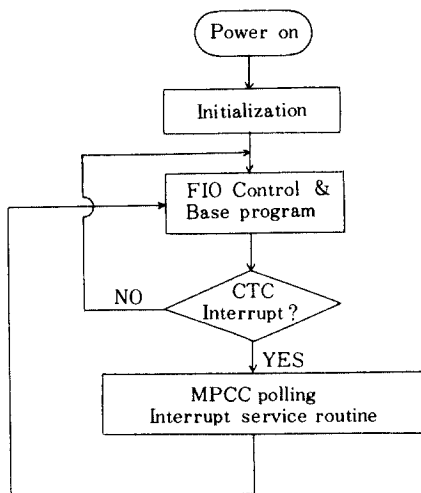


그림 6 MCPU부 Software의 전체적인 Block Diagram  
The software block diagram of MCPU.

송할 데이터 프레임이 存在하는가에 따라 實行되어진다.

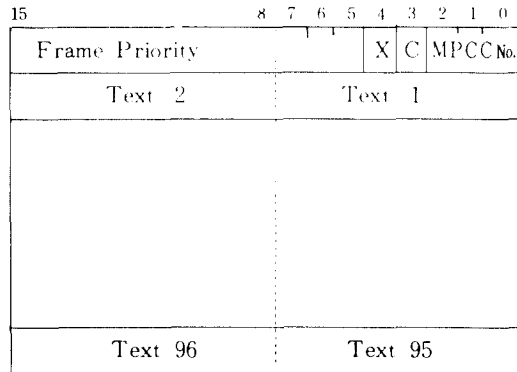
위의 機能들의 全般的인 相互關係를 나타내는 全體的인 flow chart를 그림 6에서 나타내고 있다.

#### 다. Dynamic buffer management

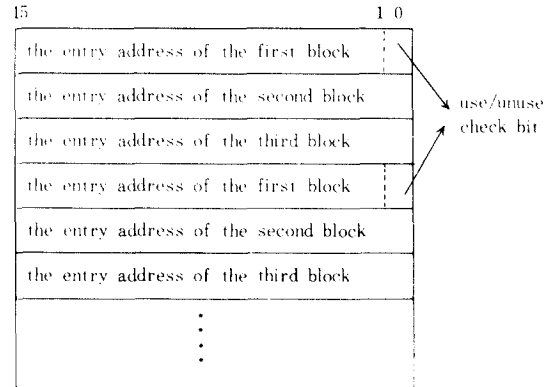
統計的 多重化器는 그 動作 特性상 入力 데이터의 잠시 保管을 위하여 buffer memory(BM)가 必要하며, 또한 이의 効率的인 管理가 要求되어진다. 본 SMUX에 必要한 buffer size는 이미算出된 바 있으며 본 研究에서는 이의 効率的인 管理를 爲해서 buffer memory(BM), block address table(BAT), block available list(BAL), current block table(CBT)를 設定하였다<sup>13)</sup>.

Buffer memory(BM)은 98byte 크기의 memory block(MB)들로 構成되며, 각 블록의 처음 두 byte에는 데이터 프레임을 受信한 MPCC의 番號, block continuous bit(C) 그리고 프레임의 傳送될 順序를 갖는 frame priority를 貯藏하고, 나머지 96byte의 text 領域에는 LAPD interface로부터 受信된 데이터 프레임을 貯藏한다. 이때 block continuous bit는 1bit로 表示되며 受信되는 데이터 프레임의 길이가 하나의 메모리 블록보다 길어서 다음 메모리 블록에 連續해서 데이터가 貯藏되는 것을 나타낸다. frame priority는 8bits로 構成되며 데이터 프레임이 waiting queue(Z80-FIO)로 보내질 順序를 갖는다. 이때 priority의 順序는 각 入力端으로부터 데이터 프레임이 受信된 順序에 準해서 順次的으로 增加된다. MPCC 番號 領域은 4bits로 構成되며 각 MPCC에 割當된 番號를 貯藏하며 multiplexing 때에는 메모리 블록內 데이터가 distribution될 MPCC를 表示하게된다. 또한 이것은 SMUX間에 데이터 프레임을 傳送할 때에 address field에 該當하는 데이터가 된다. (그림 7-1參照)

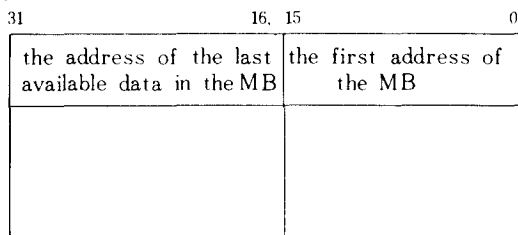
BAT는 데이터 프레임 貯藏時에 利用되는 각 메모리 블록(MB)의 처음 address와 MB內에 貯藏된 마지막 데이터의 address들을 貯藏한다. 이 table은 버퍼內에 貯藏되어 있는 데이터 프레임을 waiting queue(Z80-FIO)로 傳達하거나 MP-



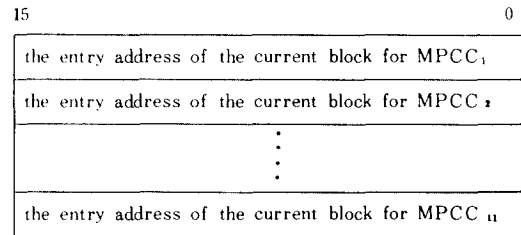
1 Memory block (MB) of buffer memory (BM)



3 Block available list (BAL)



2 Block address table (BAT).



4 Current Block Table (CBT)

그림 7 MB, BAT, BAL, CBT  
MB, BAT, BAL, CBT.

CC를 통해 傳送하기에 앞서 傳送될 데이터 프레임의 길이를 計算하는데 利用된다(그림 7-2 參照).

BAL은 버퍼 內에 存在하는 各各의 MB 들의 실질적인 entry address를 가진다. BAL이 가지는 이러한 MB들의 實質的인 entry address들은 SMUX의 시스템 初期化 時에 初期化 프로그램에 의해서 BAL 領域에 記入되며 MB의 使用現況에 따라 계속적으로 update된다. 이때 記入되는 各 MB의 entry address는 모두 even address를 갖도록 하여 BAL 內에 記錄되는 MB address의 LSB bit 는 그 MB의 使用與否를 나타내는 use/unuse check bit로 利用한다. 各 MB는 L-APD의 最大 프레임 길이를 勘案하여<sup>(9)</sup>3개의 MB를 한 組로 하며, use/unuse check bit는 各組의 첫번째 MB address bit 에 둔다(그림 7-3 參照).

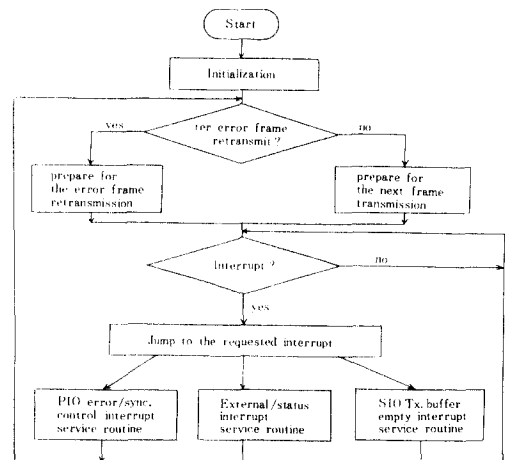


그림 8 Tx CCPU부의 전체 흐름도  
The flowchart of Tx CCPU.

CBT는 각 MPCC에 일대일로 對應하여 割當되며 現在 使用하고 있는 MB의 entry address를 貯藏한다. 이 CBT는 initialize 시에 모두 zero이며 새로운 MB를 利用할 때마다 update된다. 따라서 CBT內의 어느 한 MPCC에 대해 割當된 領域이 비어있는 境遇 그 MPCC를 受信 중이거나 送信 중인 데이터 프레임이 없는 境遇가 된다(그림 7-4參照).

라. TxCCPU部の S/W構成

TxCCPU 部の 소프트웨어는 Z80 어셈블러로 作成되었으며, 주로 TxFIO의 FIFO 內에 쌓여 있는 데이터를 Z80-SIO를 통해서 64Kbps로 傳送하는 일을 遂行한다. 이때 프로토콜은 SDLC를 利用하며, error recovery를 爲한 512byte 크기의 傳送버퍼를 7個 두어 store and forward 방식으로 傳送한다. 이와 같이 64Kbps로 데이터를 傳送하기 爲해 TxCCPU部の 소프트웨어는 다음과 같이 몇 個의 routine으로 構成된다.<sup>4)(5)(6)</sup>

첫째는 最初給電 時에 Z80, SIO, PIO, FIO와 같은 peripheral I/O device chip들을 願하는 條件으로 動作하도록 初期化 시켜주는 initialization routine이다.

둘째는 데이터 프레임을 傳送하기에 앞서 傳送되는 데이터 프레임을 貯藏해 둘 傳送버퍼를 準備하고

初期 데이터를 SIO를 통해 傳送시키는 base level의 transmission main control routine이다. 이 routine은 데이터 프레임을 傳送하는데 要求되는 각 interrupt를 control 하면서 傳送버퍼의 準備 또는 error 프레임의 再傳送 準備를 하는 役割을 한다.

세째는 SIO Tx. buffer empty interrpt에 의해서 64Kbps의 速度로 데이터를 傳送하는 SIO Tx. buffer empty interrupt routine이다.

네째는 Transmit underrun이 發生하였거나 end of frame을 傳送하여야 할 경우 遂行되는 external/status interrupt routine이다.

다섯째는 RxCCPU가 error를 檢出했거나 傳送 準備 確認을 爲한 set-up 프레임을 受信하였을 境遇 이에 關한 情報를 TxCCPU部로 傳達하기 爲한 PIO error/sync control interrupt routine이다.

위의 機能들의 全般的인 相互關係를 그림 8에서 全體的인 flow chart로 나타내었다.

마. RxCCPU部の S/W構成

RxCCPU部の 소프트웨어도 Z80 어셈블러로 作成되었으며 주로 SIO를 통해 受信된 데이터를 受信버퍼에 貯藏하며 이 데이터를 RxFIO의 FIFO를 통해 MCU部로 전송하는 일을 遂行한다. 이러한 機能遂行을 爲해 RxCCPU部の 소프트웨어는 다음과 같은 routine들로 構成된다.

첫째는 最初給電 時에 Z80 SIO, PIO, FIO와 같은 peripheral I/O device chip들을 受信하는데 있어서 願하는 條件으로 動作하도록 初期化 시키는 initialization routine이다.

둘째는 데이터를 受信하여 RxFIO로 전해 주기에 앞서서 프레임을 受信하여 貯藏해 둘 버퍼를 準備하고, 또한 受信되어 버퍼에 貯藏된 프레임을 RxFIO의 FIFO로 전해주는 作業을 遂行하는 base level routine이다.

세째는 SIO의 receive buffer 內에 데이터가 受信될 때 마다 發生하는 receive character available interrupt service routine으로 이 routine은 遂行될때 마다 SIO內의 receive buffer로 부터 데이터를 읽어 RxCCPU部の 受信버퍼

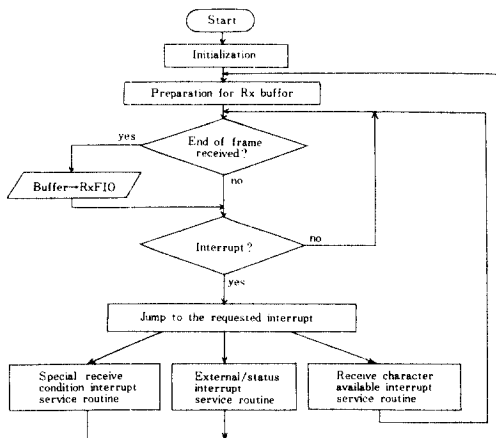


그림 9 Rx CCPU 부의 전체 흐름도  
The flowchart of Rx CCPU.



에 저장한다.

네째는 end of frame이나 CRC error, over run error가 발생했을境遇에 일어나는 special receive condition interrupt service routine이다. 이때 error에 의해 special receive condition interrupt가 발생하면 RxCCPU部는 TxCCPU部가 error로受信된 프레임에對한再傳送要求를 하도록 PIO를 통해 TxCCPU部에 알린다.

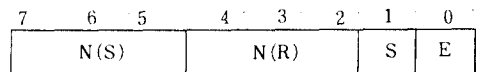
다섯째는 external/status interrupt service routine으로 RxCCPU部가 RxSIO를 통해 abort sequence를受信하였을境遇에만 발생된다.

위의機能들의全般的인相互關係를 나타내는全體的인 flowchart를 그림 9에서 나타내고 있다.

#### 바. Error Recovery

SMUX 間의 error recovery는 64Kbps로 傳送되는 SMUX 間의 通信에서 일어날 수 있는 데이터 프레임의 損失을 防止하기 爲해서 研究되었다. 이러한 error recovery를 爲해 store and forward方式을 基本으로하여 64Kbps로 데이터를 보내는 送信部와 데이터를 受信하는 受信부에 512byte 크기의 프레임 버퍼를 各各 7個씩 두었다. 그리고 SMUX 間의 傳送 프레임의 control field를 그림 10에서 나타낸 것과 같이 Tx frame buffer No. (N(S)), Rx frame buffer No. (N(R)), set-up received bit, error received bit로 構成하였다. 이러한 control field의 構成은 實際로 SMUX間에서만 利用될 수 있는 프로토콜이기는 하나 그림 2에서 나타낸 바와 같이 SMUX는 LAPD interface로 부터 受信된 data frame에서 flag field와 FCS(Frame Check Sum) field를 除外한 나머지 address, control, information field에 該當하는 data를 SMUX Data frame의 information field내에 그대로 收容하여 傳送하고, 受信된 HDLC 形態의 프레임은 다시 flag와 FCS는 물론 address의 control field를 除去한 原來의 LAPD 프로토콜 프레임 形態로 貯藏되었다가 demultiplexing되어 傳送할 時에 다시 flag와 FCS가 붙어서 傳送하기 때문에 LAPD 프로토콜 interface 상에는 아무런 影

響도 미치지 않게된다. 또한 이러한 control field의 構成 目的은 64Kbps의 高速傳送을 하기 爲해서 TxCCPU 및 RxCCPU가 實際 HDLC 通信方式을 使用할 境遇 提供해야 할 여러가지 形態의 control frame와 data link의 設定過定을 簡略化하여 基本的인 通信이 可能하도록 하는데 있다. Control field의 구성요소 중 Tx frame buffer No.는 現在 傳送중인 데이터 프레임의 傳送 버퍼 內에 貯藏된 버퍼의 番號를 가지며, Rx frame buffer No.에는 error 프레임을 受信하였을 時에 error received bit를 set시키고 受信된 데이터 프레임의 control field 內에 Tx frame buffer No.를 읽어서 貯藏하게 된다. 따라서 만일 受信된 데이터 프레임의 control field에서 error recovery received bit가 set 된 것을 發見하게 되면 受信端은 Rx frame buffer No.를 PIO를 통해 送信端에 보내고 送信端에서는 이 frame buffer No.에 該當하는 送信버퍼로 부터 데이터 프레임을 再傳送 시킨다.



N(S); Transmitter frame buffer number  
 N(R); Receiver frame buffer number  
 S; Set-up received bit  
 E; Error received bit

그림 10 Control field의 구성  
 The bit format of control field.

Set-up received bit는 SMUX間에 相對便 SMUX의 給電狀態를 確認하는 同時에 線路의 異狀有無를 確認하는데 利用된다. SMUX는 給電 후 初期化 過程이 끝나면 64Kbps 送信端을 통하여 flag, address, control, FCS<sub>1</sub>, FCS<sub>2</sub>, flag field로 構成된 set up frame을 繼續해서 傳送시킨다. 따라서 SMUX의 RxCCPU部는 64Kbps의 受信端을 통해 相對便 SMUX로 부터 受信된 set-up frame을 受信하게되면 이 事實을 PIO를 통해 TxCCPU部로 알린다. 그러면 TxCCPU部는 자신이 傳送중인 set-up frame의 control field 상에 set-up received bit를 set시켜 傳送한다. 그리고 set-up bit가 set된 control field를 受信

한 RxCCPU部는 TxCCPU部에 set-up frame의 傳送을 중단하도록 하는 情報를 알리며 受信 대기상태로 들어간다. 이 過程에서 受信되는 set-up frame은 information field에 該當하는 情報가 存在하지 않으므로 MCPUI部로 轉해지지는 않는다.

### 5. 性能分析 및 考察

#### 가. 實驗方法

SMUX 시스템의 性能을 試驗하기 爲해서 16 Kbps로 데이터 프레임을 送受信하는 test emulator board를 製作하였다. 이 test board는 4~257byte 크기의 데이터 프레임을 最大 8個까지 連續해서 發生시켜 送信할 수 있으며, 또한 受信되는 데이터 프레임의 길이가 最大 257byte 일때 8個의 프레임까지 受信하여 버퍼에 貯藏할 수 있도록 設計되었다.

이 test board 送信部의 出力端과 SMUX의 各 各 MPCC의 受信端을 連結하고 11個의 MPCC의 送信端을 test board의 受信部로 入力시켰다. 그리고 SMUX의 64Kbps 送·受信端을 digital loop back 形態로 連結하여 test board로 부터

送出된 데이터 프레임이 SMUX를 통해 multiplexing 되어 64Kbps로 傳送되고, 그 傳送된 데이터 프레임을 다시 SMUX가 받아서 demultiplexing하여 各 MPCC를 통해 16Kbps로 送出하도록 하였으며 그중 한 MPCC를 任意로 擇해서 test board가 受信하여 送信한 데이터 프레임과 比較檢討하는 方法을 利用하였다. 그림11은 SMUX 性能實驗을 爲한 全體 시스템을 나타내고 있다.

#### 나. 實驗結果

SMUX의 性能 實驗은 test board로 부터 送信되는 데이터 프레임의 길이, 連續하는 데이터 프레임의 數, SMUX의 D채널 入力 數 등을 變化시켜 가면서 試行하였다. 즉, 데이터 프레임의 길이는 4~257byte, 連續 프레임의 數는 1~8, D채널 入力 數는 1~11個로 加變시키므로서 受信되는 데이터의 全體 通話量을 調節하였으며 이 데이터가 SMUX의 出力端에서 digital loop back 되어 다시 test board로 되돌아 온 形態를 test board가 送信한 데이터의 形態와 比較하였다. 本實驗의 結果를 要約하면 다음 表2와 같다. 표2에서 Error率은 一般的으로 BER로 표시되어야

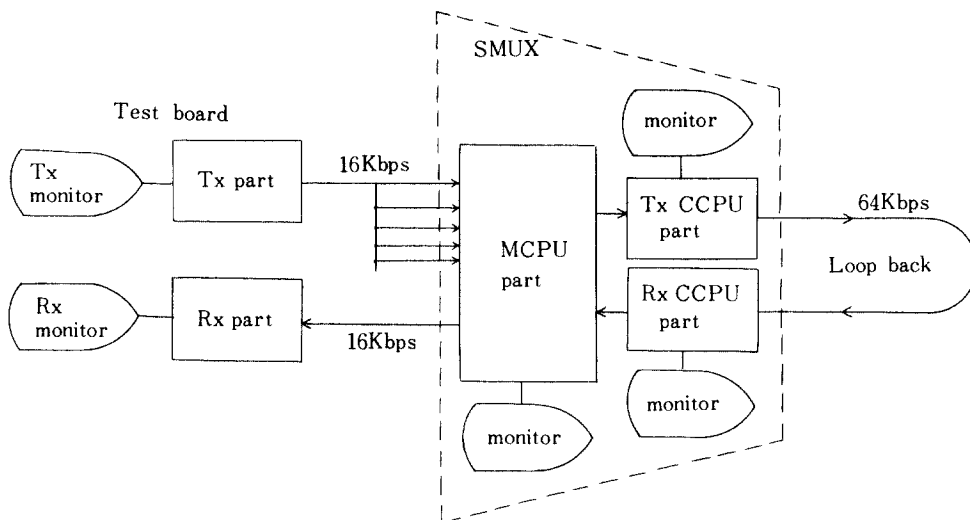


그림11 SMUX性能實驗 System

표2 SMUX 실험결과  
The result of SMUX test.

번호	송신프레임 길이	연속되는 프레임 수	동시입력 D채널 수	Error율
1	4 byte	4	6	0%
2	4 byte	4	11	0%
3	4 byte	8	6	0%
4	4 byte	8	11	0%
5	128 byte	2	6	0%
6	128 byte	2	11	0%
7	128 byte	4	6	0%
8	128 byte	4	11	25%
9	128 byte	8	6	0%
10	128 byte	8	11	30%
11	257 byte	1	2	0%
12	257 byte	1	6	0%
13	257 byte	1	11	0%
14	257 byte	2	2	0%
15	257 byte	2	6	0%
16	257 byte	2	11	30%
17	257 byte	4	2	0%
18	257 byte	4	6	0%
19	257 byte	4	11	85%
20	257 byte	8	2	2%
21	257 byte	8	6	5%
22	257 byte	8	11	90%

※상기 실험결과와 error 발생률은 각 경우당 100회 시행에서 error가 발생한 회수를 %로 나타내었음.

하나 본 논문에서는 프레임 단위로 실험 측정하였기 때문에 BER 측정이 곤란하므로 전송 프레임당 error 프레임의 비로 나타내었다.

上記 실험결과를 분석할境遇 동시에 입력되는 데이터의 양에는 크게 영향을 받지 않으나 全 입력채널에 동시에 데이터가受信될境遇에 不完全한 상태가 나타남을 알 수 있다. 實際로 채널數變化에 따른 영향을 重點으로 檢討한 결과 4홉개의 채널에 동시에 입력이受信될境遇부터 시스템動作이 不完全함을 測定할 수 있었다. 이와 같은境遇는 거의 모든 D채널에 동시에 데이터가受信되며 또한 이것이 送受信 兩方向으로 發生된다는境遇를 假定한 것이며 이러한現狀은 實際 traffic상에서 일어날 確率이 매우 稀薄할 것으로 豫想된다.

그러나 最惡의境遇에도 動作키 爲해 本 시스템에 對한 再檢討 結果 첫 바이트 入力 時에 일어나는 버퍼블럭의 오버헤드 處理時間을 줄이는 方法으로서 3msec마다 11個의 채널을 폴링하는 polling interrupt cycle을 1.5msec마다 처음 6個, 다음 5個의 채널로 나누어 폴링하도록 알고리즘을 改善하는 方法을 考慮하여 보았다. 이것은 本 論文에서 提示한 알고리즘을 構成상 소프트웨어 interrupt routine에 所要되는 대부분의 時間이 BAT, BAL의 檢索에 가장 큰 比重을 차지하고 있으며, 또한 檢索횟수는 n개의 channel에 대해 2<sup>n</sup>번 修行되어야 한다. 따라서 11個의 channel에 대한 檢索 所要時間을 T라 하면, T·2<sup>n</sup>의 時間이 所要되나 本 論文 實驗結果 11個의 channel을 3msec interrupt에서 처리時 다소 frame 傳送 error가 發生되는 것을 實時間 처리가 어렵기 때문이었으므로 이를 1.5msec interrupt에 의해 5個와 6個의 channel로 분리 檢索함으로써 한 interrupt 時間당 BAT, BAL 檢索 횟수를 각각 32, 64회 檢索하도록하여 11個의 channel에 대한 모든 檢索을 3msec 동안에 2<sup>5</sup>+2<sup>6</sup> 즉, 96회로 감소시킴으로써 幾何級數的 減少를 가져와 處理速度에 있어서 보다 나은 向上을 가져올 것이다. 또한, 이와 함께 現在의 16bits 마이크로 프로세서 1個에 의해서 11個의 채널을 폴링하는 것을 2個의 16bits 마이크로 프로세서가 各各 6個, 5個의 채널씩 分擔하여 폴링하는 方式으로 處理하도록 함께 同時에 두 個의 8bits CPU에 의해서 處理되던 64Kbps의 送受信을 하나의 16 bits 프로세서를 利用하여 處理하도록 하는 改善 方法도 생각하여 보았다. 이와 같은 改善 方法들은 SMUX의 實時間 處理能力을 보다 効率的으로 增大시키며, 本 論文에서는 開發된 dynamic buffer management 알고리즘의 實行 速度을 보다 改善할 수 있을 것으로 思慮된다.

### 6. 結 論

本 研究에서는 ISDN 16Kbps D채널 11個를 하나의 64Kbps B채널에 多重化하기 위한 統計的 多重化器(SMUX)의 하드웨어 開發과 効率的인

動作遂行을 위한 소프트웨어 알고리즘을 具現하였다.

Multiple processor를 이용한 高速 送信 및 受信 專用 알고리즘과 이에 附加되는 dynamic buffer management를 이용한 高速 多重化 方法에 關한 研究 및 store and forward 方式을 통한 error recovery에 關한 研究를 遂行하여 統計的 多重化器를 이용한 高速 디지털 多重 데이터 傳送 技術이 實現可能케 하였으며, ISDN primary access interface의 信號채널 構成에 對한 技術的인 基礎를 確立하여 傳送 시스템의 傳送 効率을 極大化 시킬 수 있는 實驗方案이 提示되었다. 또한 本 研究에서 開發로 이루어진 SMUX 시스템은 改善方案에서 提示한 몇가지 事項이 補完되면 向後 ISDN 關聯 VLSI의 出現과 더불어 實質的인 應用 및 實用化가 可能하리라 보며 關聯 技術들을 ISDN 交換機에서의 信號채널 처리, 패킷 通信網과의 interworking, 패킷 通信網內的 패킷 데이터 多重化 등에 適切히 使用될 수 있을 것으로 期待된다.

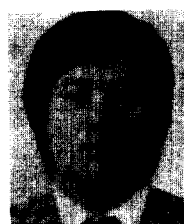
끝으로 本 研究는 韓國電子通信研究所의 委託 研究로 遂行되었음을 밝히며 韓國電子通信研究所 關係者 諸位께 感謝드린다.

### 參 考 文 獻

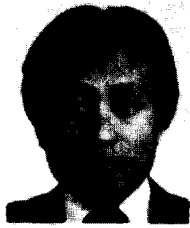
- (1) D. Doll, Data Communication-Facilities, Network and System Design, John Wiley & Sons, Inc., pp. 311-327, 1978.
- (2) D. W. Davies, D. L. A. Barber, W. L. Price and C. M. Solomonides, Computer Networks and Their protocols, John Wiley & Sons, Inc., pp. 189-270, 1979.
- (3) D. J. Morris, Communication for Command and Control System, Pergamon Press, pp. 319-371, 1983.
- (4) James W. Coffron, Z80 Application, Sybex, Inc., 1983.
- (5) Z80 technical Manual, Z80-CPU, Z80-PIO, Z80-CTC, Z80-SIO, Zilog, 1981.
- (6) Microprocessor Application Reference book, vol. 1, Zilog, 1981.
- (7) M68000 16/32-Bit Microprocessor Programmer's Reference Manual, Fourth edition, MOTOROLA, Prentice-Hall, Inc., 1983.
- (8) Leo J. Scanlon, the 68000:Principles and Programming, Howard W. Sams & Co., Inc., 1981.
- (9) CCITT Recommendation Q.920-Q.931, Digital Access Signalling system, Red book, vol. VI-Fascicle VI, 9, Geneva, 1985.
- (10) W. W. Chu, "A study of Asynchronous time Division Multiplexing for time-sharing Computer system", in 1969 spring Joint Computer Conf., AFIPS Conf. Proc., vol. 35, montvale, N.J.: AFIPS press, pp. 669-678, 1969.
- (11) W. W. Chu, "Demultiplexing Considerations for statistical Multiplexors," IEEE Transactions on Communications, vol. COM-20, no. 3, pp. 603-609, June 1972.
- (12) Dixon R. Doll, "Multiplexing and Concentration," Proc. of IEEE, vol. 60, no. 11, pp. 1313-1321, Nov. 1972.
- (13) W. W. Chu, "Dynamic buffer management for Computer Communications," Proceedings to the Third Data Communication symposium, pp. 68-72, Nov. 1973.
- (14) M. L. El-Sayed, "Support of X.25 Access lines on statistical multiplexers," GLOBECOM '84, Nov. 1984.
- (15) 김낙명, "Statistical multiplexing of Data and speech signals with Dynamic buffer Control," KAIST, Dec. 1981.
- (16) 이종락, "Implementation of an 8-Channel statistical multiplexer," 전자공학회지, vol. 21, no. 5, Sep. 1984.
- (17) 김병찬의 5인, "통계적 다중화 방식을 이용한 ISDN D 채널 다중화에 관한 연구", 한국통신학회지, vol. 11, no. 4, Aug. 1986.



朴正昊(Chung Ho PARK) 準會員  
1962年11月28日生  
1985年2月:成均館大學校 工科大學 電子工學科(工學士)  
1987年2月:成均館大學校 大學院 電子工學科(工學碩士)  
1987. 1~現在:三星綜合技術院在職中



金榮哲(Young Chul KIM) 正會員  
1952年9月8日生  
1977. 2:成均館大學校 理工大學 物理學科(理學士)  
1980. 2:成均館大學校 大學院 電子工學科(工學碩士)  
1982. 7:三星半導體通信在職中 先任 研究員,成均館大學校 大學院 電子工學科 博士過程修了



**李 鎬 俊 (Ho Joon LEE)** 正會員  
 1955年8月21日生  
 1978. 2 : 成均館大學校 電子工學科(工學士)  
 1980. 2 : 成均館大學校 大學院 電子工學科(工學碩士)  
 陸軍士官學校 電子工學科 專任講師  
 1987. 2 : 成均館大學校 大學院 電子工學科(工學 博士)

1987. 2 : 湖西大學校 通信工學科 專任講師



**朴 炳 哲 (Byung Chul PARK)** 正會員  
 1930年4月30日生  
 1957. 9 : 서울大學校 工科大學 通信工學科 卒業(工學士)  
 1975. 2 : 仁荷大 大學院 電氣工學科(工學博士)  
 1972. 3 : 成均館大學校 教授 電子工學科  
 1980. 9 : 日本 東京大學 外國人研究員

(1年間)

1986. 12 ~ 現在: 成均館大學校 工科大學長



**曹 圭 燮 (Kyu Seob CHO)** 正會員  
 1951年5月3日生  
 1974. : 成均館大學校 電子工學科(工學士)  
 1976. 2 : 成均館大學校 大學院 電氣工學科(工學碩士)  
 1977. 3 : 韓國電子通信研究所 ~現在 責任研究員  
 1984. 3 : 成均館大學校 大學院 電子工學科 博士過程 在學中



**金 炳 贊 (Byung Chan KIM)** 正會員  
 1923年10月23日生  
 1947. 8 : 國立서울大學校 工學大學 電氣工學科 卒業  
 1955. 9 ~ 1966. 7 : 國立 慶北大學校 教授  
 1960 ~ ~ 1962. 12 : Denmark 原子力研究所 電子工學研究室에서 研究

1966. 7 ~ 現在: 成均館大學校 教授 副總長

1968. 7 ~ 1969. 6 : Manchester 理工大學(UMIST) 大學院에서 電子工學 研究