

論 文

반주기 표본화를 이용한 디지털
위상동기회로의 성능개선에 관한 연구

準會員 崔 榮 俊* 正會員 姜 哲 豪**

A Study on the Performance
Improvement of Digital Phase-Locked
Loop Using a Half Period SamplingYoung Joon CHOI*, Cheol Ho KANG** *Regular Members*

要 約 본 논문에서는 정현파 입력 신호의 위상을 PGZC (Positive Going Zero Crossing)에 대해 주기당 한번씩 추적하는 디지털 위상동기회로(DPLL)의 성능 개선을 위해 반주기마다 표본화를 행함으로써 위상오차를 감소시킬 수 있는 DPLL을 제시하였다. 제안된 DPLL은 두개의 샘플러에 의해 정현파 입력 신호의 위상을 PGZC에 대해 주기당 2회씩 추적함으로써 기존의 DPLL보다 동기대역의 손실없이 정상상태 위상오차 변동의 범위를 전체적으로 1/2정도 감소시킬 수 있었다. 또한, 연속 표본간의 오차간격과 양자화 레벨이 동일한 경우에 있어서 반주기 표본화를 이용하는 DPLL이 기존의 DPLL보다 빠른 동기를 이루게 됨을 알 수 있었다. 이 제시된 루우프에 대한 해석 결과를 실제적으로 요구되는 조건들에 대하여 컴퓨터 시뮬레이션 행함으로써 검증하였다.

ABSTRACT In this paper, an all Digital Phase-Locked Loop(DPLL) has been proposed, which has reduced the phase error by using a half period sampling in order to improve the performance of the conventional DPLL which tracks the phase of incoming sinusoidal signal once per cycle for the Positive Going Zero crossing(PGZC) of the signal. The proposed DPLL tracks the phase of input signal twice per cycle with two samplers for the PGZC. So the loop has a half reduction of the steady state phase error fluctuation ranges without decreasing the lock-range in a whole, comparing with that of the conventional DPLL. Also, it has been known that the proposed loop is rapidly locked to input signal for the same values of phase difference between successive samples and quantization level. The analytic results of the proposed loop have been verified by computer simulation for the practically required conditions.

*,**光云大學電子通信工學科

Dept. of Electronic Communication Engineering,
Kwangwoon University.

論文番號: 87-47(接授 1987. 6. 25)

I. 서 론

통신 시스템에서의 위상동기회로(PLL: Phase Locked Loop)는 시스템의 동기화 angle-m-

odulation 등에 많이 이용된다.

아날로그 위상동기회로 (APLL)는 위상검출기 (Phase Detector)의 위상오차에 따른 출력을 전압제어발진기 (VCO : Voltage Controlled Oscillator)로 제화 (feedback)시켜 VCO의 출력과 입력 신호의 위상을 비교하여 그 차를 검출함으로써 위상을 조절하게 된다.

이 APLL은 VCO의 비선형과 위상검출기의 검출오차 및 각 구성요소들간의 잡음 스파이크 (spike) 등에 의한 포화상태로 인하여 안정성과 신뢰성이 떨어지므로 시스템의 전체적 성능이 저하되는 단점을 갖는다.

이러한 단점들은 아날로그 성분들을 디지털화함으로써 디지털 시스템이 갖는 전반적인 장점들에 의해서 개선될 수 있다. 또한, 성능, 속도, 신뢰도, 그리고 안정도의 개선과 LSI (Large Scale Intergation)에 의한 소형화와 가격의 감소에 따라서 디지털 영역에서 디지털 위상동기회로 (DPLL)의 구현에 큰 관심을 갖게 되었다.

그러한 관심에도 불구하고, APLL에 관한 연구는 성숙되어 있는 반면에 DPLL의 개발이 시작된 것은 10여년에 불과하여 체계적인 분야가 정립되지 못한 상태에 있다.

초기 단계의 DPLL의 연구는 APLL의 구성요소들을 부분적으로 디지털 성분으로 대체함으로써 시작되었고, 전체회로의 완전한 디지털화는 Reddy와 Gupta에 의해 이루어졌다. Reddy와 Gupta는 입력 정현 신호의 위상을 추적하기 위해 샘플러 (sampler), 콰타이저 (quantizer), 루우프 필터 (loop filter), 디지털 클럭 (digital clock)으로 구성되는 DPLL을 제시하였다.

이 루우프는 구현하기에 가장 간단한 구조이며 해석이 간편하고, 루우프의 동작이 여러 형태의 DPLL들이 갖는 일반적인 성질을 잘 나타내기 때문에 현재까지도 DPLL의 해석과 응용에 있어 기본이 된다.

그러나, Reddy와 Gupta가 제시한 루우프는 정상상태 위상오차의 변동범위가 주변상태에 따라 민감하여 통신 선로에서 항상 존재하는 잡음에 대해 좋은 성능을 갖지 못한다. 또한, 잡음에 의한 위상의 변동을 줄이기 위해서는 루우프의

동기대역폭을 작게하여야 하는 단점을 갖는다.

이러한 문제점들을 개선하기 위해 Hisao Yamamoto와 Shinsaku Mori는 새로운 형태의 루우프 필터를 사용하여 잡음에 의한 루우프의 사이클 슬리핑 (cycle slipping) 현상을 보완할 수 있는 루우프를 제시하였고, Jean-Paul Sandoz와 W. Steenaart는 루우프의 트래킹 (tracking) 성능을 개선하기 위해 2차원 pseudo-random-walk filter를 갖는 루우프를 제시하였다. J. K. Holmes와 C. R. Tegnelta는 입력 신호의 위상을 추적하는 다른방법으로서 신호의 정 및 부 전이 (positive and negative transition)에 대해 표본화를 행함으로써 시간오차를 갖도록 하는 DPLL을 제시하고, 구형과 입력 신호에 대해 잡음에 의한 전이상태의 변화를 random-walk 방식을 이용하여 해석하였다.

본 논문에서는 Reddy와 Gupta가 제시한 루우프의 성능을 개선하기 위한 방법으로 두개의 샘플러를 이용하여 입력 정현 신호의 위상을 PGZC에 대해 주기당 두번씩 표본화를 행하는 DPLL을 제시하였다. 제시된 루우프는 해석적인 면과 회로의 구성면에 있어서 성능을 개선하기 위한 다른 방법들보다 간단하면서도 동기대역의 손실없이 정상상태 위상오차 변동범위를 감소시킬 수 있었으며 동일한 조건하에서 Reddy와 Gupta가 제시한 루우프보다 개선되어진 전이 응답을 얻었다.

Reddy와 Gupta가 제시한 루우프의 해석 방법을 이용하여 제시된 루우프를 해석하였고, 루우프의 성능을 조사하기 위해 실제적인 상황에 부합되는 조건들에 대해 컴퓨터 시뮬레이션을 행하여 두 회로의 성능을 비교하였다.

II. 위상동기회로의 구조 및 동작

가. Reddy와 Gupta의 DPLL

그림 1은 Ruddy와 Gupta가 제시한 DPLL의 구성도를 나타낸 것으로 샘플러는 입력신호의 PGZC에 대해 하나의 표본을 가짐으로서 위상오차를 검출하고, 그 위상오차에 따라 디지털 클럭이 수정되어 입력 신호를 추적하게 된다.

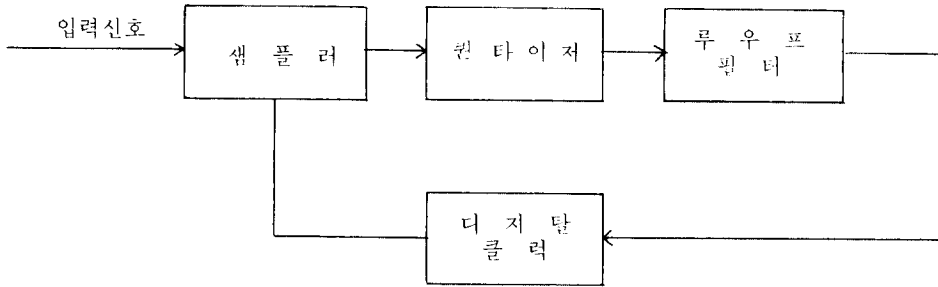


그림 1 Reddy & Gupta가 제시한 DPLL의 구성도
Block diagram of DPLL proposed by Reddy & Gupta

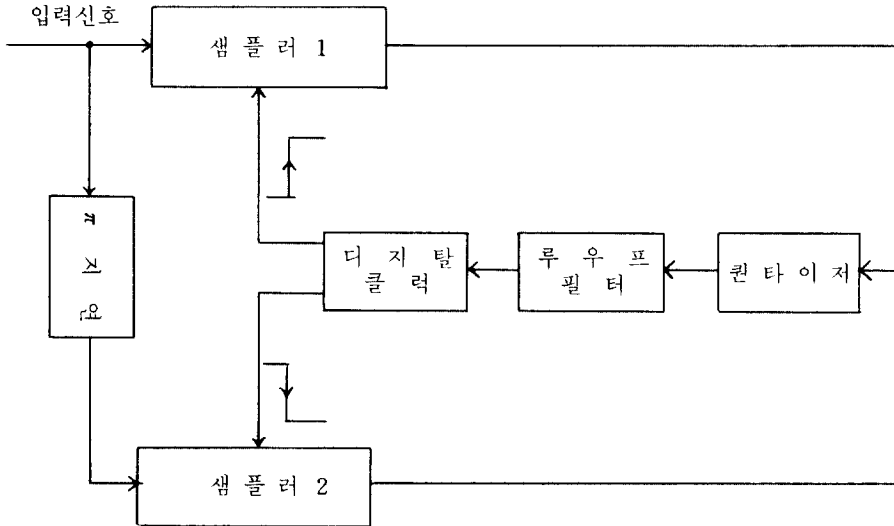


그림 2 반주기 표본화를 이용하는 DPLL의 구성도
Block diagram of the DPLL using half period sampling

나. 제안된 반주기 표본화 DPLL

그림 2는 본 논문에서 제시한 루우프의 구성도 로써 두개의 sampler와 하나의 quantizer, 루우프 필터, 디지털 클럭으로 이루어진다.

(1) 샘플러

샘플러는 입력 정현신호의 PGZC에서 클럭에 의해 하나의 표본을 갖는다. 그 표본은 입력신호와 클럭간의 위상오차를 나타내는 것으로 그 크기는 입력신호의 PGZC 순간과 표본화 순간과의 차이에 의해 정해지며 이는 PGZC로부터 $\pi/2$

사이에 있을 때 위상오차의 SIN값에 비례한다.

그림 2에서 샘플러 1에는 입력신호와 동위상인 신호가 인가되어 클럭의 상승 모서리에서 표본을 갖게되고, π 만큼 천이된 입력신호는 sampler 2에 인가되어 PGZC에 대해 클럭의 하강 모서리에서 하나의 표본을 갖게된다.

(2) 양자기

양자기는 그림 3에서 보여지는 것처럼 dead zone을 갖지않는 균일 양자기(uniform quan-

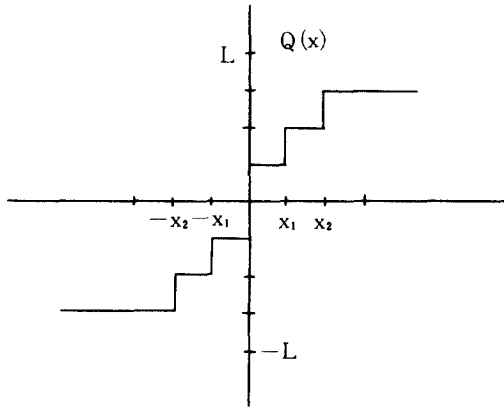


그림 3 Dead zone을 갖지 않는 펜타이저의 준위
Quantization level without dead zone

tizer)로 구성되며 이는 정수 준위의 출력을 갖는다. 양자기의 최대 허용 출력수는 루우프 필터의 특성과 위상오차내의 변화량에 의존된다. 본 논문에서는 양자기의 양의 레벨(positive level)의 최대값을 L 로 명시하고, 해석적인 간편성을 위하여 $L = 1$ 인 2준위 출력의 양자화를 고려한다.

(3) 루우프 필터

루우프 필터의 기본적인 목적은 디지털 클럭에 적합한 위상조정명령을 갖게하고 입력신호가 잡

음속에 섞여 질 때 위상오차에 따라 이 수정명령들의 비율을 조절하는 것이다.

루우프 필터는 입력신호와 관련되는 잡음의 형태를 고려하여 최적 판정기준을 만족하도록 응용에 따라서 적합하게 선택되어진다.

(4) 디지털 클럭

디지털 클럭은 APLL의 VCO에 해당하는 것으로 출력위상은 루우프 필터의 출력에 의해 변화되어진다. 즉, 루우프 필터의 각 출력은 입력신호의 위상과 클럭의 출력위상간의 오차를 감소시키도록 연속 표본간의 위상오차전압(δ [radian])과 같은 크기를 갖게되어 클럭의 출력위상을 변화시킨다. 클럭에 수정명령이 존재않을 경우 클럭은 T_0 초의 표준주기를 갖는 캐리어(carrier) 주파수의 중심주파수에서 동작한다. 그러나, 수정명령이 존재하면 클럭의 다음주기는 $\pm T_0/N$ 에 의해 위상오차를 감소하게끔 변화되어진다. N 은 2π 범위내에서 취할 수 있는 위상오차 상태수들의 수를 나타내는 정수이며 위상오차 전압 $\delta = 2\pi/N$ 의 관계를 갖는다.

Ⅲ. 반주기 표본화 DPLL의 위상동기 원리

위상 동기 동작을 분명하고, 간략히 설명하기

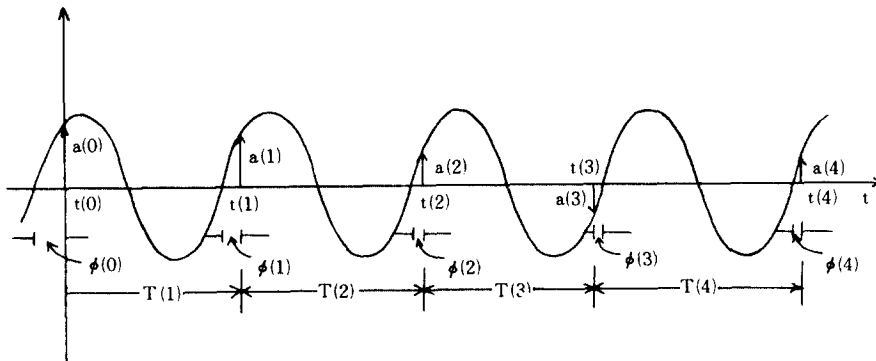


그림 4 기존 DPLL의 입력 신호와 위상 오차
Input signal & phase error of the conventional

위하여 2준위 양자화기를 갖고 루우프 필터를 갖지 않는 디지털 회로에 대하여 고찰하며 회로의 입력 신호는 최대진폭이 일정한 정현 반송파형으로 잡음이 존재하지 않는다고 가정한다.

그림 4는 Reddy와 Gupta가 제시한 루우프의 위상동기 동작을 나타내는 것으로 k번째 표본은

$$T(k) = (1/2)T_0 - (T_0/N) \operatorname{sgn}[\phi(k-1)]$$

$$\text{단, } \operatorname{sgn}[\phi(k)] = \begin{cases} 1, & \phi(k) > 0 \\ 0, & \phi(k) = 0 \\ -1, & \phi(k) < 0 \end{cases} \quad (1)$$

의 시간후에 취해지고, 최종 오상오차는 입력신호의 PGZC부근에서 발전하면서 입력신호를 추적한다.

그림 5는 본 논문에서 제시되는 루우프의 위상 동기 동작을 설명하여 주는 것으로 sampler 2의 입력신호는 sampler 1의 입력 신호의 위상과 π 만큼의 차이를 갖고 클럭의 하강 모서리(negative edge)에서 표본화가 이루어진다. 그림에서 보여지는 것처럼 각 sampler는 클럭의 반주기마다 번갈아 하나씩의 표본을 가짐으로써 입력 신호

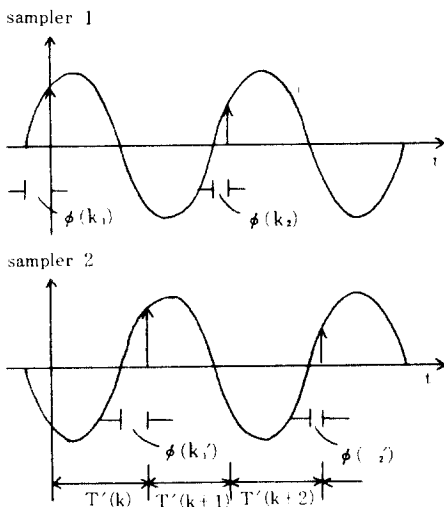


그림 5 제시된 루우프의 입력 신호와 위상 오차
Input signal & phase error of the proposed DPLL

의 위상을 추적하게 되고, 그 표본들에 의해 적당한 수정명령들이 클럭에 인가 되어져서 다음 표본화 주기를 변화시킨다.

제시된 루우프의 표준화 주기는 위상오차에 따라

$$\begin{aligned} T(k) &\equiv (1/2)T(k) \\ &= (1/2) \{T_0 - (T_0/N) \operatorname{sgn}[\phi(k-1)]\} \end{aligned} \quad (2)$$

라고 쓸 수 있다. 즉, 루우프는 식(4)에 따라 입력 신호를 추적하여 입력 신호의 PGZC부근에서 정상상태 발전위상오차를 갖게 된다.

IV. 반주기 표본화 DPLL의 해석

본 장에서는 Reddy & Gupta가 제시한 DPLL의 기본 방정식과 루우프의 일반방정식을 설명하고, 이로부터 본 논문에서 제시한 루우프의 방정식을 유도한다.

가. 루우프의 수학적 모델과 기존 DPLL의 루우프의 방정식

(1) 루우프의 수학적 모델

잡음이 없는 루우프를 고려하여 입력신호는 $A \sin(\omega_0 t + \theta_i(t))$ 라 한다. 여기서 ω_0 는 캐리어 주파수[radian/second]이고, 입력에 의한 수정 명령이 없는 디지털 클럭의 표준주기는 $T_0 = 2\pi/\omega_0$ 이다. k번째 표본화 순간에 루우프에 인가된 신호는

$$A \sin\{\omega_0(k) + \theta_i(k)\},$$

k : 0을 포함하는 양의 정수

t(k) : k번째 표본화시간 (3)

$$\theta_{it}(k) \equiv \theta_i(k)$$

1. 입력 신호의 위상

$$\beta_i(k) = \omega_0 \cdot t(k) + \theta_i(k) \quad (4)$$

2. 클럭의 출력 위상

$$\begin{aligned} \beta_o(k) &= \omega_o \cdot t(k) + \theta_o\{t(k)\} \\ &= \omega_o \cdot t(k) + \theta_o(k) \\ \theta_o\{t(k)\} &\equiv \theta_o(k) \end{aligned} \quad (5)$$

3. k 번째 표본화 순간에서 샘플러의 출력

$$\begin{aligned} a(k) &= A \sin\{\beta_i(k) - \beta_o(k)\} \\ &= A \sin\{\theta_i(k) - \theta_o(k)\} \\ &= A \sin\phi(k), \phi(k) \\ &= \theta_i(k) - \theta_o(k) : \text{위상오차} \end{aligned} \quad (6)$$

4. k 번째 표본화 순간에서의 양자기의 출력

$$Q\{a(k) = D[Q\{A \sin \phi(k)\}] \quad (7)$$

5. k 번째 표본화 순간에서의 루우프 필터의 출력

$$\begin{aligned} b(k) &= D\{Q\{a(k)\}\} \\ &= D\{Q\{A \sin \phi(k)\}\} = 0 \text{ 을 포함하는} \\ &\text{정수 출력} \end{aligned} \quad (8)$$

6. k 번째 표본화 순간에서 클럭의 주기

$$T(k) = T_o - (T_o/N) \cdot b(k-1) \quad (9)$$

그리고, 인접상태들간의 위상오차 $\delta = 2\pi/N$ [radians], k 번째 클럭주기의 각 주파수는 $W(k) = 2\pi/T(k)$ 가 된다.

(2) 기존 DPLL의 루우프 방정식

1. 출력 위상

$$\begin{aligned} \theta_o(k+1) &= \theta_o(k) + \delta D\{Q\{A \sin(\theta_o(k) \\ &\quad - \theta_o(k))\} \\ \theta_o\{t(0)\} &= \theta_o(0) = \\ &= W_o \cdot t(0) \end{aligned} \quad (10)$$

2. 위상 오차

$$\begin{aligned} \phi(k+1) &= \phi(k) + \delta D\{Q\{A \sin \phi(k)\}\} \\ &= \theta_i(k+1) - \theta_i(k), \\ \phi\{t(0)\} &= \phi(0) = \theta_i\{t(0)\} \\ &= \theta_i(0) + W_o \cdot t(0) \end{aligned} \quad (11)$$

3. 표본화 시간

$$\begin{aligned} t(k) &= t(0) + kT_o - \frac{\{\theta_o(k) + W_o \cdot t(0)\}}{W_o} \\ t(k) &= kT_o - \theta_o(k)/W_o \end{aligned} \quad (12)$$

나. 제안된 반주기 표본화 DPLL의 루우프 방정식

그림 5에서 설명되는 것처럼 제시된 루우프의 표본화 주기를 $T'(k')$ 라 하면

$$\begin{aligned} T'(k') &\equiv (1/2)T(k) = (1/2)\{t(k) - t(k-1)\} \\ &= (1/2) \sum_{j=1}^k T(j) \\ &= (1/2) kT_o - (1/2) \\ &\quad T_o/N \sum_{j=1}^k b(j-1) \end{aligned} \quad (17)$$

와 같이 $T(k)$ 에 관하여 정리할 수 있다. 여기서

표본의 수 k' 은 $2k$ 에 해당한다.

이 식을 앞의 절에서 설명한 루우프의 방정식들에 대하여 적용하여 전개하면 제시한 루우프의 특성을 나타내는 일반 방정식은 다음과 같아진다.

(1) 출력위상 : 루우프의 출력 위상은

$$\begin{aligned} \theta_0(k) &= \beta_0(k) - \omega_0 \cdot t(k) \\ &= \sum_{j=1}^k \omega(j) \cdot T(j) - \omega_0 \left\{ \sum_{j=1}^k T(j) + t(0) \right\} \\ &= \sum_{j=1}^k (1/2) \cdot \delta \cdot b(j-1), \quad \delta = 2\pi/N \end{aligned}$$

으로 부터

$$\begin{aligned} \theta_0(k+1) &= \theta_0(k) + (1/2) \delta D\{Q \\ &\quad \{A \sin \phi(k)\}\}, \\ \theta_0(0) &= -\omega_0 t(0) \end{aligned} \quad (18)$$

이 된다.

(2) 위상오차 : 위상오차는 $\phi(k) = \theta_i(k) - \theta_0(k)$ 로 부터

$$\begin{aligned} \phi(k+1) - \phi(k) &= \theta_i(k+1) - \theta_i(k) \\ &\quad - (1/2) \delta D\{Q \{A \sin \phi(k)\}\}, \\ \phi(0) &= \theta_0(0) + \omega_0 \cdot t(0) \end{aligned} \quad (19)$$

가 된다.

(3) 표본화 시간 : $t'(k) = (1/2)t(k)$

$$\begin{aligned} &= (1/2) \{kT_0 - (T_0/N) \\ &\quad \sum_{j=1}^k (j-1)\} \\ &= (1/2)kT_0 - (1/2) \cdot (1/\omega_0) \\ &\quad (2\pi/N) \left[= \sum_{j=1}^k b(j-1) \right] \end{aligned}$$

$$\begin{aligned} &= (1/2)kT_0 - \theta_0(k)/W_0 \\ &= \{\pi k - \theta_0(k)\}/W_0 \end{aligned} \quad (20)$$

유도되어진 (18), (19), (20)식들은 제시한 루우프의 특성을 나타내는 것으로 (10), (11), (12)의 결과식들과 비교하여 보면 정상상태에서의 위상오차 값이 작게 된다는 것을 알 수 있다.

V. 성 능

루우프의 동작을 나타내는 일반방정식으로 부터 위상과 주파수 스텝을 갖는 입력에 대한 응답을 해석하고, 컴퓨터 시뮬레이션을 통해 두 회로의 응답을 비교 검토한다.

본 논문에서는 루우프 필터를 갖지 않고, 잡음이 없는 루우프를 고려하여 양자화의 여러 준위에 대한 루우프의 응답을 논한다. 여기서 루우프 필터가 없다는 것은 $D(y) = y$ 임을 의미한다.

가. 위상 스텝을 갖는 입력에 대한 응답
위상 스텝의 크기 θ 에 대한 입력신호는

$$A \sin\{W_0(k) + \theta\}, \quad \theta_i(k) = \theta \quad (21)$$

이다. 앞에서 유도된 일반 방정식으로 부터 $t(0) = 0$ 인 경우의 루우프 동작을 묘사하는 차분 방정식은 다음과 같다.

$$t(k) = \{\pi k - \theta_0(k)\}/W_0 \quad (22)$$

$$\begin{aligned} \theta_0(k+1) &= \theta_0(k) + (1/2) \delta Q\{A \sin \phi(k)\} \\ \phi(k) &= \theta - \theta_0(k) \\ \theta_0(0) &= 0 \end{aligned} \quad (23)$$

$$\begin{aligned} \phi(k+1) &= \phi(k) - (1/2) \delta Q\{A \sin \phi(k)\} \\ \phi(k) &= \theta \end{aligned} \quad (24)$$

위 식들은 다음과 같은 루우프의 성질을 나타낸다.

(1) 입력 위상은 $\pm \delta/2$ 범위내에서 추적되어 정상상태 발진 위상오차를 갖게 되며 상태수 N 에

반비례한다. 제시된 루우프의 평균 정상상태 위상오차는

$$\phi_{41(average)} \leq \delta/4$$

가 된다. 이는 기존의 루우프보다 약 1/2 배가 감소되어진 정상상태 위상오차의 변동범위를 갖게됨을 나타내는 것이다.

- (2) 상태수 N에 의해 점유되는 특정치의 위상오차는 초기 위상 스텝의 크기에 종속되며 이는 N상태가 2π 범위내의 전 위상오차를 처리할 수 있음을 의미한다.
- (3) 루우프의 천이응답은 $\delta/2$ 에 정비례한다. 즉, 양자화기의 준위에 종속되어 N에 반비례한다. 주어진 N에 대하여 연속 표본들간에 발생할 수 있는 최대 위상 변화치는 $L\delta/2$ 가 된다.

이는 L이 증가할 때 보다 나은 천이 응답을 갖음을 나타낸다.

그림 6의 (1), (2)는 기존의 루우프와 제시한 루우프의 위상스텝에 대한 응답으로써 L=1, N=16, 24인 경우에 대해 컴퓨터 시뮬레이션한 결과를 나타낸 것으로 제시한 루우프의 정상상태 위상오차가 전체적으로 1/2배 이상 감소하는 것을 알 수 있다.

또한, N값이 증가할 때 루우프의 정상상태 위상오차의 크기가 작아지게 되고, 감소할때 정상상태에 빨리 도달함을 보여준다.

그림 7의 (1), (2)는 L=2인 경우로써 양자화의 준위 변화점을 $1/\sqrt{2}$ 로 하였을때의 응답을 보여주는 것으로 양자화 준위를 증가시키면 정상상태에서 루우프의 응답이 개선됨을 나타낸다.

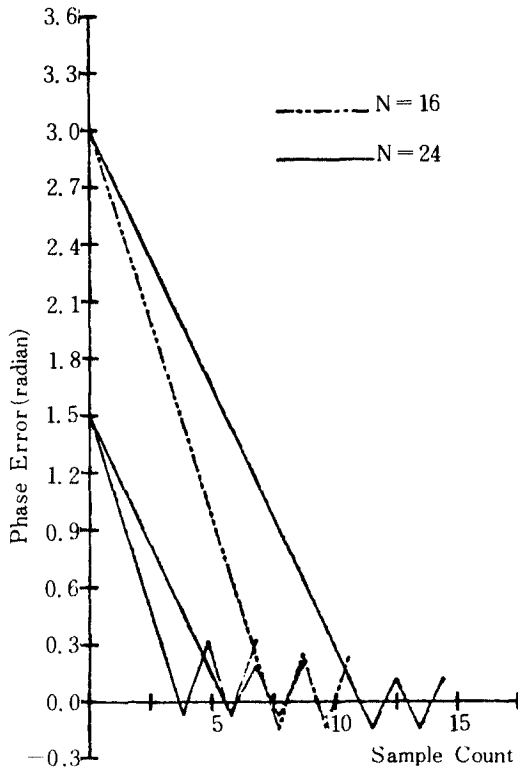


그림 6-(1) L=1인 경우 기존 DPLL의 위상 스텝에 대한 응답
Response to phase step of the conventional DPLL for L=1.

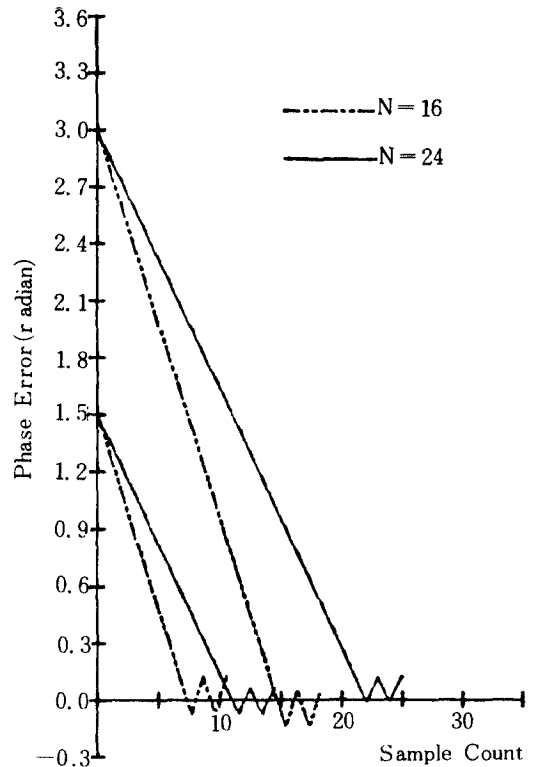


그림 6-(2) L=1인 경우 제시한 DPLL의 위상 스텝에 대한 응답
Response to phase step of the proposed DPLL for L=1

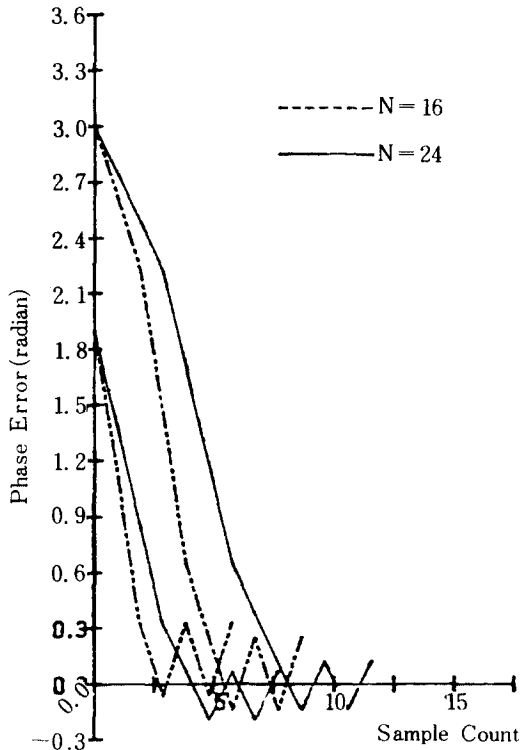


그림 7-(1) L = 2 인 경우 기존 DP-LL의 위상 스텝에 대한 응답
Response to phase step of the conventional DP-LL for L = 2

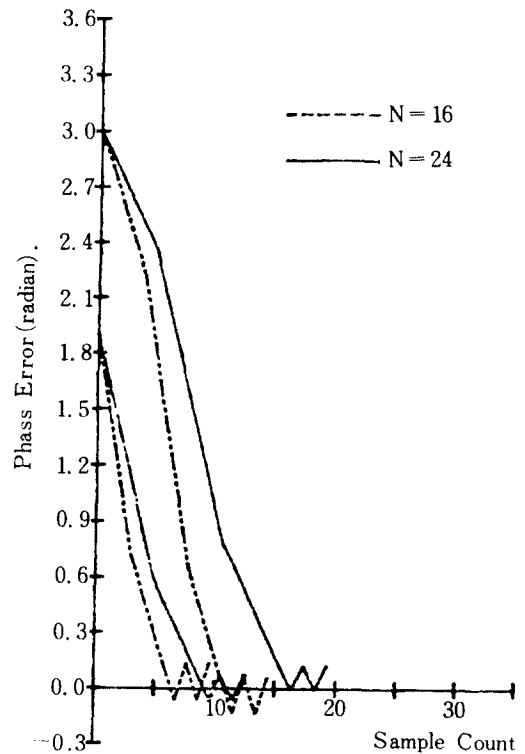


그림 7-(2) L = 2 인 경우 제시한 DP-LL의 위상 스텝에 대한 응답
Response to phase step of the proposed DP-LL for L = 2

나. 주파수 스텝을 갖는 입력에 대한 응답

주파수 스텝의 크기가 $\omega - \omega_0$ 인 입력신호는 $A \sin(\omega t)$ 로 정의되고, 입력 위상은 $\theta_i(k) = (\omega - \omega_0)t(k)$ 가 되므로 (20) 식으로 부터

$$e_i(k) = (\omega - \omega_0) \{ \pi k - \theta_0(k) \} \quad (24)$$

이 되고, (18) 과 (19) 식은

$$\begin{aligned} \theta_i(k+1) - \theta_i(k) &= \{ (\omega - \omega_0) / \omega_0 \} \\ &\quad \{ \pi - \theta_0(k+1) - \theta_0(k) \} \\ &\approx \{ (\omega - \omega_0) / \omega_0 \} \\ &\quad \{ \pi - (1/2) \cdot \delta \cdot Q \\ &\quad \quad \{ A \sin \phi(k) \} \} \end{aligned} \quad (25)$$

$$\begin{aligned} \phi(k+1) &= \phi(k) + (\omega - \omega_0) \pi / \omega_0 - (\omega / \omega_0) \\ &\quad \cdot (1/2) \cdot \delta \cdot Q \{ A \sin \phi(k) \} , \end{aligned} \quad (26)$$

$$\phi(0) = \theta_i(0) = t(0) = 0$$

과 같이 된다.

루우프가 동기를 이룰 수 있는 대역은 처리되어지는 캐리어 주파수 부근의 총 드리프트(drift)로써 정의 되어진다. 즉, 정상상태의 위상오차는 루우프가 입력 신호와 동기 되어 있다는 것을 변화게 하지 않는다.

임의의 주파수 스텝에 대해 루우프가 동기되어진다면 $\phi(K+1)$ 과 $\phi(K)$ 의 정상상태에서의 발진 범위는 거의 같게 된다. 즉, K가 큰 값이 될 때 $\phi(K+1) \approx \phi(K) = \phi_{ss}$ 라 할수 있다. 그러므로 식(26)으로 부터

$$\{(\omega / \omega_0) \cdot (1/2) \cdot (2\pi/N)\} Q \{A \sin \phi(k)\}$$

$$= (\omega / \omega_0 - 1) / \pi \quad (27)$$

$$Q \{A \sin \phi(k)\} = (\omega / \omega_0 - 1) N \quad (28)$$

이 되고, $Q \{A \sin \phi(k)\}$ 의 극대값은 $\pm L$ 이므로

$$(\omega / \omega_0 - 1) \cdot N = \pm L \quad (29)$$

이 된다. 즉, 루우프가 동기되기 위한 최저, 최고 주파수는

$$\omega_{Low} = \{N / (N+L)\} \omega_0, \quad \omega_{High}$$

$$= \{N / (N-L)\} \omega_0 \quad (30)$$

이고, 동기범위는

$$\omega_{Lock} = \omega_h - \omega_l = \{2NL / (N-L)\} \omega_0 \quad (31)$$

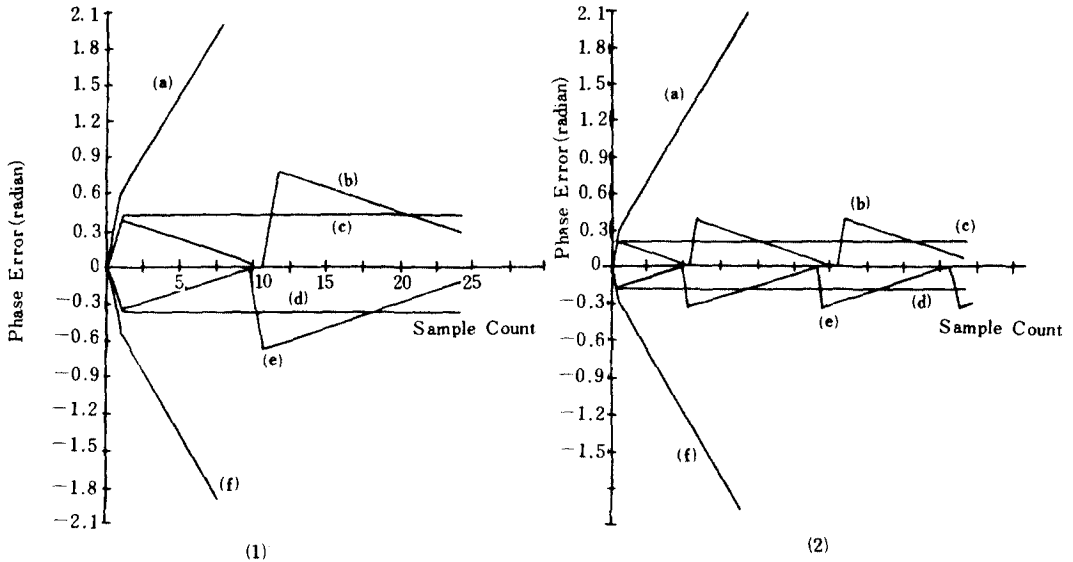
과 같이 된다. 또한 동기를 이루기 위한 조건은

$$N / (N+L) \leq \omega / \omega_0 \leq N / (N-L) \quad (32)$$

이 된다.

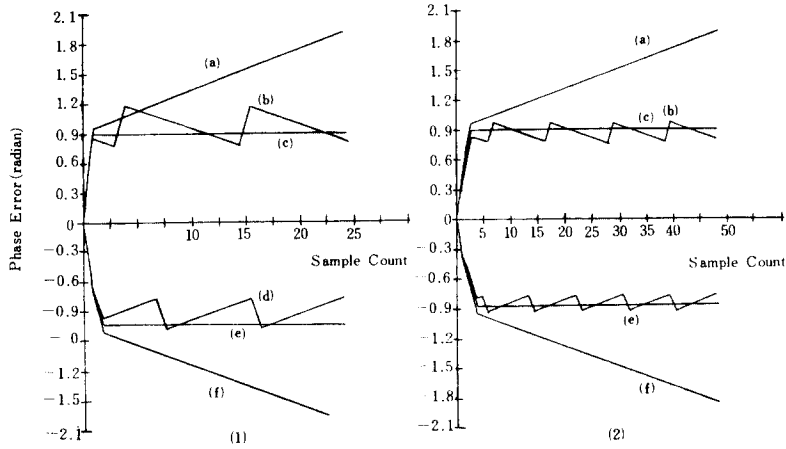
주파수 스텝을 갖는 입력에 대한 루우프의 응답은 다음과 같다.

(1) 루우프는 정상상태 위상오차를 갖으며 (32) 식과 같은 동기 범위내에서 주파수 스텝을 갖는 입력을 추적하며 이를 만족하지 않는 경우 발산하게 된다. (32) 식에서 주어진 동기범위는 기존의 루우프와 동일하다. 즉, 제시한 루우프가 동기대역의 손실없이 정상상태 위상오차를 작게할 수 있어 보다 안정된 동기상태를 유지할 수 있음을 보여주며 그림 8의 (1), (2) 그림 9의 (1), (2)와 표 1, 2는 각각 $L=1, 2$ 인



(a) $W/W_0 = 16.5 / 15$, (b) $W/W_0 = 15.9 / 15$, (c) $W/W_0 = 16 / 15$
 (d) $W/W_0 = 16 / 17$, (e) $W/W_0 = 16.1 / 17$, (f) $W/W_0 = 15.5 / 17$

그림 8-(1) $L=1$ 인 경우 기존 DPLL의 주파수 스텝에 대한 응답
 Response to frequency step of the conventional DPLL for $L=1$
 8-(2) $L=1$ 인 경우 제시된 DPLL의 주파수 스텝에 대한 응답
 Response to frequency step of the proposed DPLL for $L=1$



(a) $W/W_0 = 16.5/15$, (b) $W/W_0 = 15.9/15$, (c) $W/W_0 = 16/15$
 (d) $W/W_0 = 16/17$, (e) $W/W_0 = 16.1/17$, (f) $W/W_0 = 15.5/17$

그림 9-(1) L = 2 인 경우 기존 DPLL 의 주파수 스텝에 대한 응답
 Response to frequency step of the conventional DPLL for L = 1
 9-(2) L = 2 인 경우 제시된 DPLL 의 주파수 스텝에 대한 응답
 Response to frequency step of the proposed DPLL for L = 1

표 1 L = 1 인 경우 N 값과 동기대역, 위상오차의 변화
 Variation of N, lock range, and phase error for L = 1.

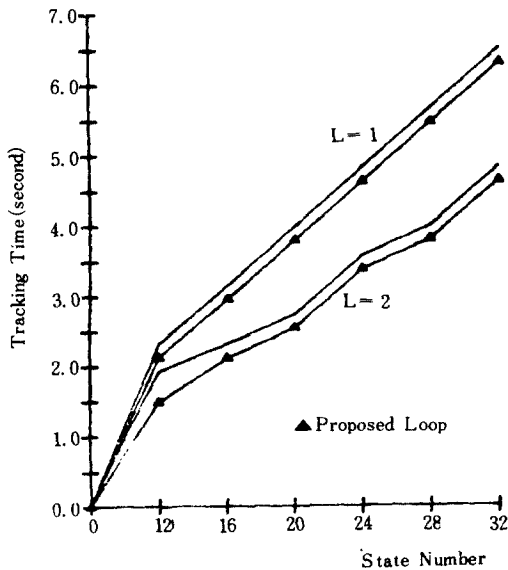
Number of States of Phase error in modulo 2π N	Lock Range		Extreme Fluctuation Points Touched by the Phase Error in the Entire Lock range			
	Maximum W/W ₀	Minimum W/W ₀	DPLL		DPLL (proposed)	
			Maximum	Minimum	Maximum	Minimum
12	12 / 11	12 / 13	+1.07149	-0.91865	+0.285598	-0.241760
16	16 / 15	16 / 17	+0.79335	-0.68403	+0.209465	-0.184822
20	20 / 19	20 / 21	+0.61037	-0.57020	+0.165367	-0.149608
24	24 / 23	24 / 25	+0.51695	-0.47665	+0.136596	-0.125663

표 2 L = 2 ($x_1 = 1/\sqrt{2}$) 인 경우 N 값과 동기대역, 위상오차의 변화
 Variation of N, lock range, and phase error for L = 2 ($x_1 = 1/\sqrt{2}$).

Number of States of Phase error in modulo 2π N	Lock Range		Extreme Fluctuation Points Touched by the Phase Error in the Entire Lock range			
	Maximum W/W ₀	Minimum W/W ₀	DPLL		DPLL (proposed)	
			Maximum	Minimum	Maximum	Minimum
12	12 / 10	12 / 14	+1.34618	-1.18231	+0.942482	-0.897598
16	16 / 14	16 / 18	+1.18669	-1.09127	+0.897621	-0.872665
20	20 / 18	20 / 22	+1.04762	-1.03998	+0.872680	-0.856803
24	24 / 22	24 / 26	+1.04164	-1.00128	+0.856796	-0.845816

경우에 대해 루우프의 주파수 스텝에 따른 응답과 동기범위에 따른 위상오차를 나타낸 것으로 제시된 루우프의 정상상태 위상오차가 1/2 배 정도 감소되고, L값의 증가에 따라 보다 나은 천이응답을 갖게됨을 알 수 있다.

- (2) 표 1, 2로부터 위상오차는 ω/ω_0 의 함수가 되고, 상태수 N에 독립적이다. 주어진 L에 대하여 N이 증가하여 동기대역이 좁아질 때 최대, 최소 오상오차의 크기가 감소되고, 동일한 값들에 대해 제시된 루우프의 위상오차가 작게되는 것을 알 수 있다.
- (3) ω/ω_0 가 정확하게 동기대역의 경계치에 일치할 때 위상오차는 $k > 0$ 에 대하여 일정한 값을 갖게됨을 그림 8, 9로부터 알 수 있다. 이러한 것은 (26)식으로부터 직관적으로 알 수 있다. 그림 11은 $L = 2$ 인 경우로써 양자화준위에 따라서 정상 상태에서 바이어싱(biasing) 효과를 갖게됨을 보여준다.



(1)

그림10-(1) L,N의 변화에 따른 루우프의 동기속도
Locking speed of the loop for the different value of N,L

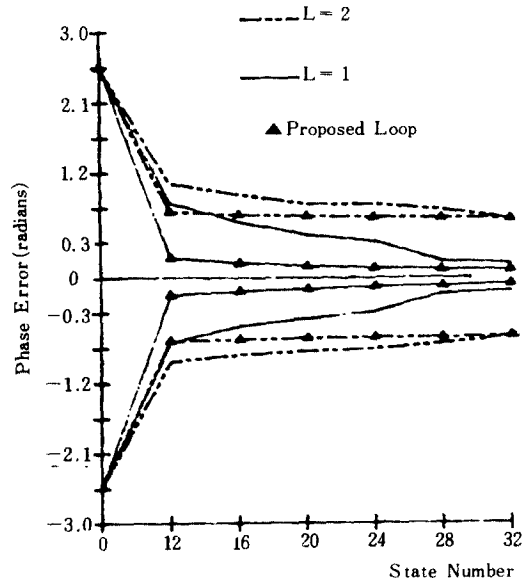
다. 루우프의 동기속도

루우프는 정상상태 발진위상오차를 갖고, 식(32)을 만족할 때 동기를 이루게된다. 즉, 정상 상태 발진 위상오차를 갖게 되는 순간을 동기가 이루어지는 순간으로 간주할 수 있다.

그림 10의(1)는 루우프가 입력 신호의 위상을 추적하여 동기범위내의 위상오차값을 갖게 될때까지의 시간을 나타낸 것이다. 그림에서 보여지는 것처럼 N값과 L값이 증가될 때 동기를 이루는 속도가 빠르게 됨을 알 수 있으며 제시한 루우프가 더 빠른 속도로 더 작은 값의 정상 상태 위상오차를 갖게됨을 알 수 있다.

라. 양자화 준위의 변화에 대한 루우프의 응답과 L의 최대값

앞 장의 해석으로부터 위상오차의 발진과 정상 상태 평균 위상오차가 다소 증가되는 것을 감수



(2)

그림10-(2) L,N의 변화에 따른 정상상태 위상오차
Steady state phase error loop for the different value of N,L

할 수 있다면 그림 10의 (2)에서 보여지는 것처럼 주어진 N 에 대해서 L 을 증가 시킴으로써 천이응답과 정상상태 위상 오차가 개선되어 질 수 있음을 알 수 있다.

그러나, (18)식에서 $L > N$ 인 값들에 대해서

$$Q \{A \sin \phi (k-1)\} \equiv L$$

이 되기 때문에 입력 신호의 한 주기를 넘는 값들에 있어서는 유용하지 못하게 된다. 그러므로 양자화 준위 L 의 최대치가 위상오차의 상태수 N 보다 항상 작아지도록 양자화의 설계시에 고려되어야 한다.

VI. 결 론

본 논문에서는 2개의 sampler를 이용하여 입력 신호의 PGZC에 대하여 신호의 위상을 2회씩 추적하는 DPLL을 제시하였다. 잡음과 루우프 필터가 없다는 가정하에서 Reddy와 Gupta가 제시한 루우프의 기본 방정식으로 부터 본 논문에서 제시된 루우프의 특성을 나타내는 방정식들을 유도하여 위상과 주파수 스텝 입력에 대한 루우프의 응답과 양자화 준위의 변화에 따른 특성들을 고찰하고, 해석적인 결과들을 컴퓨터 시뮬레이션을 통하여 확인하였다.

제시된 DPLL은 기존의 루우프보다 정상상태에서의 위상오차값이 전체적으로 1/2배 정도 감소되었고, 입력 신호를 추적하는 속도가 빠르게 됨을 알 수 있었다.

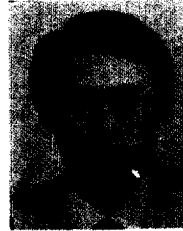
본 논문에 제시된 루우프에 대하여 잡음과 양자화 효과, 루우프 필터를 고려한 해석과 실제의 통신 시스템에서의 응용 등은 계속 연구되어야 할 것이다.

參 考 文 獻

- (1) Gardner F.M., "Phase Lock Techniques," John Wiley & Sone, Inc.; New York, 1966.
- (2) W.C. Lindsey & C.M.Chie., "A Survey of Digital Phase-Locked Loops," Proceeding of the IEEE, vol. 69, no. 4, April 1981.
- (3) C.P.Reddy & S.C.Gupta, "A Class of All DPLLs: Modeling and Analysis," IEEE. Trans. on Industrial Electronics & Control Instrumentation, vol. IECE-20, no. 4, November 1973.
- (4) Roland E.Best, "Phase-Locked Loops," McGraw-Hill, Inc., 1984.
- (5) W.C.Lindsey & C.M.Chie, "Acquisition Behavior of a First Order DPLL," IEEE Trans. Commun., vol. COM-26, pp.1364-1370, Sept. 1978.
- (6) N.A.D' Andrea & F.Russo, "A Binary Quantized DPLL: A Graphical Analysis," IEEE Trans. Commun., vol. COM-26, pp.1355-1364, Sept. 1978.
- (7) G.T. Hurst & S.C. Gupta, "Quantizing and Sampling Considerations in DPLLs," IEEE Trans. Commun. Technol., vol. COM-22, pp.68-72, Jan. 1974.
- (8) N.A.D Andrea & F.Russo, "Multilevel Quantized DPLL Behavior with Phase and Frequency-Step Plus Noise Input," IEEE Trans. Commun. Technol., vol. COM-28, pp. 1373-1382, Aug. 1980.
- (9) C.A.Pomalaza-Raze & C.D.McGillen, "Digital Phase-Locked Loop with Clock and Sampler Quantization," IEEE Trans. Commun., vol. COM-33, no. 8, Aug. 1985.
- (10) Jack K.Holmes, "Performance of a First-Order Transition Sampling Digital Phase-Locked Loop Using Random-Walk Model," IEEE Trans. Commun., April 1972.
- (11) J.K.Holmes & Carl R.Tegnelta, "A Second-Order All Digital Phase-Locked Loop," IEEE Trans. Commun., Jan. 1974.
- (12) G.T. Hurst & S.C.Gupta, "Quantizing and Sampling Consideration in DPLL," IEEE Trans. Commun. Technol. vol. COM-22, pp.68-72, Jan. 1974.
- (13) N.A.D Andrea & F.Russo, "Multilevel Quantized DPLL Behavior with Phase and Frequency-Step Plus Noise Input," IEEE Trans. COM-28, pp. 1373-1382, Aug. 1980.
- (14) C.A.Pomalaza-Raze & C.D.McGillen, "Digital Phase-Locked Loop with Clock and Sampler Quantization," IEEE Trans. Commun., vol. COM-33, no. 8, Aug. 1985.



崔榮俊(Young Joon CHOI) 準會員
1961年7月29日生
1985年2月：光云大學電子通信工學科卒業
1987年8月：光云大學院電子通信工學科卒業
1987年8月～現在：特殊專門要員 服務中



姜哲豪(Cheol Ho KANG) 正會員
1952年2月5日生
1975年2月：漢陽大學校電子工學科卒業
1979年2月：서울大學校大學院電子工學科卒業
1977年～1982年2月：國防科學研究所研究院
1983年3月～現在：光云大學電子通信科(助教授)