

## 論 文

# 웨이브 디지털 필터를 이용한 디지털 필터뱅크의 설계에 관한 연구

正會員 林 德 奎\* 正會員 韓 仁 哲\*\*

正會員 李 載 錫\*\*\* 正會員 李 鍾 珏\*\*\*\*

## A Study on the Design of the Digital Filter Bank Using the Wave Digital Filters

Duk Gyu LIM\*, In Chol HAN\*\*, Jae Seock LEE\*\*\*

Chong Kak LEE\*\*\*\* *Regular Members*

**要 約** 본 논문은 WDF (Wave Digital Filter)를 이용한 8-채널 필터뱅크를 구성하는 새로운 방법에 대하여 연구한 논문이다. 지로WDF (Branching WDF)의 상보성(Complementary)을 이용하여 필터뱅크를 구성하는 방법은 일반적인 재래식 방법보다 소요필터 수를 줄일 수 있으며 DSP 칩(Digital Signal Processor Chip) 구성시 많은 기억소자(Memory) 수를 줄일 수 있다. 본 논문에서 제안된 8-채널 필터뱅크의 구성방법은 기존의 논문보다 필터 수를 줄일 수 있었으며, 제안된 방법의 타당성 조사를 위하여 컴퓨터 시뮬레이션한 결과 동작이 양호함을 확인하였다.

**ABSTRACT** An 8-channel digital filter bank with wave digital filters (WDF) is studied. Wave digital filter is automatically a directional filter. Using these properties, a new method for organizing the 8-channel digital filter bank is proposed. This will lead to enormous savings in memories for the digital signal processing chip.

### I. 서 론

WDF (Wave Digital Filter)는 고전적필터 이론

에 기초를 둔 디지털 필터로 A. Fettweise에 의하여 제안 되었다. 다른 디지털 필터들에 비하여 디지털 연산에 대한 안정도가 높고, 구성상 다양한 구조를 갖으며, 짧은 어장(word-length)의 계수로도 잘 동작하는 장점을 갖고 있다<sup>(1)</sup>.

WDF는 내부 구조상 입사파량(Transmittance)과 반사파량(Reflectance)을 모두 전달함수로 사용할 수 있기 때문에, 하나의 입력에 대하여 두개의 출력을 갖는 지로필터(Branching Filter)로 설계할 수가 있다<sup>(2)</sup>. 또한 두개의 전달함수는 Fe

\* 三陟工業專門大學 電子科

Dep. of Electronics, Sam Chok Tec. College.

\*\* , \*\*\* 安養工業專門大學 電子通信科

Dep. of Communication Electronics, An Yang Tec. College.

\*\*\*\* 서울대학교 電子工學科

Dep. of Electronic Engineering Seoul National Univ.

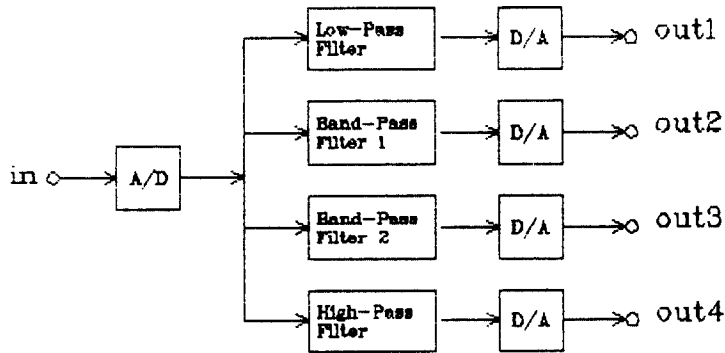
論文番號 : 88-11(接受 1987. 8. 5)

Idtkeller 식에 의하여 서로 상보(相補)관계에 있게 된다<sup>(3)</sup>. 즉 하나의 출력이 저역통과 특성을 갖게 설계하면, 다른 하나의 출력은 고역통과 특성을 갖는다. L. Gazsi는 WDF의 이러한 성질을 이용하여 4-채널 디지털 필터뱅크를 구성하였다<sup>(4)</sup>.

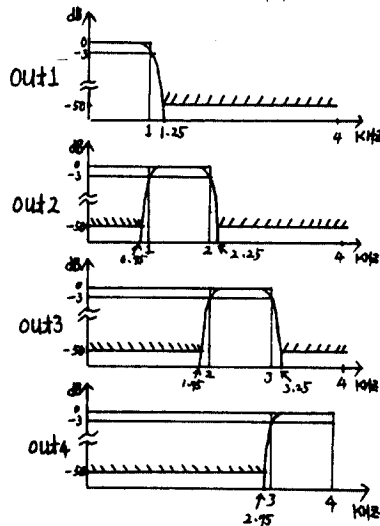
일반적으로 4-채널 디지털 필터뱅크를 설계하기 위해서는 4 종류의 각기 다른 디지털 필터들이 필요하지만, L. Gazsi의 구성방법에 의하면 2 종류(3개)의 디지털 필터만이 요구된다. 또한 이 구성방법을 이용하여 8-채널 및 16-채널

디지털 필터뱅크를 설계할 경우에는 5 종류(7개) 및 10종류(15개)의 디지털 필터들이 요구된다.

본 논문에서는 8-채널 이상의 디지털 필터뱅크를 설계할 경우, 사용되는 필터의 종류를 줄이는 새로운 구성방법을 제안하였다. 또한 여기서 제안된 방법을 이용하여 구성된 8-채널 디지털 필터뱅크의 특성을 컴퓨터 시뮬레이션을 통하여 확인하였으며, L. Gazsi의 구성방법보다 적은 종류의 필터를 사용하고도 같은 채널의 디지털 필터뱅크를 구성할 수 있었다.



(a)



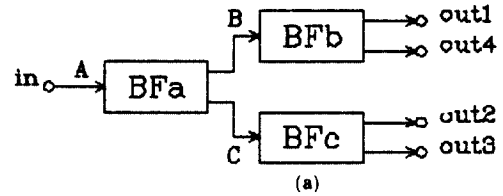
(b)

그림 1 4-채널 디지털 필터뱅크의 일반적 구성도  
Block diagram of the 4-channel digital filter bank(a)  
각 필터에 대한 주파수 특성(b)  
Characteristics of the filters. (b)

## II. 디지털 필터뱅크의 구성방법

### II - 1 일반적인 필터뱅크의 구성방법

4-채널 디지털 필터뱅크를 일반적인 방법으로 구성한 하나의 예를 주파수특성과 함께 그림1 (a), (b)에 보였다. 이 필터뱅크는 입력단의 A/D 변환기와 출력단의 D/A 변환기 사이에 4개의 각기 다른 종류의 디지털 필터들로 구성된다. 이 방법에 의하여 8-채널 또는 16-채널 필터뱅크를 구성하려면 8개 또는 16개의 각각 다른 필터들이 요구된다.



### II - 2 WDF에 의한 4-채널 필터뱅크의 구성방법

L.Gazsi 필터뱅크를 설계함에 있어서 필터의 수를 줄이는 방법을 제안하였다. 즉, 지로 WDF (Branching Wave Digital Filter)를 이용하여 설계하는 방법으로서, 4-채널 필터뱅크에 대한 구성과 주파수 특성은 그림 2 (a), (b)와 같다.

그림 2의 지로필터는 격자형WDF(Lattice Wave Digital Filter)로 설계되었다. 그림 3에 격자형WDF를 설계하기 위한 기본적인 4 단자 회로망을 보여 주었다. 이 4 단자 회로망 N은 WDF를 구성하기 위한 기준필터로써 입력과 출력 각 단자에 같은 값의 단자 저항을 갖는 무손실 LC회로망이다. 이 기준 필터는  $\psi$ 영역상에서 설계 하여야 하며, 복소 주파수  $\psi$ 는 다음과 같이 정의 된다<sup>(1), (5)</sup>.

$$\psi = \frac{z-1}{z+1} = \tanh\left(\frac{sT}{2}\right), \quad z = e^{sT} \quad (1)$$

여기서 s는 실제의 복소 주파수(actual complex frequency)이며,  $T=1/F$  이고, F는 표본화 주파수이다.

그림 3의 4 단자 회로망은 WDF이론에 의하여 다음과 같은 식으로 표시할 수 있다<sup>(6)</sup>.

$$\begin{aligned} A_i &= V_i + R_i I_i \\ B_i &= V_i - R_i I_i \end{aligned} \quad (2)$$

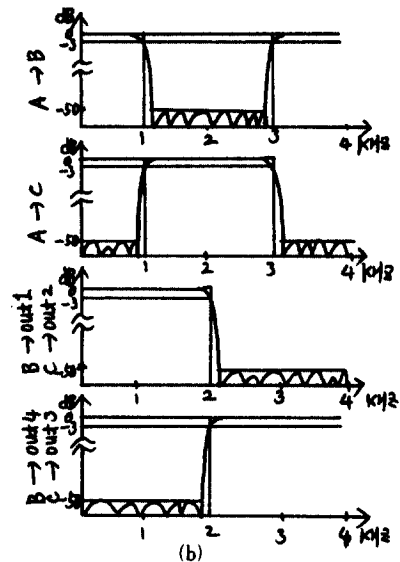


그림 2 지로WDF를 이용한 4-채널 디지털 필터뱅크의 구성도(a) 각 필터의 주파수특성(b)

Block diagram (a) Frequency characteristics of the filters (b) of the 4-channel digital filter bank with Branching wave digital filter s.

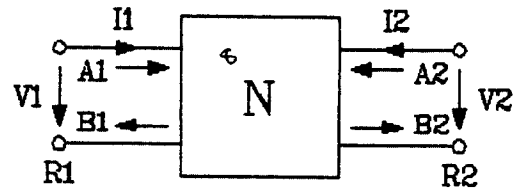


그림 3 4 단자 회로망  
Two-port network

여기서  $V_i$ 와  $I_i$ 는 각각의  $i$  단자( $i=1, 2$ )에 대한 전압과 전류이다.  $A_i$ 는 회로망 N으로 유입되는 입사파량이고  $B_i$ 는 반사파량이며  $R_i$ 는 단자 저항이다.

이 회로망 N과 식(2)을 Scattering Matrix 형태로 나타내면

$$\begin{pmatrix} B_1 \\ B_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \begin{pmatrix} A_1 \\ A_2 \end{pmatrix} \quad (3)$$

으로 된다. 이 회로망을 격자(lattice)형 구조로 설계하기 위하여 대칭 특성을 갖는 회로망으로 가정하면 단자 저항은  $R=R_1=R_2$ 로 되며 또한 아래의 식이 성립된다.

$$\begin{aligned} S_{11} &= S_{22} \\ S_{21} &= S_{12} \end{aligned} \quad (4)$$

$Z_1$ 과  $Z_2$ 를 회로망 N의 Canonic 격자 임피던스라 하고  $S_1$ 과  $S_2$ 를 각각의 반사파량이라고 하면

$$\begin{aligned} S_1 &= \frac{Z_1 - R}{Z_1 + R} \quad (\text{단, } Z_1 = Z_{11} - Z_{21}) \\ S_2 &= \frac{Z_2 - R}{Z_2 + R} \quad (\text{단, } Z_2 = Z_{11} + Z_{21}) \end{aligned} \quad (5)$$

이 되며, 또한 다음과 같은 식으로 나타낼 수 있다.

$$\begin{aligned} S_1 &= S_{11} - S_{21} \\ S_2 &= S_{11} + S_{21} \end{aligned} \quad (6)$$

식(3), 식(5) 그리고 식(6)으로 부터

$$\begin{aligned} S_{11} &= \frac{S_1 + S_2}{2} = \frac{B_1}{A_1} \Big|_{A_2=0} \\ S_{21} &= \frac{S_1 - S_2}{2} = \frac{B_2}{A_1} \Big|_{A_2=0} \end{aligned} \quad (7)$$

이 얻어진다. 두 전달함수  $S_{11}$ 과  $S_{21}$ 은 Feldtkeller식에 의하여 다음과 같은 조건이 만족된다.

$$|S_{11}| + |S_{21}| = 1 \quad (8)$$

따라서  $S_{11}$ 과  $S_{21}$ 은 서로 상보(Complementary)관계에 있게 된다.

격자형 WDF를 설계하기 위해서는, 먼저 고전적 필터 이론<sup>(3)</sup>에 의하여 그림 3과 같은 4 단자 회로망 즉 기준 필터를 설계 하여야 하며, 위와 같은 과정을 거쳐  $S_{11}$ 과  $S_{21}$ 를 구한다.  $S_{11}$ 과  $S_{21}$ 에 대한 격자형 WDF의 구성방법을 나타내면 그림 4와 같다.

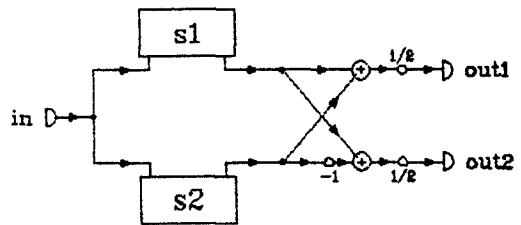


그림 4 격자형 WDF의 구성도  
Block diagram of the lattice wave digital filter

격자형 WDF는 그것의 입사파량함수(Transmittance function)와 반사파량함수(Reflectance function)를 모두 전달함수로 사용할 수 있기 때문에 2개의 전달함수를 갖는 지로필터로 설계할 수 있다. 두 전달함수는 서로 상보관계에 있으므로 하나의 전달함수를 저역통과의 특성을 갖게 설계하면 다른 하나는 자동적으로 고역통과의 특성을 갖게 된다. 그림 2에서  $BF_a$ 는 BP-WDF(Band Pass Wave Digital Filter)이며, 1 - 3 KHZ의 대역통과 특성을 갖는 것과 동시에 0 - 1, 0 - 4 KHZ의 대역저지(Band-stop)의 상보적인 특성을 갖는다. 그리고  $BF_a$ 와  $BF_c$ 는 완전히 동일하게 설계된 LP-WDF(Low Pass Wave Digital Filter)이며, 0 - 2 KHZ의 저역통과 특성을 갖는 것과 동시에 2 - 4 KHZ의 고역통과의 상보적인 특성을 갖는다. 그러므로 이 필터뱅크는 그림 1의 필터뱅크의 출력과 같은 4 - 채널의 출력 특성을 갖는다.

이러한 방법에 의하여 설계된 4 - 채널 디지털 필터뱅크는 3개의 필터(2종류)가 요구되었으며, 또한 8 - 채널 디지털 필터뱅크를 설계하려면 7개(5종류)의 필터를 필요로 하며, 16 -

채널의 경우에는 15개 (10종류)의 필터가 요구된다.

### Ⅲ. 새로운 8-채널 디지털 필터뱅크의 구성

디지털 필터뱅크를 디지털 신호처리 칩(chip) 및 마이크로프로세서 칩등에 실제로 실현시킬 경우에 필터의 수를 줄여서 설계하는 것도 중요하다. 동일한 필터의 수를 많게하여 설계하는 것, 즉 필터의 종류를 줄여서 구성하는 방법 또한 중요하다. 프로그래밍 할 수 있는 디지털 신호처리 칩에 필터뱅크를 실현시킬 경우, 동일한 필터는 하나의 필터만을 프로그램시킨 후 부프로그램(Subprogram)이나 간접 Addressing을 사용하여 반복 처리를 시킬 수 있으므로 많은 메모리(Memory)를 절약시킬 수가 있다. 즉 한정된 메모리용량의 디지털 신호처리 칩에 더 많은 수의 필터뱅크를 프로그래밍 할 수가 있다.

8-채널 필터뱅크를 L. Gazsi의 구성 방법에 의하여 실현시킬 경우 그림 2(a)의 4-채널

크 2개와 또다른 지로필터 하나를 이용하여 그림 5와 같이 구성된다. 이때 BFb와 BFd는 각각 다른 특성을 갖는 필터이다.

그러나 본 논문에서는 그림 6과 같이 BFb와 BFd가 같은 특성을 갖도록 구성함으로써 한 종류의 필터가 줄어 필터의 종류를 감소시킨 새로운 8-채널 디지털 필터뱅크의 구성방법을 제안하였다. 제안된 방법에 의한 필터뱅크의 구성은 그림 6과 같다.

그림 6에 각 지로필터(Branching Filter)들의 윗 부분과 아래 부분에 표시된 숫자들은 신호가 지로필터를 지날 때 통과되는 채널들을 나타낸다.

입력 A 단자로 8개 채널의 신호를 입력시키면, B 단자로 1-4의 4개 채널이 나타나고 C 단자에는 5-8의 채널이 나타난다. 다시 B 단자에서 BFb를 통과하여 D 단자에 1, 2의 2개 채널이 나타나고, E 단자에는 3, 4의 채널이 나타난다. 이와 같은 방법으로 8-채널의 입력신호(A 단자)를 8등분한 각각의 신호들이 출력단자(out 1~out 8)에 출력된다. 그림 6에서 두개의 BFb는 동일한 지로필터들이고, 두개의 BFc

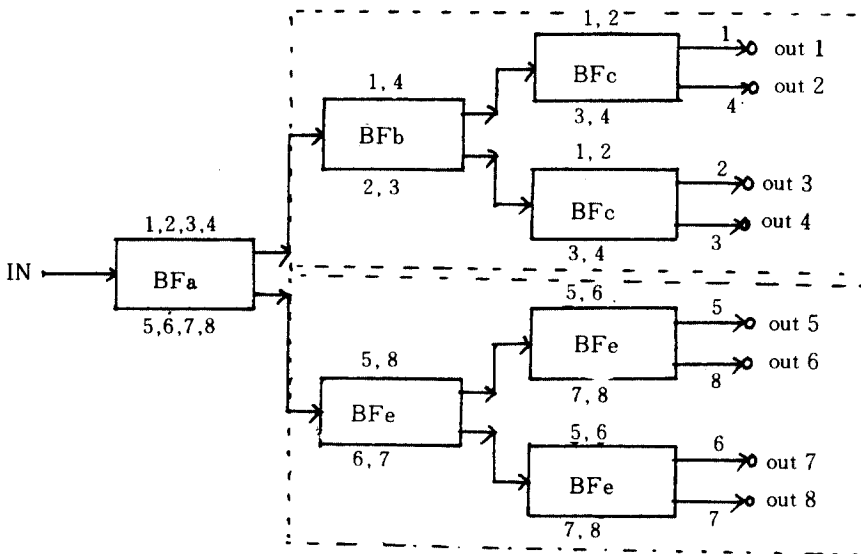


그림 5 8-채널 디지털 필터뱅크의 구성(L. Gazsi)  
Construction of the 8-channel digital filter bank (L. Gazsi)

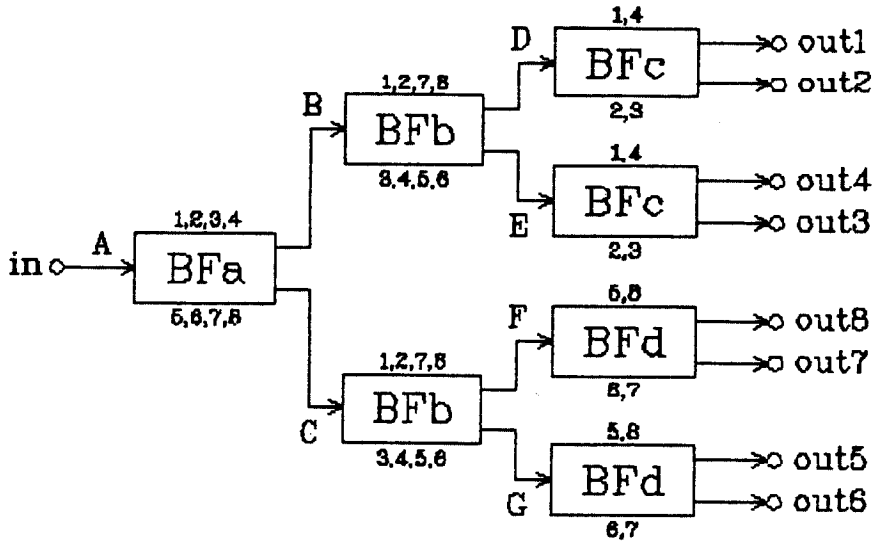


그림 6 새로운 8-채널 디지털 필터뱅크의 지로필터에 의한 구성  
New construction of the 8-channel digital filter bank by BF

와 BFd들도 역시서로 같다. 그러므로 8-채널 디지털 필터뱅크를 구성하는데 필요한 필터의 갯수는 7개이며, 종류는 4종류이다.

이와 같은 구성방법에 의해 8-채널 L. Gazsi의 방법보다 필터의 종류가 1가지 줄어들음을 그림 5와 그림 6을 비교하면 알 수 있다.

필터뱅크를 설계할 경우, L. Gazsi의 방법으로는 10종류(15개)의 필터가 필요한 반면 본 논문에서 제시된 방법으로는 8종류(15개)의 필터가 요구된다. 즉 2종류의 필터가 절약된다.

그림 6의 BFa, ..., BFd는 4단자 adaptor들에 의하여 실현되며, 그것들에 적합한 승산기값을 구하여 BF를 구성하여야 한다. 이를 위하여 식 (5)의 S<sub>1</sub>과 S<sub>2</sub>는 복소주파수  $\psi$ 의 분수 다항식 형태로 표시되므로 이것을 2차 다항식들의 종속 형태로 나타내면 다음과 같다.

$$S = \frac{-\psi + B_0}{\psi + B_0} \prod_{i=1}^{n-1/2} \frac{\psi^2 - A_i\psi + B_i}{\psi^2 + A_i\psi + B_i} \quad (9)$$

여기서 S는 S<sub>1</sub>과 S<sub>2</sub>를 일반적인 형태로 표시한 것이다. 여기서 n은 S<sub>1</sub>과 S<sub>2</sub> 각각의 차수이다. 4단자 adaptor의 승산기 값을 구하기 위하여 식

(9)의 1차 전역통과(all-pass)함수에 대한 승산기 값은 아래의 식과 같다<sup>(7)</sup>.

$$Y_0 = \frac{1 - B_0}{1 + B_0} \quad (10)$$

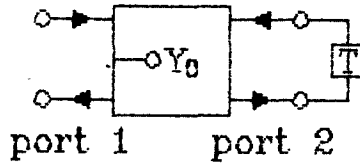
이 Y<sub>0</sub>를 4단자 adaptor로 실현시킨 것이 그림 7(a)이다. 그리고 식(9)의 2차 전역통과 함수에 대한 승산기 값은

$$Y_{2i-1} = \frac{A_i - B_i - 1}{A_i + B_i + 1}$$

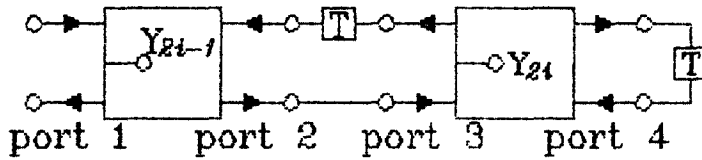
$$Y_{2i} = \frac{1 - B_i}{1 + B_i} \quad (11)$$

이며 4단자 adaptor로의 실현은 그림 7(b)와 같다.

그림 7 T는 지연요소이다. 4단자 adaptor에 의한 지로필터를 실현시키기 위하여 일반적인 구성은 그림 8과 같고, 각 adaptor의 선정은 승산기 값에 의하여 결정된다<sup>(7)</sup>.



(a)



(b)

그림 7 (a) 4 단자 adaptor를 사용한 1차 전역통과 함수의 구성도  
Block diagram of the one degree all-pass function with 2-port adaptor.  
(a) 4 단자 adaptor를 사용한 2차 전역통과 함수의 구성도  
Block diagram of the Second degree all-pass function with 2-port adaptor.

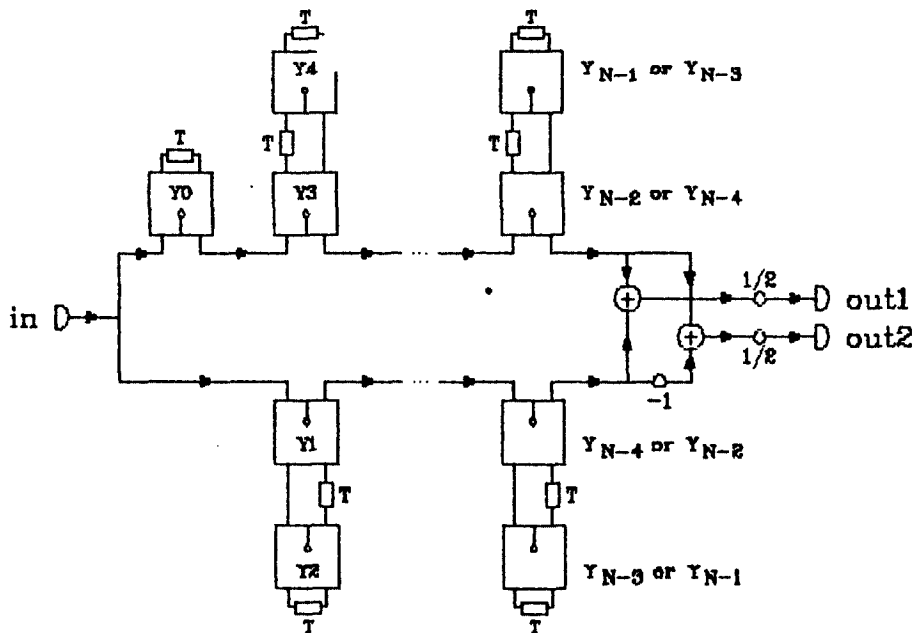


그림 8 일반적인 격자형WDF의 구성도  
Block diagram of the lattice wave digital filter

이와 같은 설계이론을 근거로 BFa(LPF)의 한 설계 예로서 표 1의 조건을 갖는 격자형WDF를 설계하기로 한다.

통과대역내 감쇠 (pass-band attenuation) :	0.5dB
차단대역내 감쇠 (stop-band attenuation) :	60dB
통과대역 경계주파수 (pass-band edge) :	1.7KHz
차단대역 경계주파수 (stop-band edge) :	3 KHz
표본화 주파수 (sampling frequency) :	8 KHz

아날로그 필터의 근사화 (approximation) 이론에 의하여 표 1의 조건에 맞는 S 영역상의 전달함수를 구하고, 그 전달함수를 식(1)에 의하여 S 영역을  $\psi$  영역으로 변환 시킴으로서 기준필터를 구할 수 있다<sup>(1)</sup>. 이때 그림 3과 같은 4 단자망 형태의 기준필터는 다음 식과 같은  $Z_1, Z_2$ 의 Canonic 격자 임피던스를 얻는다.

$$Z_1 = \frac{2.879385\psi^4 + 4.411473\psi^2 + 1}{\psi^5 + 4.411473\psi^3 + 2.879385\psi}$$

$$Z_2 = \frac{2.879385\psi^3 + 2.879385\psi}{\psi^4 + 3.879385\psi^2 + 1} \quad (12)$$

식(12)와 식(5)에 의하여  $S_1$ 과  $S_2$ 를 구하면

$$S_1 = \frac{-\psi^5 + 2.879385\psi^4 - 4.411473\psi^3 + 4.411473\psi^2 - 2.879385\psi + 1}{\psi^5 + 2.879385\psi^4 + 4.411473\psi^3 + 4.411473\psi^2 + 2.879385\psi + 1}$$

$$S_2 = \frac{\psi^4 - 2.879385\psi^3 + 3.879385\psi^2 - 2.879385\psi + 1}{\psi^4 + 2.879385\psi^3 + 3.879385\psi^2 + 2.879385\psi + 1} \quad (15)$$

값(Y)을 구하기 위하여 식(13)을 식(9)의 형태로 변환시킨 것이

$$S_1 = \frac{-(\psi - 1)}{\psi + 1} \cdot \frac{(\psi^2 - 1.5320893\psi + 1)}{(\psi^2 + 1.5320893\psi + 1)}$$

$$\frac{(\psi^2 - 0.34729568\psi + 1)}{(\psi^2 + 0.34729568\psi + 1)}$$

$$S_2 = \frac{(\psi^2 - \psi + 1)}{(\psi^2 + \psi + 1)} \cdot \frac{(\psi^2 - 1.8793849\psi + 1)}{(\psi^2 + 1.8793849\psi + 1)}$$

이다. 이것을 식(10)과 (11)에 대입시키면 각각의 승산기 값이 표 2와 같다.

승 산 기 명	승 산 기 값
$Y_0$	0.
$Y_1$	-0.03109122
$Y_2$	0.
$Y_3$	-0.1324747
$Y_4$	0.
$Y_5$	-0.3333335
$Y_6$	0.
$Y_7$	-0.76408868
$Y_8$	0.

따라서 승산기 값이  $Y_0, Y_8$ 의 9개가 얻어 졌으므로 4 단자 adaptor 역시 9개가 필요하다. 그러나 승산기 값  $Y_0, Y_2, Y_4, Y_6, Y_8$ 가 모두 0의 값을 갖으므로 간단히 그림 9(a)와 같이 4개의 adaptor에 의하여 실현된다. 그림 9(a)에서  $Y_1, Y_3, Y_5$  adaptor의 신호 흐름도는 그림 9(a)이고,  $Y_7$  adaptor에 대한 신호 흐름도는 그림 9(c)이다. 그림 9(b), (c)에서  $\alpha$  값은 승산값으로 역시 Y값의 크기에 따라  $-1/2 < Y < 0$ 이면  $\alpha = |Y|$ 이고  $-1 < Y < -1/2$ 이면  $\alpha = 1 + Y$ 가 얻어진다<sup>(7)</sup>.

컴퓨터 시뮬레이션에 의하여 구한 주파수 특성은 그림 10(a),(b)와 같다.

시뮬레이션 프로그램은 부록에 제시하였으며 FORTRAN 언어로 구성 하였다.



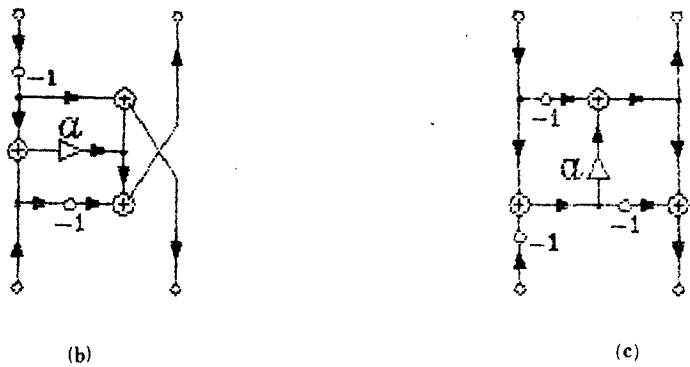
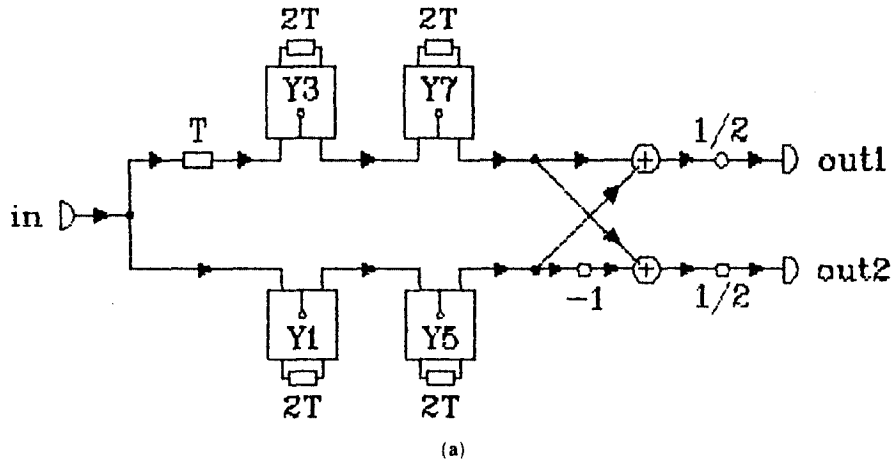
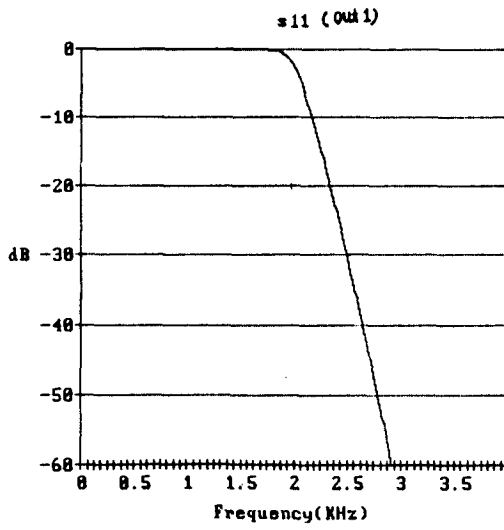


그림 9 (a) BFa의 adaptor에 의한 구성도  
 Block diagram of the BFa filter by adaptors.  
 (b) adaptor Y<sub>1</sub>, Y<sub>3</sub>, Y<sub>5</sub>의 신호흐름도  
 Signal flow diagram of the adaptor Y<sub>1</sub>, Y<sub>3</sub>, Y<sub>5</sub>  
 (c) adaptor Y<sub>7</sub>의 신호흐름도  
 Signal flow diagram of the adaptor Y<sub>7</sub>

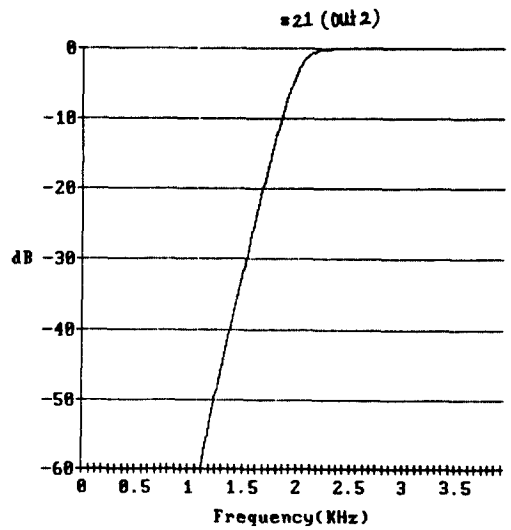
그리고 나머지 BF<sub>b</sub>, BF<sub>c</sub> 및 BF<sub>d</sub>는 기준 필터를 대역통과 필터로 설계하여 BF<sub>a</sub>의 설계 과정과 같은 방법에 의해 승산기 값을 구한 다음 4 단자 adaptor에 의해 필터를 실현시키면 된다. 이와 같이 설계된 나머지 필터들은 각 출력이 대역통과 및 대역저지 특성을 갖게 된다.

IV. 제안된 8-채널 필터뱅크에 대한 컴퓨터 시뮬레이션 및 검토

본 논문에서 제안된 8-채널 디지털 필터뱅크에 대한 타당성을 확인하기 위하여 제안된 지로 WDF의 특성과 같은 성능을 갖는 디지털 필터 (ILS-IEEE Package)<sup>(8)</sup>를 사용하여 컴퓨터 시뮬레이션 시켰다. 이때 입력신호로는 0.25, 0.75, 1.25, 1.75, 2.25, 2.75, 3.25, 3.75KHZ의 8개 Sin파형의 입력신호를 사용하였으며, 표본화 수퍼수는 8 KHZ로 하였다. 8개의 출력(out 1, ... out 8)에서 얻어지는 응답은 그림 11과 같다.

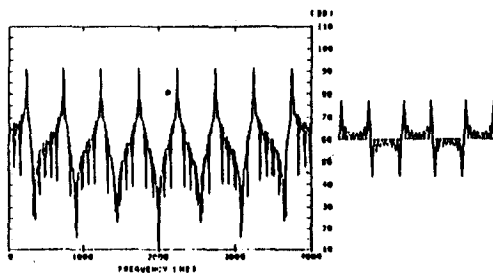


(a)

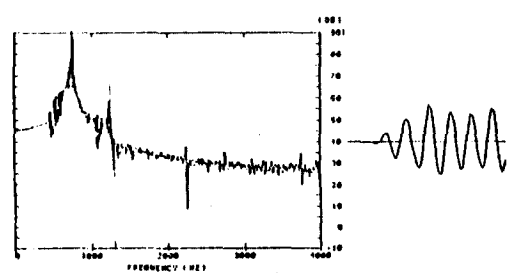


(b)

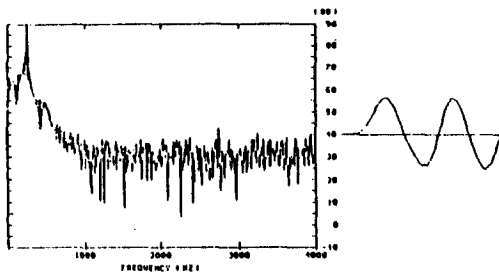
그림 10 (a) BFa의 out 1에 주파수 특성  
Frequency characteristics of the BFa filter at out 1 .  
(b) BFa의 out 2에 주파수 특성  
Frequency characteristics of the BFa filter at out 2 .



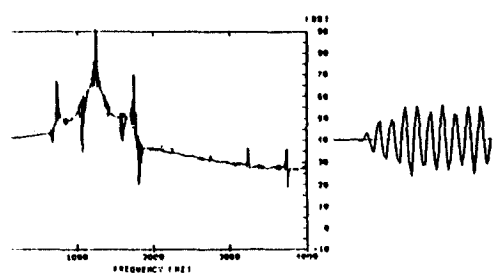
(a)



(c)



(b)



(d)

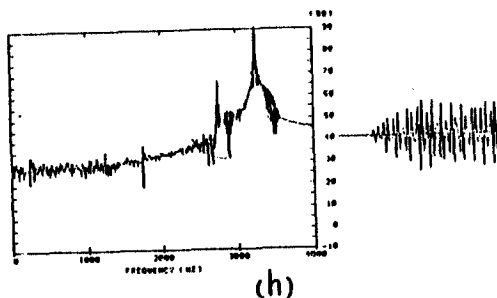
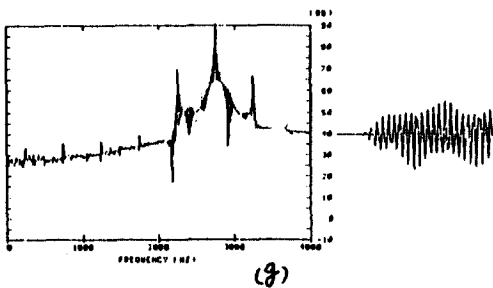
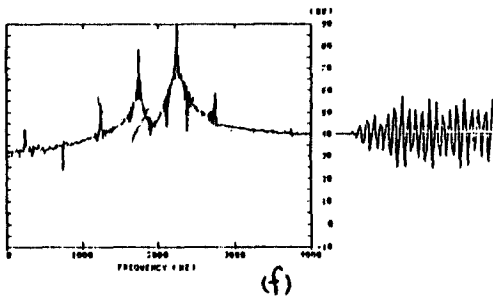
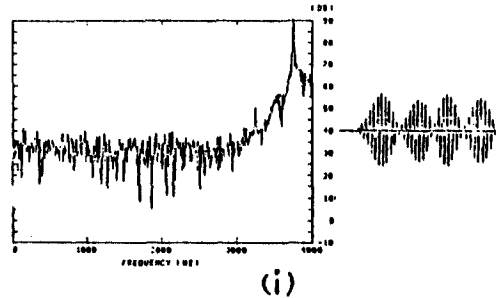
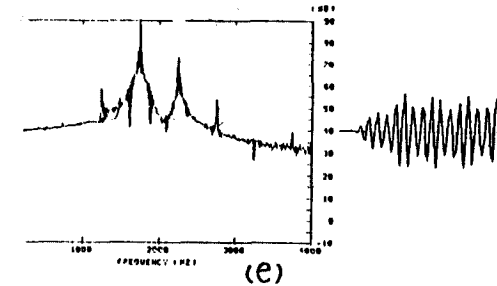


그림 11 8-채널 디지털 필터뱅크에 대한 입력신호(a) 및 각각의 출력응답과 주파수 특성 ((b), ~, (i))  
Input signal (a) and output response, and its frequency response of the 8-channel digital filter bank. ((b), ~, (i))

그림 11에서 우측 그래프는 시간영역에서의 응답이며, 좌측은 주파수 특성을 나타낸다. 각 출력의 주파수 특성에서 피킹현상이 일어나는 이유는 기준 필터의 차수가 낮아서, 주변 필터의 특성이 깨끗이 상쇄되지 못했기 때문으로 생각된다. 본 논문에서는 이 필터뱅크를 칩(chip)화 할 경우를 고려하여 가장 낮은 차수로 실현시켰다.

컴퓨터 시뮬레이션한 결과 그림 6의 제안된 필터뱅크는 8-채널 필터뱅크로서 동작되는 출력을 얻을 수 있음이 입증되었다.

본 시뮬레이션은 IBM PC 호환기종 ROMAX-3000를 사용하였다.

## V. 결 론

본 논문에서는 지로 WDF (Branching Wave Digital Filter)를 이용하여 8-채널 디지털 필터뱅크를 구성하는 새로운 방법을 제시하였다. 그리고 이 구성방법에 의하여 설계된 필터뱅크는 L. Gazsi의 방법보다 사용되는 필터의 종류가 줄어들음을 보였다.

최근에 많이 생산되는 디지털 신호처리 칩들에 디지털 필터뱅크를 프로그램 할 경우, 갖는 특성을 갖는 필터들은 Loop를 이용하여 반복처리가 가능하다. 그러므로 본 논문에서 제안된 구성방법을 이용한다면 많은 양(量)의 메모리를 절

약할 수 있으며, 또한 한정된 메모리내에 더 많은 필터뱅크를 프로그래밍할 수 있다. 또한 8-채널 또는 16-채널의 필터뱅크를 구성할 경우 PCM의 다중채널 구성시 한개의 칩(DSP chip)으로서 구성할 수 있으므로 앞으로의 디지털 통신장치에 유용하게 이용될 수 있을 것으로 사료된다.

- 부 록 -

```

C
C BRANCHING WAVE DIGITAL FILTER
C (BFA) SIMULATION PROGRAM
C INITIALIZE THE MULTIPLIERS
C
    A 0 =0.
    A 2 =0.
    A 4 =0.
    A 6 =0.
    A 8 =0.
    A 1 =-0.03109122
    A 3 =-0.1324744
    A 5 =-0.3333335
    A 7 =0.2959114
C
C MAIN ROUTINE
C
C READ INPUT X
C
    10 READ(*, *,ERR=90, END=90) X
C
C ADAPTOR 0
C
    Z 1 =T 0
    T 0 =X
C
C ADAPTOR 3 & 4
C
    TMP=T 4
    T 4 =T 3
    T 3 =(1+A 3)*Z 1+A 3*TMP
    Z 1 =A 3*Z 1+(A 3-1)*TMP
C
C ADAPTOR 7 & 8
C
    TMP=T 8
    T 8 =T 7
    T 7 =-A 7*Z 1+(A 7-1)*TMP
C
C ADAPTOR 5 & 6
C
    TMP=T 2
    T 2 =T 1
    T 1 =(1+A 1)*X+A 1*TMP
    Z 2 =A 1*X+(A 1-1)*TMP
C
C ADAPTOR 5 & 6
C
    TMP=T 6
    T 6 =T 5
    T 5 =(1+A 5)*Z 2+A 5*TMP
    Z 2 =A 5*Z 2+(A 5-1)*TMP
C
C CALCULATE OUTPUTS
C
    Y 1 =(Z 1+Z 2)/2
    Y 2 =(Z 1-Z 2)/2
C
    WRITE(*,99) Y 1, Y 2
    GO TO 10
C
    90 STOP
    99 FORMAT(2E20. 8)
    END

```

參 考 文 獻

(1) A. Fettweis, "Digital filter structures related to classical filter networks," Arch. Elektr. Ubertr., vol. 25, pp. 79-89, 1971.  
 (2) W. Wegener, "Wave digital directional filters with

reduced number of multipliers and addresss," Arch. Elektr. Ubertr., vol. 33, pp. 239-243, June 1979.

(3) Belevitch V., Classical network theory, pp. 177, Holden-day, San Francisco 1968.

(4) L. Gazsi, "Single chip filter bank with Wave digital filters," IEEE Trans, Acoust., Speech, signal processing, vol. ASSP-30, pp. 709-718, Oct. 1982.

(5) A. Fettweis, "Wave digital filters: Theory and prac-

tice," IEEE proceedings, vol. 74, No. 2, Feb 1986.

(6) A. Fettweis, H. Levin, and A Sedlmeyer, "Wave digital lattice filters," Int. J. circuit theory Appl., vol. 2, pp. 203-211, June 1974.

(7) Lajos Gazsi, "Explicit formulas for lattice wave digital filters," IEEE Trans, circuit and systems, vol. CAS-32, No. 1, pp. 68-87, January 1986.

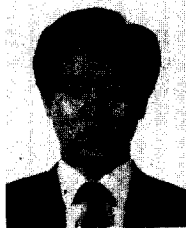
(8) ILS-IEEE Reference Manual, Andrew Sekey, 1985.



林 德 奎(Duk Gyu LIM) 正會員  
1954年 9月 8日生  
1978年 2月: 檀國大學校 電子工學科 卒業  
1980年 2月: 檀國大學校 大學院 電子工學科 卒業(工學碩士)  
1981年 3月~現在: 檀國大學校 大學院 電子工學科 博士課程  
1986年~現在: 三陟工業專門大學 電子科 專任講師



韓 仁 哲(In Chol HAN) 正會員  
1945年 10月 26日生  
1967年 2月: 漢陽大學校 電子工學科 卒業  
1980年 2月: 檀國大學校 大學院 電子工學科 卒業(碩士)  
1982年 3月~現在: 檀國大學校 大學院 電子工學科 博士過程  
1967年~1974年: 韓國電力株式會社  
1977年 3月~現在: 安養工業專門大學 電子通信科(副教授)



李 載 錫(Jae Seak LEE) 正會員  
1958年 2月 24日生  
1982年 2月: 檀國大學校 電子工學科 卒業  
1984年 2月: 檀國大學校 大學院 電子工學科 卒業(工學碩士)  
1986年 3月~現在: 安養工業專門大學 電子通信科 講師



李 鍾 珏(Chong Kak LEE) 正會員  
1922年 4月 4日生  
1972年: 國立서울大學校 大學院 工學博士學位取得  
1988年 4月~現在: 國立서울大學校 電子工學科 名譽教授