

論 文

14 - 14.5GHz 帶域 低雜音 GaAsMESFET MIC 增幅器 設計

正會員 李 文 秀*

Design of 14 - 14.5GHz Band Low Noise GaAsMESFET MIC Amplifier

Mun Soo LEE* *Regular Member*

要約 Al₂O₃ 基板 위에 14-14.5GHz 低雜音 MIC 增幅器를 設計하였다. COMSAT 研究所에서 開發한 GaAsMESFET를 使用하여 設計된 增幅器는 Super-Compact 프로그램을 利用하여 利得이 7dB 以上, 雜音指數는 2dB 以下가 되도록 最適設計하였다. 增幅器의 利得은 7-7.7dB, 雜音指數는 3.8-4.3dB 로 測定되었다.

ABSTRACT A 14 to 14.5 GHz low noise MIC amplifier is designed on the Al₂O₃ substrate. The amplifier which uses a GaAsMESFET developed at COMSAT Laboratories has been designed and optimized to have gain greater than 7dB and noise figure less than 2dB using Super-Compact program. Experimental results show that the gain of the amplifier is 7 to 7.7 dB, while noise figure is 3.8 to 4.3dB through the desired band.

I. 序 論

一般的으로 通信系通에서 受信機의 利得(Gain)을 높이기 위해 여러 段의 增幅器를 縱續으로 連結하며, 이때 受信機의 綜合雜音指數¹⁾(Overall Noise Figure)를 작게 하려면 受信機의 最前段에는 雜音指數가 아주 작은 低雜音 增幅器를 使用해야 한다.

마이크로파 增幅器에 사용되는 FET에는 JFET (Junction FET), IGFET (Insulated Gate FET) MESFET (Metal Semiconductor FET)²⁾ 등이 있으며, 3 GHz 以上の 周波數帶域에서 低雜音, 高利得, 電力增幅을 目的으로 MESFET이 많이 利用되고 있다. MESFET에 使用되는 基板材料에는 GaAs와 Si 이 있으며, GaAs는 Si에 비해³⁾ 낮은 電界에서 電子의 利動度가 6 배로 크고, 最大 드리프트 速度가 2 배로 크기 때문에 寄生抵抗 (Parasitic Resistance)이 작다. 그리고 상호 콘덕턴스가 크고 높은 電界에서 電子 走行時間이 짧다. 이와같은 特性으로 因해 GaAs MESFET는 Si MESFET에 비해 雜音指數가 작고, 利得이 크며 遮斷周波數와 最高發振周波數가 높

*慶尙大學校工科學部 電子工學科
Dept. of Electronic Engineering Gyeongsang National
University Chinju, Korea.
論文番號: 88-36 (接受 1988. 7. 21)

은 長點을 가지고 있다.

GaAs MESFET을 사용한 마이크로파 增幅器는 MIC(Microwave Integrated Circuits) 또는 MMIC(Monolithic Microwave Integrated Circuits)로 實現할 수 있다.

Ku-帶域 衛星通信용 트랜스폰더(Transponder)의 送信周波數帶域은 10.9-11.4GHz 이고, 受信周波數帶域은 14-14.5GHz 이며 受信機의 最前段에는 雜音指數가 2.8dB 以下이고 利得이 7 dB 以上인 低雜音 增幅器가 必要하다.

本 研究에서는 通信衛星에 搭載되는 트랜스폰더에 使用될 14-14.5GHz 帶의 低雜音 增幅器를 設計한다. 이 增幅器의 能動素子는 COMSAT 研究所에서 開發한 GaAsMESFET를 使用하고, Super-Compact⁽⁴⁾을 利用하여 雜音指數를 2dB 以下, 利得을 7dB 以上으로 하는 增幅器가 되도록 最適 設計하며, 製作된 MIC 增幅器의 利得 및 雜音特性을 實驗을 통해 考察한다.

增幅器에 使用될 GaAsMESFET은 COMSAT 研究所에서 開發된 U-46-150Y-1 모델이며 이 FET의 規格은 表 1과 같고, S-퍼래미터의 測定값은 表 2와 같다.

표 1 U-46-150Y-1의 規格
Specification of the U-46-150Y-1.

- Gate Length=0.54 μ m
- Gate Width=150 μ m
- Gate Recess=0.09 μ m
- Source to Gate Spacing=0.56 μ m
- Gate to Drain Spacing=0.42 μ m
- Source to Drain Spacing=1.52 μ m
- Gate Metal Thickness=0.53 μ m
- Gate Type:Y Gate(Triangular 3-fingered Gate)

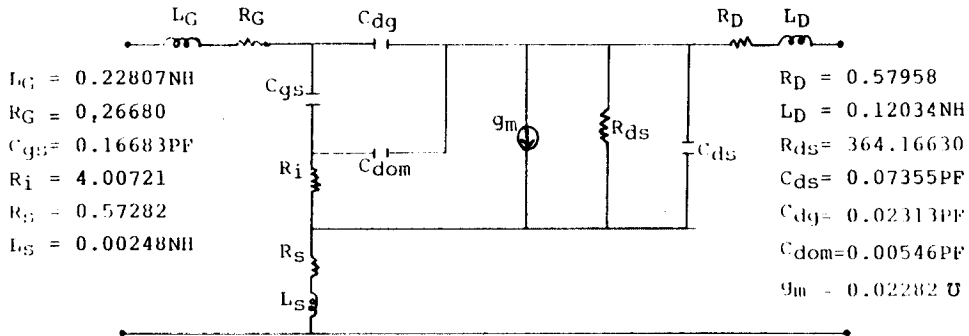
FET의 DC퍼래미터, 構造와 規格, 도우핑(Doping)分布, 그리고 測定된 S-퍼래미터 값으로부터 모델화한 FET의 等価回路는 그림 1과 같다.

II. GaAsMESFET의 모델과 S-퍼래미터

표 2 U-46-150Y-1의 S-퍼래미터(측정치)
S-Parameters of the U-46-150Y-1 (measured)

S-MATRIX, ZS = 50.0+J 0.0 ZL = 50.0+J 0.0

Freq GHz	S11		S21		S12		S22		S21 dB	Stab K	Sgn Bl
	Mag	Ang	Mag	Ang	Mag	Ang	Mag	Ang			
2.00000	0.995	-19	2.000	161	0.030	76	0.775	-11	6.02	0.10	+
3.00000	0.990	-26	1.998	155	0.041	72	0.763	-16	6.01	0.10	+
4.00000	0.985	-32	1.975	150	0.053	66	0.760	-19	5.91	0.15	+
5.00000	0.980	-39	1.950	144	0.063	60	0.750	-22	5.80	0.20	+
6.00000	0.972	-46	1.930	137	0.073	56	0.745	-26	5.75	0.22	+
7.00000	0.955	-56	1.900	127	0.083	50	0.735	-30	5.58	0.29	+
8.00000	0.940	-66	1.875	120	0.093	44	0.725	-34	5.46	0.32	+
9.00000	0.925	-73	1.850	114	0.101	39	0.710	-40	5.34	0.33	+
10.00000	0.915	-82	1.800	107	0.112	35	0.690	-46	5.11	0.31	+
11.00000	0.900	-90	1.750	96	0.120	28	0.675	-51	4.86	0.40	+
12.00000	0.881	-98	1.708	91	0.125	23	0.670	-55	4.65	0.43	+
13.00000	0.874	-108	1.688	87	0.134	17	0.650	-60	4.55	0.39	+
14.00000	0.860	-114	1.650	83	0.138	13	0.640	-65	4.35	0.40	+
15.00000	0.845	-122	1.625	70	0.142	9	0.628	-69	4.22	0.49	+
16.00000	0.831	-127	1.575	63	0.149	4	0.620	-75	3.95	0.53	+
17.00000	0.805	-137	1.550	56	0.153	0	0.600	-83	3.81	0.54	+
18.00000	0.795	-146	1.500	49	0.158	-3	0.585	-86	3.52	0.56	+
19.00000	0.782	-153	1.450	42	0.162	-6	0.573	-92	3.23	0.59	+
20.00000	0.765	-163	1.400	35	0.168	-9	0.563	-96	2.92	0.61	+
21.00000	0.748	-168	1.350	28	0.170	-12	0.548	-101	2.61	0.68	+
22.00000	0.731	-172	1.300	21	0.173	-15	0.555	-106	2.28	0.73	+
23.00000	0.726	-176	1.250	14	0.175	-18	0.538	-109	1.94	0.80	+
24.00000	0.710	177	1.200	7	0.178	-19	0.528	-112	1.58	0.86	+
25.00000	0.695	165	1.150	0	0.181	-21	0.515	-116	1.21	0.89	+



$L_G = 0.22807\text{NH}$
 $R_G = 0.26680$
 $C_{gs} = 0.16683\text{PF}$
 $R_i = 4.00721$
 $R_s = 0.57282$
 $L_{gs} = 0.00248\text{NH}$

$R_D = 0.57958$
 $L_D = 0.12034\text{NH}$
 $R_{ds} = 364.16630$
 $C_{ds} = 0.07355\text{PF}$
 $C_{dg} = 0.02313\text{PF}$
 $C_{dom} = 0.00546\text{PF}$
 $g_m = 0.02282\text{U}$

그림 1 GaAs MESFET 동가회로
Equivalent Circuit of the GaAsMESFET

표 3 FET의 동가모델로 부터 구한 S-파라미터
S-parameters from the FET model

S-MATRIX, ZS = 50.0+J, ZL = 50.0+J, 0.0

Freq GHZ	S11		S21		S12		S22		S21 dB	Stab	Sgn
	Mag	Ang	Mag	Ang	Mag	Ang	Mag	Ang		K	B1
2.00000	0.994	-15	1.954	165	0.026	80	0.759	-3	5.82	0.09	*
3.00000	0.988	-22	1.926	158	0.038	74	0.755	-14	5.69	0.13	*
4.00000	0.980	-30	1.888	151	0.049	70	0.750	-18	5.52	0.16	*
5.00000	0.969	-37	1.842	144	0.060	65	0.744	-22	5.31	0.21	*
6.00000	0.958	-43	1.791	137	0.070	60	0.737	-26	5.06	0.25	*
7.00000	0.947	-49	1.735	131	0.079	56	0.731	-30	4.79	0.29	*
8.00000	0.935	-55	1.677	125	0.087	52	0.725	-34	4.49	0.33	*
9.00000	0.923	-61	1.618	119	0.094	48	0.719	-38	4.18	0.37	*
10.00000	0.912	-66	1.559	113	0.100	44	0.714	-41	3.86	0.41	*
11.00000	0.901	-71	1.501	107	0.105	41	0.709	-44	3.53	0.45	*
12.00000	0.891	-76	1.445	102	0.110	38	0.706	-47	3.20	0.48	*
13.00000	0.882	-80	1.390	97	0.114	35	0.703	-50	2.86	0.52	*
14.00000	0.873	-84	1.338	92	0.118	32	0.701	-53	2.53	0.55	*
15.00000	0.865	-88	1.288	88	0.121	29	0.700	-56	2.20	0.59	*
16.00000	0.858	-91	1.240	83	0.124	27	0.699	-58	1.87	0.62	*
17.00000	0.852	-94	1.195	79	0.126	25	0.700	-61	1.55	0.66	*
18.00000	0.847	-97	1.152	75	0.128	22	0.701	-63	1.23	0.69	*
19.00000	0.842	-100	1.111	71	0.129	20	0.702	-66	0.91	0.72	*
20.00000	0.837	-103	1.072	67	0.131	18	0.704	-68	0.60	0.75	*

NOISE FIGURE DATA

Freq. GHZ	MIN. NOISE FIG. dB	OPT. NOISE SOURCE Mag	Ang	ACTUAL NF dB	NORM Rn
2.00000	0.00	0.935	145.0	0.00	-1.347
3.00000	0.00	0.962	142.0	0.00	-1.185
4.00000	-1.99	0.990	139.0	0.00	-1.022
5.00000	-0.70	0.980	136.0	0.00	-0.860
6.00000	-0.42	0.950	133.0	0.00	-0.697
7.00000	-0.14	0.920	130.0	0.00	-0.535
8.00000	0.14	0.890	127.0	0.00	-0.372
9.00000	0.42	0.860	124.0	-5.15	-0.209
10.00000	0.70	0.830	121.0	0.00	-0.047
11.00000	0.98	0.800	118.0	2.01	0.116
12.00000	1.26	0.770	115.0	3.09	0.279
13.00000	1.54	0.740	112.0	3.80	0.441
14.00000	1.82	0.710	109.0	4.30	0.604
15.00000	2.10	0.680	106.0	4.66	0.766
16.00000	2.38	0.650	103.0	4.94	0.929
17.00000	2.66	0.620	100.0	5.16	1.092
18.00000	2.94	0.590	97.0	5.34	1.254
19.00000	3.22	0.560	94.0	5.49	1.417
20.00000	3.50	0.530	91.0	5.62	1.579

FET의 等價모델을 Super-Compact으로 解析한 FET의 S-파라미터와 雜音指數는 表3과 같으며 이것은 測定값에 거의 近似하다.

Ⅲ. 增幅器 設計

14-14.5GHz 帶域에서 利得이 7 dB以上이고 雜音指數가 2 dB以下인 低雜音 MIC 增幅器를 設計하기 위해 14.5GHz에서 最低 雜音指數가 1.9dB인 GaAsMESFET(U-46-150Y-1)을 能動素子로 採하였다.

低雜音 增幅器의 入力 整合回路는 最小의 雜音指數를 얻도록 設計하여야 하며, FET의 S-파라미터와 雜音 데이터로부터 求한 定利得円 (Constant Gain Circle), 安定度円 (Stability Circle), 그리고 定雜音指數円 (Constant Noise Figure Circle)을 利用하여 設計할 수 있다^{5), 6)}. 한편 이 設計作業은 스미스圖表와 이들 円의 그래픽 기능을 가지고 있는 Super-Compact을 利用하여 신속히 할 수 있다. 즉 表3의 FET 데이터를 使用하여 그림2와 같이 Super-Compact에 依해 14.5GHz에서 그려진 스미스圖表상에

서의 2dB 定雜音指數円과 10dB 定利得円이 交叉하는 点의 임피던스($Z=20+j25\Omega$)를 增幅器의 入力 임피던스로 定한다. 이때 交叉點은 入力 安定度円 (Input Stability Circle) 밖에 있어야 한다. 入力 整合回路는 增幅器의 入力 임피던스에 共軛整合 (Conjugate Matching)이 되는 T形 回路로 採하여 스미스圖表를 利用해서 設計할 수 있다.

低雜音 增幅器의 出力 整合回路는 設計周波數 帶域(14-14.5GHz)에서 希望하는 利得(7 dB以上)을 얻도록 設計해야 하며 이를 위해 그림2(b)에서와 같이 14.5GHz에서 出力 安定度円 (Load Stability Circle) 밖에 있고 이 円에서 法線方向으로 가장 먼 點에 위치한 定利得円상의 한 點의 임피던스($Z=4.3+j10.5\Omega$)를 增幅器의 出力 임피던스로 定하고 이에 共軛整合되는 T形 整合 回路를 스미스圖表에서 구한다⁷⁾.

임피던스 整合回路의 인덕턴스와 커패시턴스는 마이크로스트립 線路 또는 마이크로스트립 스텐브 (Microstrip Stub)로 變換한다⁶⁾. 增幅器를 MIC로 實現함에 있어 直流 沮止用 커패시터와 結合用 커패시터, 그리고 電源回路 (Bias Circuit)의 抵抗, 連結線 (Bonding Wires)과 接地用 비

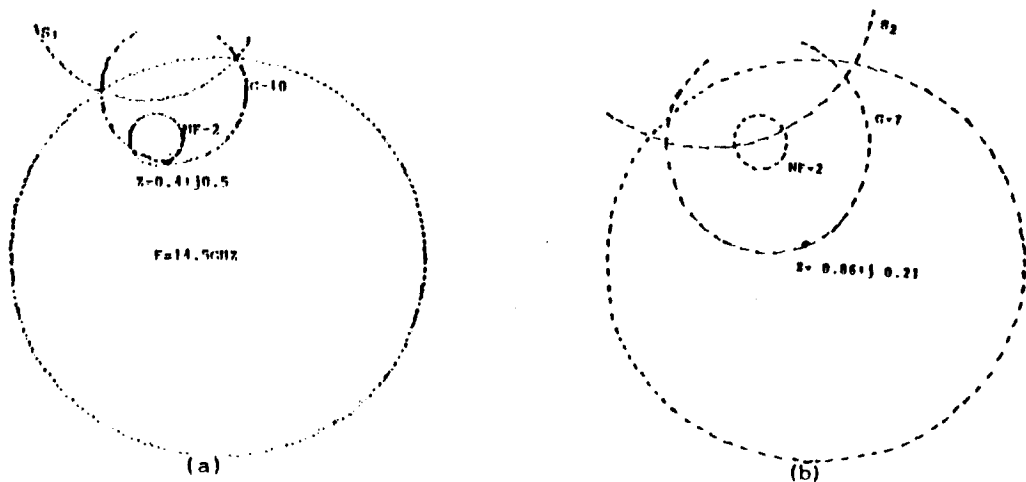


그림 2 14.5GHz에서 증폭기의 입력 임피던스(a)와 출력 임피던스(b)
Input impedance(a) and Output impedance(b) of the amplifier at 14.5 GHz

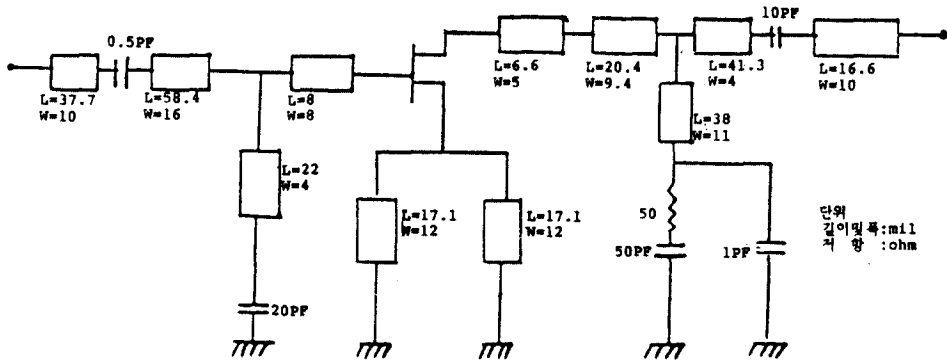


그림 3 증폭기 회로
Amplifier Circuit

아홀(Via hole)의 인덕턴스도 함께 포함시켜 설계를 해야 한다. 이와같이 설계된 증폭기의 특성이 처음에는 원하는 특성과 상당한 차이가 있으나 Super-Compact을 이용하여最適化시켜(부록 1) 원하는 특성을 가진 증폭기를 설계할 수 있다.

그러나 회로素子간의 간격이 너무 가까울 때 일어날 수 있는 相互結合과 설계된 마이크로스트립 線路의 길이가 너무 길 때 증폭기의 全体的 크기가 캐리어 面積에 비해 커지는 點은 Super-Compact에서 考慮하지 않으므로 制限된 MIC 캐리어 面積 內에 各 회로素子들을 効果的으로 配置하는 問題는 設計에 미리 염두해 두어야 한다. MIC 회로에 사용된 抵抗은 薄膜 칩 抵抗(Thin Film Resistor)으로 크기는 20×20mil 이고, 커패시터는 칩 커패시터(Chip Capacitor)로 크기는 10×10mil 이다.

比誘電率 9.6, Tan δ 0.001, 두께 10mil 의 Al₂O₃ 基板 위에 설계된 증폭기의 회로는 그림 3 과 같고 Super-Compact 으로 解析한 증폭기의 利得과 雜音指數의 특성은 그림 4 와 같다.

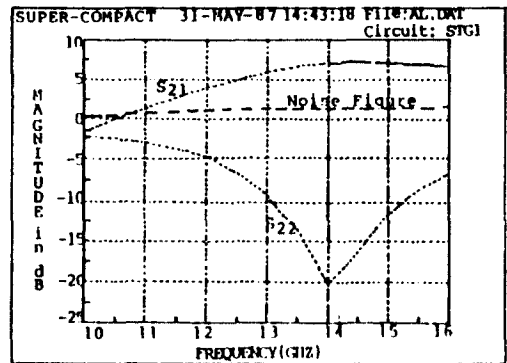


그림 4 증폭기의 이득과 잡음지수(해석치)
Gain and Noise Figure of the Amplifier (Analyzed)

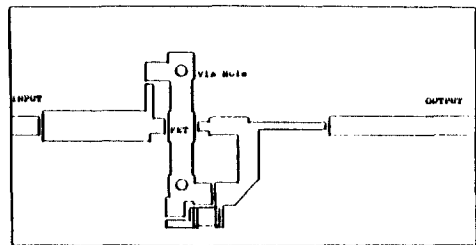


그림 5 증폭기 설계도
Layout of the Amplifier.

IV. 증폭器 製作과 實驗

그림 5 는 製作될 증폭器의 設計圖(Layout) 이다.

MIC 증폭器는 다음과 같은 2 段階工程(Two-Level Process)에 依해 製作되었다.

1. 基板處理(Initial Metalization)

알루미늄(Al_2O_3)기판을 수산화암모늄, 과산화수소, 수용액으로洗涤을 한 후, 기판兩面에 티타늄-텅스텐을 스퍼터링(sputtering)法으로 300 Å 정도 증착시킨 다음, 그 위에 금을 1000 Å 두께로 입힌다. 여기서 금을 기판에 직접 입히지 않고 티타늄-텅스텐을 사이에 넣는 이유는 금이 기판에 직접 粘着(Adhesion)되기 어려울 뿐 아니라 工程中 금이 기판속으로 擴散되는 것을防止하기 위함이다.

2. 導線部 工程(Conductor Level)

MIC 增幅器를 構成하고 있는 마이크로스트립 線路를 製作하기 위해 우선 포토레지스트(KTI 1350J)를 塗布하고, 90°C로 건조(Soft Baking)시킨 다음 마스크를 사용해서 마이크로스트립 部分을 露光시킨다. 그리고 현상액(KTI DE-3)으로 현상하여 120°C로 건조(Hard Baking)시킨다. 금을 300 Å 두께로 塗金하고, 아세톤이나 메탄올을 사용해서 포토레지스트를 제거시킨다. 끝으로 이온-빔-에칭法(Ion Beam Etching)으로 불필요한 금을 제거한다.

3. 抵抗部 工程(Resistor Level)

탄탈럼 나이트라이드를 $50\Omega/\square$ 가 되도록 하기 위해 스퍼터링法을 사용해서 300 Å 두께로 입힌다. 포토레지스트를 塗布시킨 다음 약 90°C로 건조시킨다. 抵抗部를 露光시킨 후 현상액으로 현상하고 다시 90°C로 건조시킨다. RIE(Reactive Ion Etching)法으로 불필요한 탄탈럼-나이트라이드를 제거하고, 아세톤이나 메탄올로 포토레지스트를 벗겨낸다.

4. 最終 마무리 工程(Final Processing)

에칭이 완전히 끝난 후에도 MIC 回路에 남아 있는 불필요한 금은 Florod Laser Trimmer 로 제거시키고, Nikon Profile Projector로 製作된 MIC 回路를 확대해 보면서 자동 절단톱(Automatic Dicing Saw:DAD-2H-6)으로 캐리어크기에 알맞게 回路를 자른다. FET, 칩 커패시터, 칩 레지스터를 MIC 回路에 連結線(Bonding Wires)으로 連結한다.

이와같은 工程으로 製作된 MIC 增幅器는 사진 1과 같다.

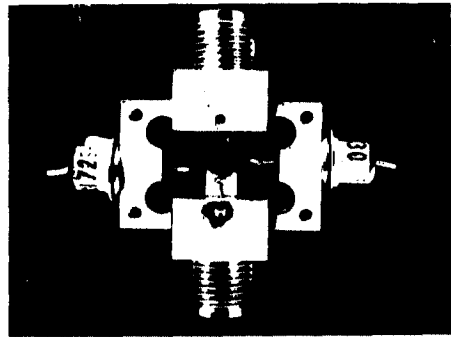
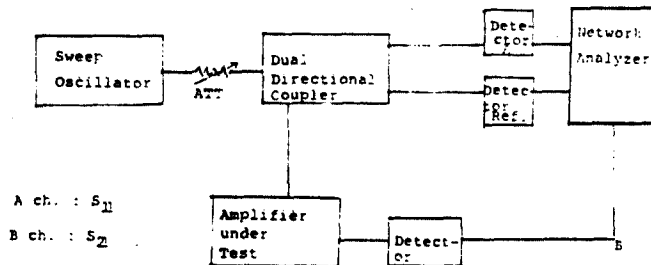
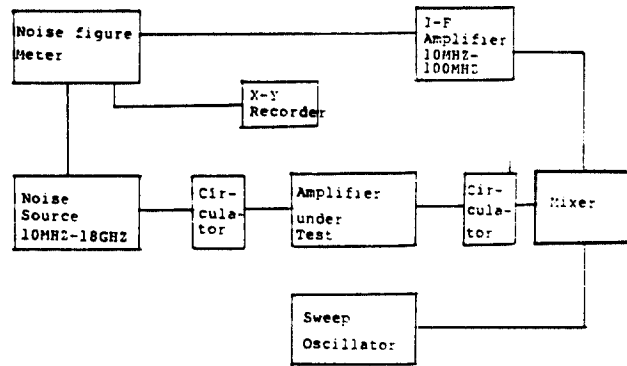


사진 1 MIC 저잡음 증폭기
MIC Low Noise Amplifier

增幅器의 利得과 雜音指數는 增幅器의 Bias 상태에 따라 변하며 드레인 電壓 3V, 드레인 電流 12mA에서 가장 좋은 測定結果를 얻었다. 그림 6과 같이 구성하여 測定한 增幅器의 利得과 雜音指數는 그림 7과 같다. 雜音指數는 願하는 設計값과 상당한 차이가 있는데 이것은 測定上의 오차와 비아홀 및 連結線의 모델化가 정확하지 못한 때문이라 생각된다.



(a) Gain 측정도



(b) Noise Figure 측정도

그림 6 이득 및 잡음지수 측정도

Block Diagram for Experiments

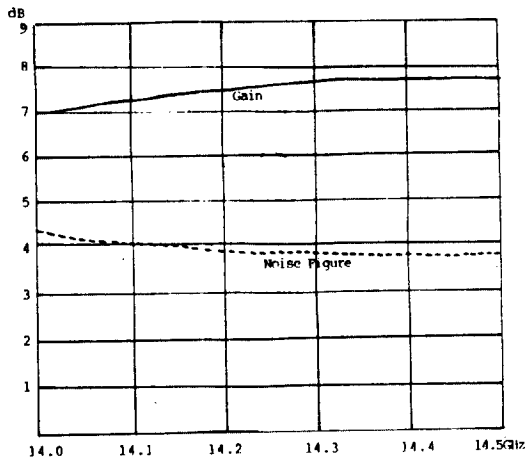


그림 7 증폭기의 이득과 잡음지수(측정치)
Gain and Noise Figure of the Amplifier (Measured)

V. 結 論

COMSAT 研究所에서 開發된 GaAsMESFET (U-46-150Y-1)을 增幅器의 能動素子로 택하여 14-14.5GHz 帶域에서 利得 7dB以上, 雜音指數 2dB 以下의 特性을 가지는 低雜音 MIC 增幅器를 設計製作하였다.

Super-Compact을 利用하여 편리하게 回路를 最適設計하고 解析할 수 있다. 實驗을 通해 測定된 結果, 利得은 원하는 값을 얻을 수 있었으나

雜音指數는 상당한 差異가 있다. 이것은 測定上의 誤差도 일부 영향이 있을 것으로 생각되고 또한 한편으로는 MIC 回路에 接地용으로 사용되는 비아홀과 連結線의 모델링이 정확하지 못한 것도 원인이라 볼 수 있다. 보다 좋은 結果를 얻기위해서는 비아홀 및 連結線의 모델化를 보다 정확히 해야하고, 처음의 增幅器 設計에서 利得은 다소 희생하더라도 雜音指數를 작게 하는 方向으로 설계의 중점을 두어야 할 것이다.

- 부 록 -

```

CMD > al. dat;123
CMD > list
* LOW NOISE AMPLIFIER DESIGN
*14-14.5GHZ MIC AMP
P1:?5MIL 37.702MIL 50MIL?
P2:?12MIL 58.431MIL 75MIL?
P3:22MIL
P4:8MIL
P5:?5MIL 6.6465MIL 50MIL?
P6:?8MIL 20.354MIL 50MIL?
P8:?12MIL 41.301MIL 50MIL?
P9:?5MIL 16.61MIL 50MIL?
PS:?13MIL 17.123MIL 20MIL?
WS:12MIL
W1I:16.0MIL
W2I:8.00MIL
W3I:4MIL
W1O:9.4MIL
W2O:4MIL
W3O:11.MIL
LV:0.0025NH
LB:0.09NH
    
```

```

BLK
TRL 1 15 W 10MIL P P1 SUB
CAP 15 16 C 0.5PF
SRL 16 2 R 3 L .1NH
SRL 16 2 R 3 L .1NH
TRL 2 3 W W1I P P2 SUB
TEE 3 4 5 W1 W1I W2 W2I W3 W3I SUB
TRL 5 7 W W3I P P3 SUB
IND 7 8 L .05NH
CAP 8 0 C 20PF
TRL 4 12 W W2I P P4 SUB
IND 12 14 L LB
INMA:2POR 1 14
END
BLK
IND 1 2 L LB
TRL 2 3 W 5MIL P P5 SUB
STEP 3 4 W1 5MIL W2 W1O SUB
TRL 4 6 W W1O P P6 SUB
TEE 6 7 8 W1 W1O W2 W2O W3 W3O SUB
TRL 8 9 W W3O P 27.5MIL SUB
BEND 9 10 W W3O SUB
TRL 10 11 W W3O P 10.5MIL SUB
SRX 11 0 R 50 C 50PF L 0.1NH
SLC 11 0 C 1PF L 0.05NH
TRL 7 15 W W2O P P8 SUB
CAP 15 16 C 10PF
TRL 16 17 W 10MIL P P9 SUB
OUMA: 2POR 1 17
END
BLK
TRL 1 2 W WS P PS SUB
IND 2 0 L LV
TRL 1 2 W WS P PS SUB
IND 2 0 L LV
SONE: 1POR 1 0
END
NOI
INMA 1 2
TWO 2 3 4 Q1
SONE 4 0
QUMA 3 5
STG1: 2POR 1 5
END
FREQ
STEP 2GHZ 16GHZ .5GHZ
END
OUT
PRI STG1 SK
END
OPT
STG1 F 14.0GHZ 14.5GHZ MS21 7DB GT
STG1 F 14.0GHZ 14.5GHZ NF 2.0DB LT
STG1 F 14.0GHZ 14.5GHZ K 1.1 GT

```

```

STG1 F 14.0GHZ 14.5GHZ MS22 -15DB LT
TERM .001
END
DATA
SUB:MS ER 9.6 H 10MIL MET1 AU 3UM TAND .001
Q1:U150 FILE U150.DAT
NOI RN
14.0GHZ 1.82 .710 109 .6037
14.5GHZ 1.96 .695 107.5 .685
END
CMD >ana

```

“본 연구는 한국과학재단의 지원에 의한 것임”

參 考 文 獻

1. Robert A. Pucel, Daniel J. Masse and Charles F Krumm, "Noise Performance of Gallium Arsenide Field-Effect Transistors", IEEE J. Solid-state Circuits, Vol. SC-11 pp.243-255 April 1976.
2. Charles A. Liechti "Microwave Field Effect Transistors", IEEE Tran. on MTT, Vol. MTT-26, No. 6, June 1976.
3. Raymond S. Pengelly "Microwave Field-Effect Transistors-Theory, Design and Applications", Researches Studies Press, chap. 2, 1982.
4. Super-Compact, Linear circuit Analysis and optimization, Version 1.6/1.7, Compact Engineering, Palo Alto, CA, 1983.
5. Tri T. Ha "Solid-State Microwave Amplifier Design" John Wiley & Sons, Inc., Chap 4, 1981.
6. Raymond S. Pengelly, "Microwave Field-Effect Transistor-Theory, Design and Applications," Researches Studies Press, Chap. 5, 1982.
7. Chris Bowick, "RF Circuit Design", Howard W. Sams & Co., pp.66-97, 1986.



李文秀 (Mun Soo LEE) 正會員

1947年12月29日生

1970年：韓國航空大學 航空通信 工學科
卒業

1980年：漢陽大學校 電子通信工學科 工
學碩士

1984年：漢陽大學校 電子通信工學科 工
學博士

1981年3月～1986年2月：濟州大學校副
教授

1986年9月：COMSAT研究所

1987年8月：Post-Doc. 研究員

1986年3月～1988年 現在：慶尚大學校 工科大學 電子工學科
副教授