

論 文

병렬 Sequence를 갖는 순서논리 시스템의 Microprogrammable Sequential Controller의 설계

正會員 柳 昶 根* 正會員 禹 廣 俊*

Micro Programmable Sequential Controller Design of a Sequential Logic System With Parallel Sequence

Chang Keun RHU*, Kwang Joon WOO* *Regular Members*

要 約 GRAFCET로 기술된 병렬 시퀀스를 갖는 순서논리 시스템을 실현하는 microprogrammable sequential controller의 실현방법을 제시했다. 제시된 컨트롤러는 처리속도 및 가변성의 향상과 ROM 프로그래밍을 용이하게 할 수 있도록 구성되었다. 또한 병렬 시퀀스를 처리할 수 있으므로 제어시스템의 효율을 향상시킬 수 있다. 따라서 많은 입출력 변수를 갖는 industrial process나 빠른 처리속도를 요하는 power electronic converter 등의 컨트롤러 실현에 적합하다.

ABSTRACT This paper presents a microprogrammable sequential controller which realizes the sequential logic system with parallel sequences described by a GRAFCET. The proposed controller improves speed, flexibility, programming ease and the efficiency of controlled system by parallel sequencing capability. It is especially designed for complex high speed sequential controllers requiring large I/O capabilities, such as industrial process controller or power electronic conversion controller.

I. 서 론

순서논리회로는 예로써 자동천공기의 제어를

위한 간단한 컨트롤러부터 power electronic converter나 industrial process의 제어를 위한 복잡한 컨트롤러에 이르기까지 광범위하게 이용된다. 이러한 순서논리회로의 실현방법에는 플립플롭, 멀티플렉서 혹은 디코더 등을 이용하는 hard-wired logic과 이보다 가변성이 좋은 ROM이나 PLA를 이용하는 microprogrammable logic이 있다. 그러나 기존의 방법은 시

* 檜國大學校 電子工學科
Dept. of Electronic Engineering Dankook University
論文番號 : 88-48(接受 1988. 8. 4)

시스템이 복잡해짐에 따라 입출력변수나 상태변수가 증가하여 메모리의 워드 크기에 제약을 받는다. 따라서 근자에는 마이크로프로세서나 PC(Programmable Controller)를 이용하는 programmable logic이 있으나 이는 모든 정보를 직렬처리함으로써 처리속도가 늦어 응답속도가 늦은 industrial process의 제어에만 사용된다. 따라서 이러한 메모리의 워드 크기나 처리속도의 제약을 해결하기 위해 상태도 혹은 흐름도로부터 상태천이에 관계되는 정보를 각각의 메모리에 분할 저장하여 이들 분할 메모리를 동시에 액세스하는 방법에 의한 microprogrammable controller가 제안되었다⁽¹⁾. 또한 Divan⁽¹⁾ 등이 제시한 방법보다 분할메모리 수와 입력천이조건인 scan time을 최소화함으로써 처리속도를 향상시킨 방법이 제안되었다⁽²⁾. 본 논문에서는 Woo⁽²⁾ 등이 제시한 방법을 근간으로 병렬 시퀀스도 처리할 수 있는 programmable sequential controller를 설계한다. 병렬 시퀀스의 실현은 제어시스템의 효율을 향상시킬 수 있는 효과적인 방법이지만 이를 실현하기 위해서는 sub-system 즉 병렬 시퀀스 간의 동기문제 및 독립성문제 등을 해결해야 한다. 또한 sequential controller를 설계하기 위해서는 먼저 제어대상에 요구되는 사양을 기술하는 단계인 바 기존의 기술언어인 상태도, 흐름도 등의 고전적인 방법으로써는 사양의 병렬성을 기술할 수 없으므로 본 논문에서는 병렬성까지도 기술할 수 있는 GRAFCET^{(6)~(9)}를 도입하여 실현하는 표준화된 방법을 제시한다. 서론에 이어 2장에서는 Woo⁽²⁾ 등이 제시한 메모리분할 및 그 수행과 이를 기본으로 한 microprogrammable sequential controller를 설명하며 3장에서는 이러한 sequential controller를 근간으로 병렬 시퀀스의 처리도 가능한 콘트롤러를 구성하고 사례를 들어 제시된 방법의 실현 타당성을 보이며 4장에서는 결론 및 연구과제를 논한다.

II. Basic Microprogrammable Sequential Controller

서론에서 언급한 바와 같이 programmable sequential controller는 프로그램의 용이성, 처리속도의 향상, 시스템의 확장성 즉 다수의 입출력 및 상태변수를 기술하고 실현할 수 있는 구조와 제어대상의 기능 변경시 콘트롤러의 손쉬운 변형 등이 요구된다. GRAFCET로 기술된 sequential 시스템의 기본기능은 여러 스텝들 사이의 천이에 관계된 것이다. 이러한 천이는 입력천이 조건 및 천이될 스텝을 정의함으로써 이루어지며 천이될 스텝에서 해당 출력을 갖는다. 따라서 하나의 스텝에 관련되는 이상의 정보를 각각의 메모리에 분할하며 이들 정보가 지정된 시퀀스를 추구해 갈 수 있도록 조합회로를 부가하여 실현한다. 조합회로는 전체 시스템을 구성하는데 사용되는 메모리의 수를 최소화하고 처리속도를 향상시킬 수 있도록 구성한다. 또한 이상의 실현은 GRAFCET로부터 ROM 프로그램을 용이하게 작성할 수 있으며 제어대상의 변경시 콘트롤러의 변형은 별도의 하드웨어 부가없이 ROM 프로그램만을 변경함으로써 가능하도록 한다.

II - 1. 메모리 분할 기법

Sequential 시스템을 메모리에 의한 실현시 메모리의 효율적인 이용을 위한 데이터 구성 format이 필요하며 이러한 데이터는 CPU 설계시 이용되는 마이크로인스트럭션 구성의 field 개념을 이용한다. 따라서 GRAFCET로 기술된 sequential 시스템을 ROM에 의한 실현시 스텝을 중심으로 이에 필요한 데이터 format를 구성한다. 즉 active 스텝에 관련된 정보를 다루기 위해서는 메모리를 다음과 같이 3개의 독립된 메모리 즉 블럭으로 분할한다.

첫째, 한 스텝에서 다음 스텝으로 천이할 조건을 결정하기 위한 입력천이조건블럭 둘째, 입력천이조건이 지정됐을 때 천이될 다음 스텝을 지정해 주기 위한 차기 번지 블럭 셋째, active step에 대한 action을 지정해 주기 위한 출력 블럭을 정의한다. 이상에서 정의된 분할 메모리를 GRAFCET와 대응시켜 보면 그림 1과 같다.

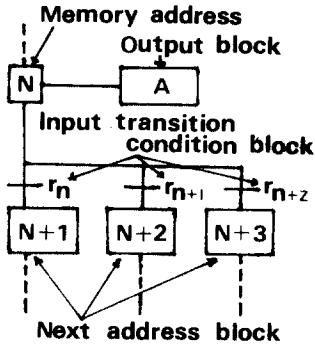


그림 1 GRAFCET와 분할 메모리의 관계
Relationship between GRAFCET and memory segment

II - 2. Microsequencer의 하드웨어 구성

상태 그래프⁽³⁾에서는 어느 한 시점에서 하나의 스텝만이 active되므로 이러한 active 스텝은 sequential 시스템에서 현재 상태에 대응되며 이와같이 sequential 시스템을 기술한 상태 그래프를 ROM에 의한 실현시 그 하드웨어 구조는 : 첫째, II - 1에서 서술한 바와 같이 공통 번지 버스를 중심으로 3 개의 독립된 ROM 즉 입력천이 조건을 감지하기 위한 입력천이조건 ROM (ICON ROM), 차기스텝의 번지를 지정하는 차기 번지 ROM (NADD ROM) 및 active 스텝의 action을 나타내는 microaction ROM (OUTPUT ROM) 둘째, active 스텝의 번지를 나타내는 parallel load 카운터로써 이 카운터는 active step의 번지로부터 scan에 의해 차기 스텝으로 천이할 입력천이조건을 감지할 때까지 scan을 행한다. 이와같이 1 개의 카운터로써 scan에 의해 천이조건을 만족 시켜 번지를 지정할 경우 2^n (n은 카운터 bit 수) 만큼의 scan time을 요한다⁽¹⁾. 따라서 scan time을 줄이기 위해서는 전 시스템내에서 임의의 한 스텝이 갖는 최대의 선택 시퀀스 수 N 만큼을 카운트할 수 있는 MOD-N 카운터와 active 스텝의 번지를 나타내는 레지스터 및 이 두값의 가산기로써 구성할 경우 scan time을 최소로

할 수 있다. 셋째, step의 천이를 위한 입력천이조건을 감지하는 크기비교기 네째, 제어 시스템 내의 정보 교환을 동기시키기 위한 AND 게이트들로 구성되며 이상의 요소들로 구성된 하드웨어 구성을 그림 2에 나타낸다.

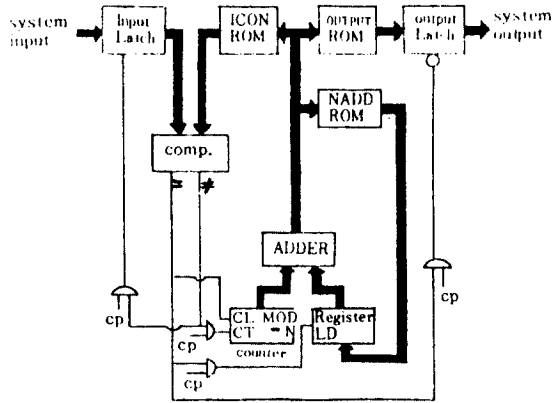


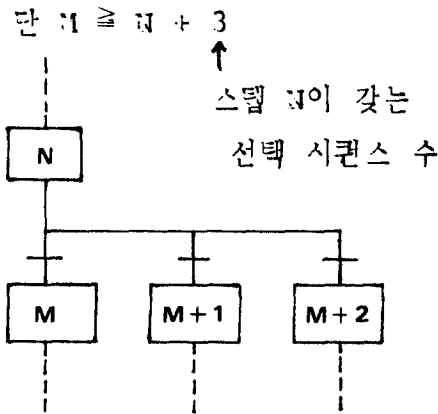
그림 2 Microsequence의 하드웨어 구조
Hardware organization of microsequence

II - 3. Microprogram의 작성

그림 1과 같이 GRAFCET의 스텝번호를 메모리 번지가 지정됐을 때 즉 스텝 N이 active 되면 OUTPUT ROM은 해당하는 action을 지정하며 NADD ROM은 차기스텝의 번지를 레지스터로 출력시킨다. 이때 입력래치 값이 ICON ROM 값과 일치하면 MOD-N 카운터는 크리어 됨과 동시에 레지스터는 NADD의 값을 가산기로 보내며 이 값으로 각 ROM의 번지를 지정한다. 만일 입력래치 값과 ICON ROM의 값이 일치하지 않으면 MOD-N 카운터는 이 두값이 일치할 때까지 scan을 행한다.

이상에서와 같이 ROM의 번지번호는 스텝번호와 일치하므로 스텝번호를 정하기 위한 규칙은 선택 시퀀스들의 스텝번호는 올림차순으로 하여야 하며 이들 중 최초 스텝 번호는 전 스텝번호보다 최소한 선택 시퀀스 수 만큼은 커야 한다. 상기와 같은 규칙에 따라 그림 1의 스텝번호를 다시 쓰면 그림 3과 같다.

Ⅲ. 병렬 Microprogrammable Sequential Controller



병렬 시퀀스의 실현은 제어시스템의 효율을 향상시킬 수 있는 효과적인 방법이며 이러한 병렬 시퀀스의 실현 방법에는 하나의 상태 그래프로 변형시키는 방법, 다수의 상태 그래프로 나누어 멀티프로세서로 처리하는 방법³⁾, 응답 시간이 비교적 큰 process의 경우, 기존 마이크로프로세서나 PC를 이용하는 방법 및 본장에서 제시하는 병렬성을 처리할 수 있는 구조의 컨트롤러를 구성하는 방법 등이 있다.

그림 3 그림 1을 새로이 step-numbering한 GRAFCET GRAFCET with renumbered steps

Ⅲ - 1. 병렬 Microsequencer의 하드웨어 구성

병렬 시퀀스를 처리하기 위해서는 sub-system 즉 병렬 시퀀스간의 동기문제 및 독립성

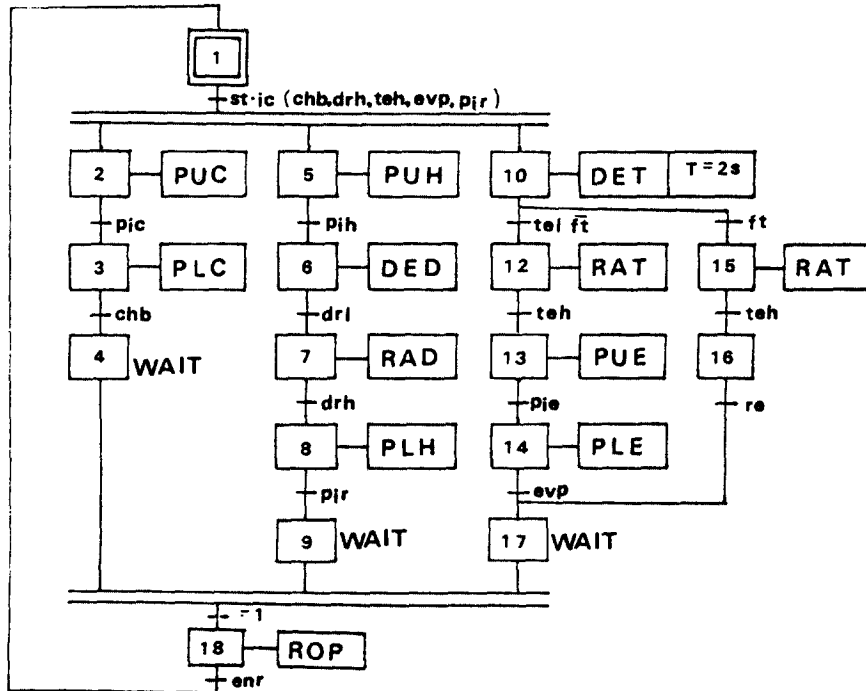


그림 4 Drilling machine의 GRAFCET GRAFCET of drilling machine

문제를 해결해야 한다. 여기서 동기문제라 함은 예로써 그림 4에서 스텝 1이 active된 후 입력천이조건 st-ic가 만족하게 되면 스텝 2, 5 및 10이 동시에 active되고 스텝 4, 10 및 17이 모두 active되었을 때 입력천이조건=1이 만족하게 되면 스텝 18로 천이되는 것을 의미한다. 또한 독립성문제라 함은 스텝 2, 5 및 10이 동시에 active된 후 시퀀스 2~4, 5~9 그리고 10~17이 독립적으로 각각 evolution되는 것을 의미한다. 따라서 2장에서 제시한 마이크로시퀀서에 이상의 기능을 추가하기 위해서는 전 시스템이 임의의 한 스텝에서 최대의 병렬 시퀀스 수 M만큼을 카운트할 수 있는 MOD-M 카운터로써 M개의 레지스터를 각각 scan함으로써 독립성문제를 해결하며 병렬 시퀀스가 시작되는 스텝 즉 그림 4에서 스텝 2, 5 및 10의 값을 갖는 ROM을 PS ROM이라 한다. 이들 값을 병렬 시퀀스 시작직전의 입력천이조건 즉 그림 4에서 st-ic의 정보에 의해 PS ROM의 값을 CP에 따라 레지스터 R_i ($i = 1, 2, 3 \dots M$)에 로드함으로써 동기문제를 해결한다. 레지스터 R_i 를 목적지 레지스터로 지정하기 위한 디코더 1과 레지스터 R_i 를 선행레지스터로 선택하기 위한 멀티플렉서

2 외에 출력을 병렬 시퀀스 별로 출력시키기 위한 디코더 2 및 입력천이조건이 소속한 시퀀스의 구별 및 병렬 시퀀스를 수행중임을 표시하는 정보를 저장한 ROM을 OPT ROM이라한다. 이상의 요소들로 구성된 병렬 마이크로시퀀서의 하드웨어 구성을 그림 6에 나타냈다. 한편 그림 6의 MOD-N, MOD-M 카운터 및 멀티플렉서 1, 멀티플렉서 2와 디코더 1, 디코더 2의 제어 신호는 그림 5와 같은 의미를 갖는다.

III - 2. 컨트롤러 설계예제

다음과 같은 사양을 갖는 drilling machine을 GRAFCET에 의해 기술한 후 그림 6에 주어진 병렬 마이크로시퀀스에 의해 실현한다.

(1) 시스템의 동작설명

그림 7과 같이 세곳의 작업대를 갖는 회전 plate의 첫 번째 작업대에서는 가공할 물건을 채우고 두 번째에서는 drilling을 하고 세 번째에서는 가공된 물건을 검사한 후 비운다. 하나의 piston이 작업대를 받이는 plate를 외부에서 120°씩 정확하게 회전시킨다. 검사는 하나의 검사기에 의해 행해지며 정확하게 drilling 됐으면 이 검사기가 low position까지 내려간다. 만일 low position까지 내려가지 못하면 모든 시스템은 정지되며, 이때 검사기는 high position에 머문다. 이 사이에 작업자는 불량품을 꺼내고 다시 수동으로 시스템을 재 가동시킨다.

(2) Functional GRAFCET의 구성

앞의 사양을 GRAFCET로 기술하면 그림 4와 같으며 여기서 사용한 actions 및 입력천이조건의 심볼 및 의미는 표 1과 같다.

(3) Microprogram의 작성

GRAFCET의 스텝번호를 메모리의 번지와 일치시키면 이 번지에 따라 각 ROM의 값이 출력된다. ICON ROM의 값과 입력레지 값에 따라 크기 비교기의 출력이 결정된다. 이 크기

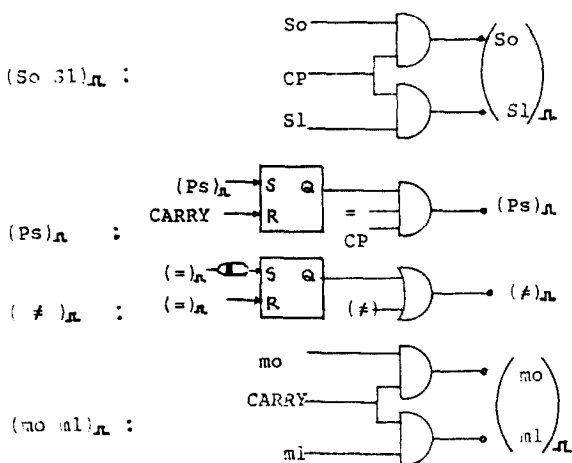


그림 5 제어신호의 구성 및 그 의미
Orgarnation and signification of control signal

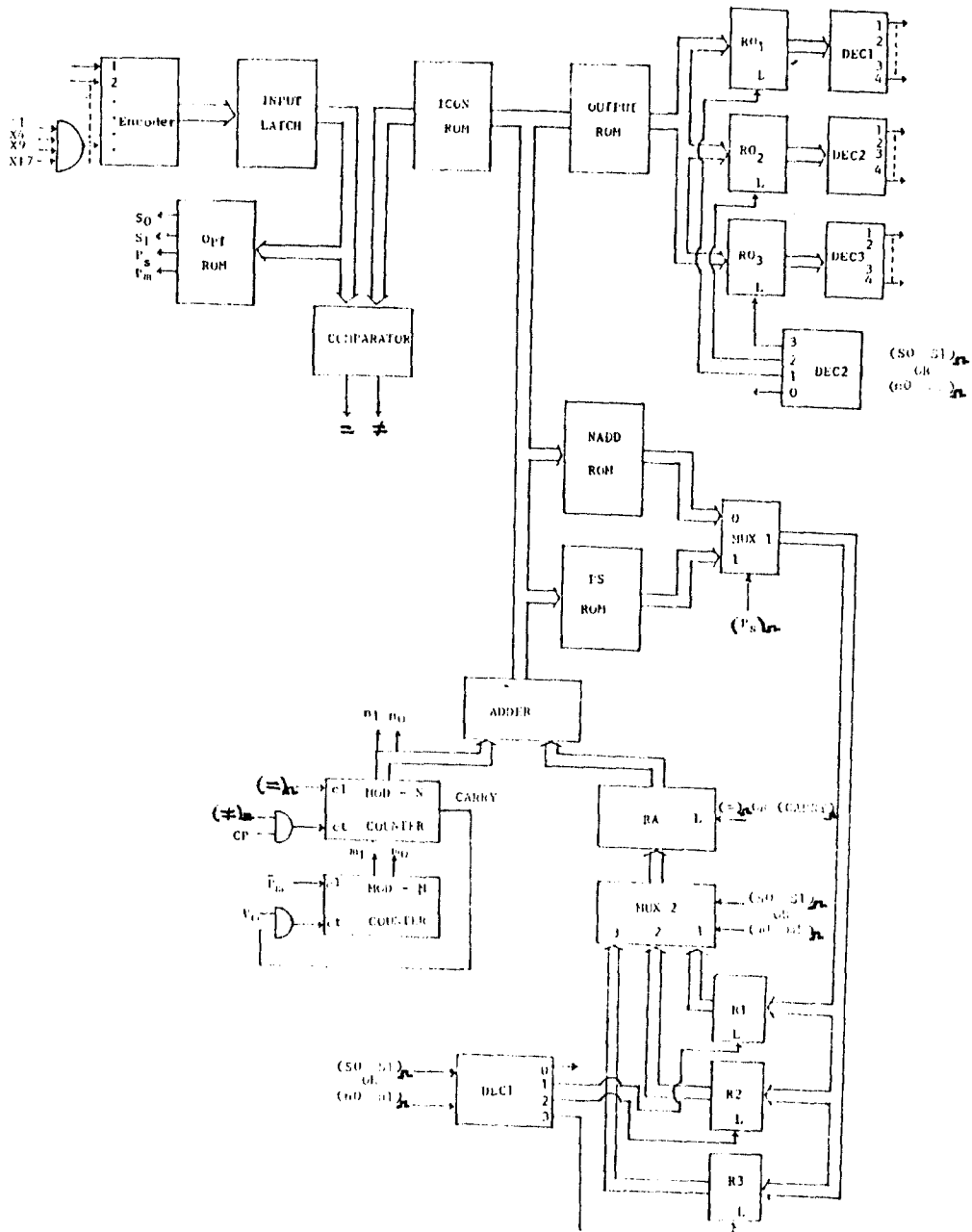


그림 6 병렬 마이크로시퀀서의 하드웨어구조
Hardware organization of parallel microsequencer

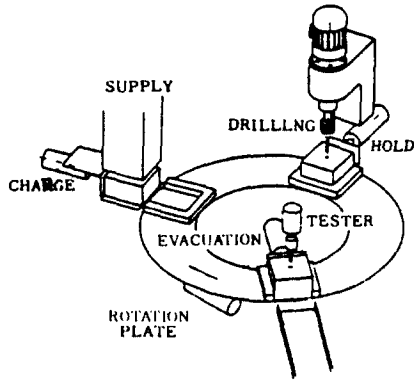


그림 7 일련 작업의 drilling machine post of drilling machine

비교기의 출력신호인 일치신호와 불일치 신호는 제어 신호로 사용된다. 입력천이조건이 유효해지면 입력 래치 값이 OPT ROM의 번지로 되어 해당 $s_1 s_0 p_s p_m$ 비트 값이 출력되어 제어 신호로 사용된다. NADD ROM의 값은 제어 신호($s_1 s_0$)_n에 따라 레지스터 R_i 중 어느 하나의 레지스터를 거쳐 레지스터 RA에 로드된다. 또다른 제어 신호($n_1 n_0$)_n에 의해서는 병렬 시퀀스의 시작 스텝들이 PS ROM으로부터 레지스터 R_i 에 순차적으로 로드된다. OUTPUT ROM의 값은 제어신호($S_1 S_0$)_n나 ($n_1 n_0$)_n에 따라 출력레지스터 RO_i 중 어느 하나의 레지스터에 로드된다. 이상에서 설명한 바와 같이 그

표 1 Actions과 입력천이조건인 심볼 및 그 의미
Natures and symbols of actions and input transition conditions.

| Action | | |
|--------|------------------|---------------------|
| PUC | Push charger | Double pilot piston |
| PLC | Pull charger | |
| PUH | Push holder | " |
| PLH | Pull holder | " |
| DED | Descend drilling | " |
| RAD | Raise drilling | " |
| DET | Descend tester | " |
| RAT | Raise tester | " |
| PUE | Push evacuator | " |
| PLE | Pull evacuator | " |
| ROP | Rotation plate | Simple pilot piston |

| Input condition | | |
|-----------------|------------------|--------------------------------|
| pic | piece charged | contact switch (end of course) |
| chb | charge in back | " |
| pih | piece holded | " |
| pir | piece released | " |
| drl | Drilling in low | " |
| drh | Drilling in high | " |
| tel | Tester in low | " |
| teh | Tester in high | " |
| pie | piece evacuated | " |
| evp | Evacuator pulled | " |
| enr | end of rotation | " |
| st | Start | Push button |
| re | Restart | " |

림 4의 GRAFCET에 대한 ROM프로 그램의 기능 설명은 병렬시퀀스의 동기문제와 독립성 문제를 해결하는 관점에서 설명하면 다음과 같다.

동기문제의 해결

첫째단계 : 스텝 1이 active되며 입력 래치 값이 ICON ROM의 값 st.ic에 일치하면 MOD-N 카운타는 크리어되며 크기비교기의 일치신호 및 OPT ROM의 s₁s₀p_sp_m 비트값 0111에 따라 PS ROM의 1번지값 02가 레지스터 R₁에 로드된다.

둘째단계 : 다음 CP에 따라 MOD-N 카운타는 00이 출력되어 2번지가 지정되어 PS ROM의 값 02가 출력되나 레지스터 R₁, R₂, R₃중 어느 곳에도 로드되지 않는다.

셋째단계 : 다음 CP에 따라 MOD-N 카운타는 01이 출력되어 3번지가 지정되어 PS ROM

의 값 02가 레지스터 R₁에 스텝 2에 해당하는 02가 로드된다. 이와같은 방법으로 CP가 증가함에 따라 스텝 5에 해당하는 05가 레지스터 R₂에 로드되며 다음 CP에 따라 스텝 10에 해당하는 0A가 레지스터 R₃에 로드되어 병렬시퀀스의 시작 스텝 2, 5 및 10이 CP에 따라 순차적으로 레지스터 R₁, R₂, R₃에 각각 로드됨으로서 동기문제를 해결한다.

독립성 문제의 해결

병렬 시퀀스가 시작된 후 입력 래치값이 ICON ROM의 pic에 일치하면 (S₁S₀)_n=01에 따라 레지스터 R₁과 RA에 차기 번지값 03이 로드되며 동시에 출력레지스터 RO1으로 OUTPUT ROM의 값이 로드된다. 만일 입력래치 값이 ICON ROM의 pih에 일치하면 (S₁S₀)_n=10에 따라 레지스터 R₂와 RA에 차기 번지값 6이 로드되며 동시에 출력 레지스터 RO2로

표 2 심볼로 주어진 ROM 프로그램
Symbolic ROM program

| ROM Address | ICON ROM | NADD ROM | OUTPUT ROM | PS ROM | Address | OPT ROM S ₁ S ₀ P _s P _m |
|-------------|------------|----------|------------|--------|---------|--|
| 01 | st.ic(01) | 02 | NO ACTI | 01 | 01 | 0 1 1 1 |
| 02 | pic(02) | 03 | PUC | 01 | 02 | 0 1 0 1 |
| 03 | chb(03) | 04 | PLC | 01 | 03 | 0 1 0 1 |
| 05 | pih(05) | 06 | PUH | OA | 05 | 1 0 0 1 |
| 06 | drl(06) | 07 | DED | XX | 06 | 1 0 0 1 |
| 07 | drh(07) | 08 | RAD | XX | 07 | 1 0 0 1 |
| 08 | pir(08) | 09 | PLH | XX | 08 | 1 0 0 1 |
| OA | tel.ft(OA) | OC | DET, T2S | XX | OA | 1 1 0 1 |
| OB | ft(OB) | OF | OF | XX | OB | 1 1 0 1 |
| OC | teh(OC) | OD | RAT | XX | OC | 1 1 0 1 |
| OD | pie(OD) | OE | PUE | XX | OD | 1 1 0 1 |
| OF | teh(OC) | 10 | RAT | XX | OC | 1 1 0 1 |
| OE | evp(OE) | 11 | PLE | XX | OE | 1 1 0 1 |
| 10 | re(10) | 11 | NO ACTION | XX | 10 | 1 1 0 1 |
| 04 | = 1 (04) | 12 | " | 05 | 04 | 0 1 0 0 |
| 09 | = 1 (04) | 12 | " | XX | 04 | 0 1 0 0 |
| 11 | = 1 (04) | 12 | " | XX | 04 | 0 1 0 0 |
| 12 | enr(12) | 01 | ROP | XX | 12 | 0 1 0 0 |

표 3 Microcode화된 ROM 프로그램
Microcode ROM program

| ROM Address | ICON ROM | NADD ROM | OUTPUT ROM | PS ROM | Address (Input latch) | OPT ROM | | | |
|-------------|----------|----------|------------|--------|-----------------------|---------|----|----|----|
| | | | | | | St | So | Ps | Pm |
| 01 | 01 | 02 | 0 | 2 | 01 | 0 | 1 | 1 | 1 |
| 02 | 02 | 03 | 1 | 2 | 02 | 0 | 1 | 0 | 1 |
| 03 | 03 | 04 | 2 | 2 | 03 | 0 | 1 | 0 | 1 |
| 05 | 05 | 06 | 1 | 0A | 05 | 1 | 0 | 0 | 1 |
| 06 | 06 | 07 | 2 | X | 06 | 1 | 0 | 0 | 1 |
| 07 | 07 | 08 | 3 | X | 07 | 1 | 0 | 0 | 1 |
| 08 | 08 | 09 | 4 | X | 08 | 1 | 0 | 0 | 1 |
| 0A | 0A | 0C | 1 | X | 0A | 1 | 1 | 0 | 1 |
| 0B | 0B | 0F | 0 | X | 0B | 1 | 1 | 0 | 1 |
| 0C | 0C | 0D | 2 | X | 0C | 1 | 1 | 0 | 1 |
| 0D | 0D | 0E | 3 | X | 0D | 1 | 1 | 0 | 1 |
| 0F | 0C | 10 | 2 | X | 0C | 1 | 1 | 0 | 1 |
| 0E | 0E | 11 | 4 | X | 0E | 1 | 1 | 0 | 1 |
| 10 | 10 | 11 | 0 | X | 10 | 1 | 1 | 0 | 1 |
| 04 | 04 | 12 | 0 | 5 | 04 | 0 | 1 | 0 | 0 |
| 09 | 04 | 12 | 0 | X | 04 | 0 | 1 | 0 | 0 |
| 11 | 04 | 12 | 0 | X | 04 | 0 | 1 | 0 | 0 |
| 12 | 12 | 01 | 3 | X | 12 | 0 | 1 | 0 | 0 |

단, PUC, PLC, ROP 는 출력 디코더 1의 출력단자 1, 2, 3에
 PUH, DED, RAD, PLH 는 출력 디코더 2의 출력단자 1, 2, 3, 4에
 DET, RAT, PUE, PLE 는 출력 디코더 3의 출력단자 1, 2, 3, 4에
 각각 연결시키는 경우임.

해당 OUTPUT ROM의 값이 로드된다. 이와 같은 방법으로 병렬 시퀀스의 독립성문제를 해결한다. 따라서 그림 4에 대한 마이크로프로그램은 표 2의 심볼 ROM 프로그램을 거쳐 표 3과 같이 작성된다.

IV. 결 론

GRAFNET로 기술된 병렬 시퀀스를 갖는 순서논리 시스템을 ROM을 사용한 microprogrammable sequential controller의 실현 방법을 제시했다. 이와같이 하나의 컨트롤러에 의한 병렬 시퀀스의 처리는 특히 공간적으로 분리할

수 없는 시스템에 대하여 효율적인 방법이 되며 시스템 기능의 변경시 단지 ROM 프로그램만을 변경하면 되므로 가변성을 최대한 좋게 했으며 또한 입력 MOD 카운터와 레지스터에 의한 하드웨어 구성은 입력 scan time을 줄임으로써 처리속도를 향상시켰다. 따라서 제시된 방법은 병렬 시퀀스를 포함한 많은 입출력변수를 갖는 industrial process나 빠른 처리속도를 요하는 power electronic converter 등의 컨트롤러 실현에 적합하다. 앞으로 제시된 병렬 마이크로시퀀스를 기본으로 병렬수행 마이크로인스트럭션이 정의된 PC를 구성하면 그 기능 및 처리속도를 향상시킬 수 있으리라 기대된다.

“이 논문은 1986년도 문교부 자유과제 학술연구 조성비에 의하여 연구(출판) 되었음”.

參 考 文 獻

1. D.M. Divan et al; “Microprogrammable sequential controller” IEE proceedings, Vol.131, No.6 Nov. 1984.
2. 우왕준, 이범훈, “GRAF CET 로 기술된 순서논리시스템의 실현 한국통신학회, Vol. 11. No. 6. 1986년 12월
Microprogrammable sequential controller
3. 우왕준, “GRAF CET로 기술된 순서논리 시스템의 Race 없는 프로그램으로써의 합성” 대한전자공학회 제21권 6호 1984년 11월
4. M. Morris Mano; “Digital logic and computer design” prentice-hall 1979.
5. F.J. Hill, G.R. Peterson; “Digital system: hardware organization and design” Wiley.
6. M. Blanchard; “Comprendre maitriser et appliques le GRAFCET” Cepuades teulousee 1979.
7. J.C. Bossy, P Brard, P. Faugere, C. Merland; “Le GRAFCET, ‘sa platique et ses applications” Educalivre, 1979.
8. S. Thelliez, J.M. Toulotte; “Applications industrielles du GRAFCET” Eyrolles 1983.
9. S. Thelliez, J.M. Toulotte; “GRAF CET et logigue industrielle programmee” Eyrolles 1980.
10. G. Michel, C. Laugeau, B. Espiau; “Les automates programmables industrielles” Dunod technique 1979.
11. R. David; “Synthese cablee a l’aide de cusa dun automatigme logigue decrit par un GRAFCET” Point en automatigue Vol. 1 1981.
12. R. David, R. Tellez-giron, E. Mitrani; “Emploi des cellules universelles pour la synthese de systems asynchrones decrit par reseau de petri.



柳 昶 根(Chang Keun RHU) 正會員
1956年 2月 19日 生
1981年 2月 : 檀國大學校 電子工學科 卒業(工學士)
1983年 9月 : 檀國大學校 大學院 電子工學科 卒業(工學碩士)
1988年 9月 ~ 檀國大學校 大學院 電子工學科 博士課程



禹 廣 俊(Kwang Joon WOO) 正會員
1946年 11月 8日 生
1967. 3 - 1974. 2 : 漢陽大學校 電子工學科(工學士)
1975. 3 - 1977. 2 : 漢陽大學校 大學院 電子工學科(工學碩士)
1977. 10 - 1980. 9 : Université Louis Pasteur de Strasbourg(D. E. A)
1980. 10 - 1983. 1 : Institute National Polytechnique de Grenoble(Docteur Ingénieur)
1983. 3 - 現在 : 檀國大學校 電子工學科(副教授)