
 論 文

BICMOS 게이트 어레이 구성에 쓰이는 소자의 제작 및 특성에 관한 연구

正會員 朴 致 善*

A Study on the Process & Device Characteristics of BICMOS Gate Array

Chi Sun PARK* *Regular Member*

要 約 본 논문에서는 BICMOS 게이트 어레이 시스템 구성시 내부의 논리회로 부분은 CMOS 소자로 입출력부는 바이폴라 소자를 이용할 수 있는 공정과 소자 개발을 하고자 하였다.

BICMOS 게이트 어레이 공정은 폴리게이트 p-well CMOS 공정을 기본으로 하였고, 소자설계의 기본개념은 공정효율을 복잡하지 않게 하면서 바이폴라, CMOS 소자 각각의 특성을 좋게 하는 데 두었다.

실험결과로서, npn1 트랜지스터의 h_{FE} 특성은 120($I_c=1mA$) 정도이고, CMOS 소자에서는 n-채널과 p-채널이 각각 1.25 μm , 1.35 μm 까지는 short channel effect 현상이 나타나지 않았고, 41stage ring oscillator의 게이트당 delay 시간은 0.8ns이었다.

ABSTRACT In this paper, BICMOS gate array technology that has CMOS devices for logic applications and bipolar devices for driver applications is presented.

An optimized poly gate p-well CMOS process is chosen to fabricate the BICMOS gate array system and the basic concepts to design these devices are to improve the characteristics of bipolar & CMOS device with simple process technology.

As the results, h_{FE} value is 120($I_c=1mA$) for transistor, and there is no short channel effects for CMOS devices which have L_{eff} to 1.25 μm and 1.35 μm for n-channel and p-channel, respectively, 0.8ns gate delay time of 41 stage ring oscillators is obtained.

I. 서 론

컴퓨터나 통신용 기기등 고속처리를 요하는 장치의 부품으로는 시스템 특성에 따른 특수한 성능의 집적회로가 필요하다. 이러한 집적회로가 양호한 특성을 갖기 위해서는 시스템을 규정하는 바이폴라나 CMOS분야에서 만족할 만한 특성의 소자가 개발되어야 한다.

* 亞洲大學校 電子工學科
Dept. of Elec. Eng. Ajou Univ.
論文番號 : 89-18 (接受 1988. 9. 20)

일반적으로 바이폴라 트랜지스터는 높은 전류구동 능력을 가지고 있지만 비교적 집적도가 낮고 전력소모가 크다는 단점을 가지고 있다. 반면에 MOS트랜지스터는 전력소모는 적으나 전류구동 능력이 낮은 단점을 가지고 있다. 따라서 바이폴라 는 아날로그 기능을 구현하는데 적합하고 CMOS 는 저전력 디지털 회로에 많이 쓰여지고 있다.

그런데 VLSI시스템은 아날로그와 디지털 기능이 한 칩(chip)내에 있는 것이 유리한데 바이폴라 와 CMOS의 장점을 한 칩상에 동시에 집적시킨 BICMOS공정기술이 개발되고 있다. 바이폴라와 CMOS소자를 한 칩상에 공존시키는방법으로는 epi층을 이용하여 바이폴라와 CMOS소자를 조합 시키는 방법과,^(2,3) epi층을 사용하지 않고⁽⁴⁾ 바이폴라와 CMOS소자 특성을 최적화하는 공정등이 개발되고 있다.

현재 BICMOS 기술은 고속성, 고집적도, 저전력 소비를 필요로 하는 기억소자에의 응용과 내부의 논리회로 부분은 CMOS소자로 입출력부는 바이폴라 소자를 이용하는 gate array분야로서 그 응용범 위는 디지털 TV, VTR, 음성신호처리, 통신용 집적회로의 분야에 이르고 있다.^(5,6,7,8)

BICMOS 기술을 기억소자및 논리회로에 가장 선두적으로 사용하고 있는 회사는 일본의 Hitachi, NEC, 그리고 미국의 Motorola, TI, 등의 회사들 들 수 있다.

실제 Hitachi사는 부하용량이 큰 입출력 buffer, decoder 회로에는 BICMOS 복합회로를 사용하고 고속성이 특히 요구되는 sense amplifier에는 바이 폴라 자동증폭기를 구성하고 기억 단위소자에는 CMOS를 이용하여 64KSRAM에서 access시간을 25ns까지 얻었다.⁽⁹⁾

또한 gate array 분야에서도 개발이 활발하여, Hitachi에서는 2 μ m BICMOS 공정을 사용하여 800ps의 속도를 갖는 게이트를 2500개정도 집적시 키었고, NEC사는 1.5 μ m BICMOS gate array에서 800ps의 속도를 갖는 게이트를 3100개 정도 집적 시킨 회로를 개발하였다.⁽¹⁰⁾

본 논문에서는 아날로그와 디지털기능이 함께있 는 BICMOS 게이트 어레이 시스템구성시 필요한

바이폴라, CMOS 기본 소자의 개발을 위해, 높은 전류구동 능력을 필요로하는 부분에는 베이스를 따로 정의한 바이폴라 트랜지스터를, 높은 내압을 요하는 부분에 p-well을 베이스로 구성한 소자를 제작하였다. 그리고 내부의 논리회로 부분에 이용 되는 CMOS소자는 기존의 P-WELL CMOS공정 을 적용하여 n-채널 MOS, p-채널 MOS트랜지스 터 각각의 특성을 최적화 하였다.

II. 실 험

BICMOS 게이트 어레이 시스템 공정설계는 바이폴라와 CMOS소자의 특성을 최적화하면서 공정과정을 복잡하지 않게 하였다. 그림1은 본 연구에 의해 제작된 BICMOS 게이트 어레이 공정 순서를 나타낸 것이며 단계별로 설명하면 다음과 같다.

비저항 15-25 ohm-cm인 P형(100) 웨이퍼를 사용하여 바이폴라 npn 트랜지스터의 콜렉터 저항을줄이기 위한 n'buried layer층은 arsenic 이온도즈 주입량을 3E15/cm², 40kev 이온 주입한 후 접합깊이가 3.5 μ m이 되도록 확산 공정 진행하 였다.

Epi층 설계는 CMOS 트랜지스터의 특성을 최적 화하면서, 바이폴라 트랜지스터의 rc저항 특성과 항복 전압값을 고려하여 비저항을 3-5 ohm-cm로 두께는 15 μ m로 성장시켰다. Epi층성장은 APCVD 방법으로 1100C에서 1 μ m/min로 하였고, 비저항 두께의 분포는 $\pm 5\%$ 이내 였다.

PMOS field 트랜지스터의 문턱전압을 -15V 이상으로 높이기 위한 마스크스텝을 줄이기 위해 epi공정 후에 바로 phosphorous 2E12/cm², 120kev 으로 field이온 주입 공정을 진행하였다.

CMOS의 p-well 공정과 junction isolation 형성 시 오정렬로 인한 공정 오차를 줄이기 위해 iso- lation 영역과 p-well영역을 동시에 정의한 후 (그림1(a)), isolation이온 주입시에는 p-well영역 을 가리고 born 8E15/cm², 100kev로 진행하였다. (그림 1(b)) 이온 주입후 photo resist를 제거하고 마스크 공정없이 born 1E13/cm³, 90kev로 p-well

이온 주입하였다. (그림 1(c)) 이온 주입 후 p-well 확산 공정시 isolation 부분이 동시에 확산되고, bottom isolation p⁺ buried layer 영역이 auto doping되면서 서로 맞닿아 junction isolation이 형성 되도록 공정을 진행하였다. P-well의 접합깊이가 4.5 μ m sheet 저항 값은 2.4kohm/sq (Cs:4E16/cm³)가 되었다.

Isolation 영역은 확산공정 후 접합깊이가 10 μ m 가 되고, 이때 bottom p⁺ layer가 5 μ m정도 out diffusion되어 맞닿도록 하였다.

P-well 확산 공정이 끝난 다음에 모든 산하막층을 strip하고 base 산화막을 400A° 키운후 질화막층을 1700A° 정도 증착시켰다. 소자가 형성되는 영역에는 질화막을 남기고 나머지 부분에는 질화막을 없애 field oxide가 900A° 정도 자라게 공정을 진행 하였다.

높은 전류구동 능력을 필요로 하는 부분에는 바이폴라 트랜지스터 제작을 위해 base를 따로 정의하여 born이온 주입량을 3.4E14/cm², 40kev 으로 확산공정 후 접합깊이가 2.0 μ m, sheet 저항값은 300ohm/sq (Cs:2.8E18/cm³)가 되도록 하였다.

CMOS영역의 n-채널 MOS, p-채널 MOS 트랜지스터가 문턱 전압을 공히 $\pm 1.0V$ 로 맞추기 위해 born이온 주입량을 7E11/cm²으로 마스크 공정없이 이온 주입시켰다.

Vt이온 주입공정이 끝난 다음에 base 산하막층을 strip하고 gate 산화막을 450A° 키운후 폴실리콘층을 5000A° 정도 증착 하였다. 한편 CMOS 트랜지스터의 short chanel effect 현상을 줄이기 위해 게이트 etch후 side wall 형성을 위해 낮은 온도의 산화막층을 2000A° 정도 증착한 후 side wall etch공정을 진행하여 게이트 side wall spacer 영역을 1500A° 정도 형성시켜 주었다.

N-채널 MOS 트랜지스터의 source-drain 형성시 바이폴라 npn 트랜지스터의 에미터를 함께 정의하고, 접합깊이를 깊게하여 베이스 폭이 1.0 μ m가 되도록 phosprous 8E15/cm² 80kev로 이온 주입시킨 후 확산시켜 주었다.

소자간의 연결 후 step coverage를 좋게 하기 위해 contact etch공정은 wet/dry/wet 순서로

진행 하였다. 금속막으로는 Al-1.5% Si을 1.2 μ m를 증착 시켰다.

위와 같이 11layer의 마스크 스텝과 공정과정을 거쳐 완성된 BICMOS소자의 단면은 (그림 1(d))에 나타내었다.

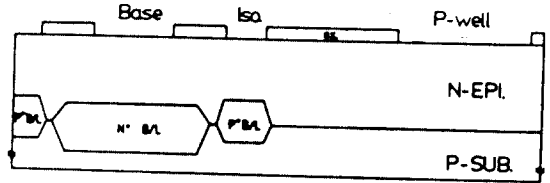


그림 1(a). Composite mask (p-well & iso)공정 스텝
Process step of composite mask (p-well & iso)

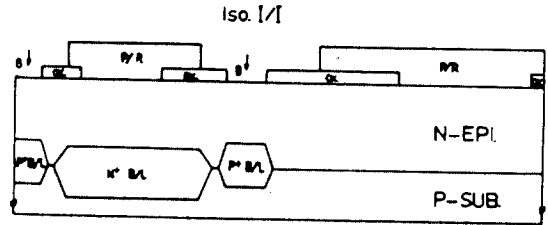


그림 1(b) Isolation 이온 주입 공정 스텝
Process step of isolation ion implant

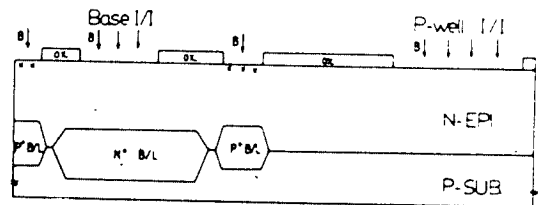


그림 1(c). P-well 이온 주입 공정 스텝
Process step of p-well ion implant

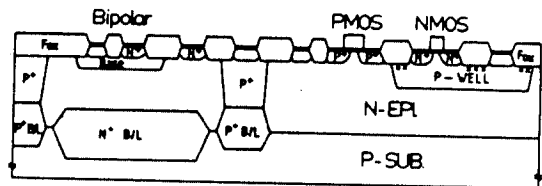


그림 1(d). BICMOS 소자 단면도
Device structure of BICMOS

III. 제작결과 및 검토

BICMOS 게이트 어레이 시스템 구성시 입출력 부를 구성하게 되는 부분에는 높은 전류구동 능력을 필요로 하게 되므로 바이폴라 트랜지스터를 구성할 수 있게 제작하였다.

베이스를 따로 정의하여 베이스 폭이 $1.0\mu\text{m}$ 인 바이폴라 npn1 트랜지스터의 전류-전압 특성 곡선은 그림2와 같으며 $I_c = 1\text{mA}$ 에서 전류이득이 120정도 되었다.(에미타 크기 $10 \times 10\mu\text{m}$) npn1 트랜지스터의 항복전압 BV_{CE0} 는 20V로서 medium power 범위내에서 안정된 동작범위를 갖는다.

입출력부에서 높은 내압을 요구하는 부분에는 p-well을 베이스로 구성하게 하였는데 이 npn2 트랜지스터의 전류-전압 곡선은 그림3과 같으며 $I_c = 1\text{mA}$ 에서 전류이득이 80정도 되었다.(에미타 크기 $10 \times 10\mu\text{m}$) npn2 트랜지스터의 항복전압 BV_{CE0} 는 50V로서 npn1에 비해 큰 값을 얻었다.

콜렉터 전류증가에 따른 h_{FE} 특성 저하는 에미타 영역에서 베이스 영역으로 전자 이동이 많아짐에 따른 high level injection effect 현상으로서 베이스 농도, 베이스폭에 따라 특성이 달라짐을 알 수 있다(그림 4). 그림 4에서 보면 p-well을

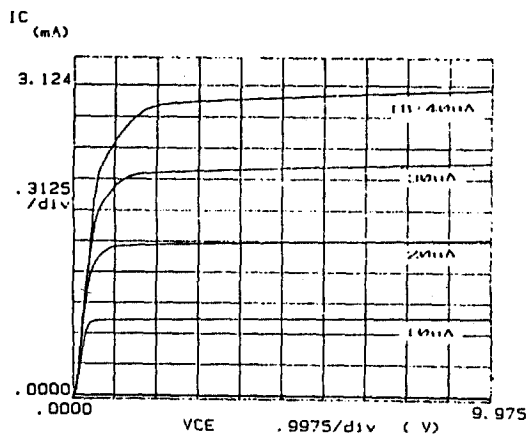


그림 2. npn1 트랜지스터의 I-V 특성 곡선
I-V characteristics of npn1 Tr.

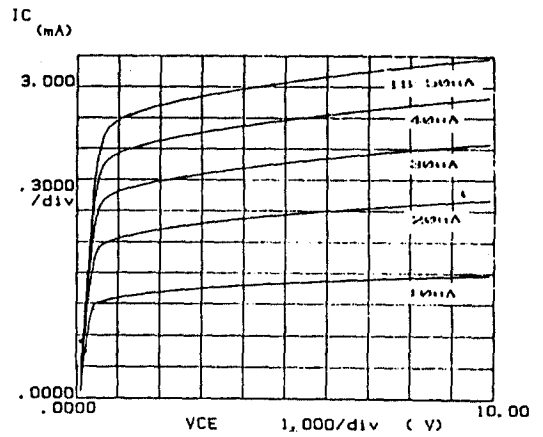


그림 3. npn2 트랜지스터의 I-V 특성 곡선
I-V characteristics of npn2 Tr.

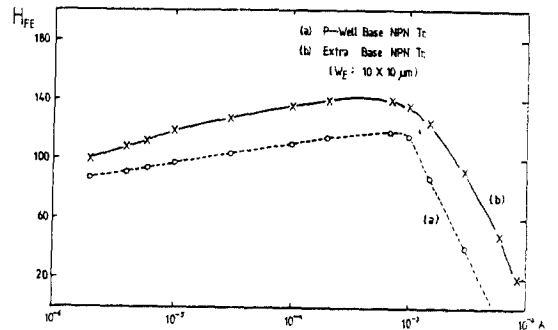


그림 4. Collector current에 따른 npn Tr.의 HFE 특성 곡선
HFE vs. Log I_c characteristics of npn Tr.

베이스로 사용한 npn2 트랜지스터의 경우에는 콜렉터 전류가 5mA 정도에 이르면 h_{FE} 특성이 급격히 감소하지만, 베이스를 따로 만들어준 npn2 트랜지스터의 경우는 콜렉터 전류가 9mA 정도에 이르러서야 h_{FE} 특성이 나빠짐을 알 수 있다. 이 결과는 npn1소자의 베이스 저항값($200\Omega/a$)과 베이스폭($1.0\mu\text{m}$)이 npn2의 p-well 저항값($2400\Omega/a$), 베이스폭($3.5\mu\text{m}$)보다 작기 때문이다.

따라서 이러한 high current 영역에서의 특성을 고려하여, 높은 전류구동 능력이 소요되는 부분에는 npn1 트랜지스터를 사용할 수 있게 하였다.

P-well CMOS공정으로 이루어진 n-채널 MOS,

p-채널 MOS, 트랜지스터의 문턱 전압은 각각 $\pm 1.0V$ 가 되게 제작하였으며, 각각의 트랜지스터의 전류-전압 특성 곡선은 그림 5, 6과 같고 각각의 항복 전압 특성은 19V, 18V이었다.

유효 채널 길이에 따른 문턱전압의 변화는 채널 길이가 nMOS는 $1.25\mu m$, pMOS는 $1.35\mu m$ 가 될 때까지는 길이에 따른 문턱전압의 변화가 없음을 나타내었다.(그림 7, 8) 이는 채널길이 짧아짐에 따라 나타나는 short channel effect 현상을 도우핑 농도 조절과 게이트 공정 후 side wall 형성에 따른 결과라 사료된다.

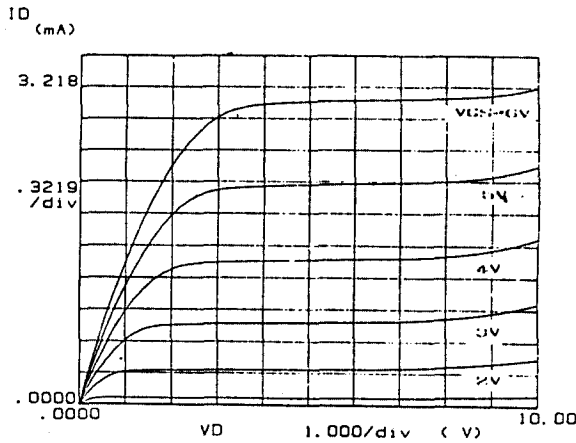


그림 5. N-ch. MOSFET의 I-V 특성 곡선
I-V characteristics of N-ch. MOSFET

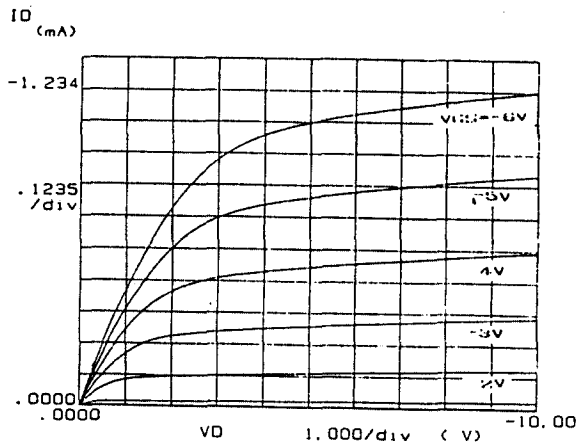


그림 6. P-ch. MOSFET의 I-V 특성 곡선
I-V characteristics of P-ch. MOSFET

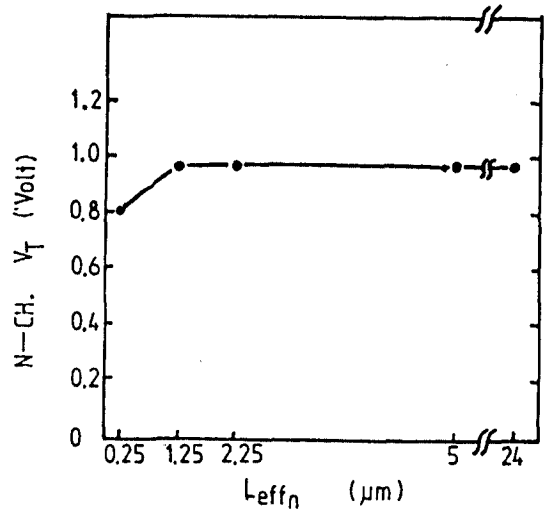


그림 7. N-ch. MOSFET의 채널 길이에 따른 문턱전압 변화
Threshold voltage roll off with effective channel length for n-ch. MOSFET

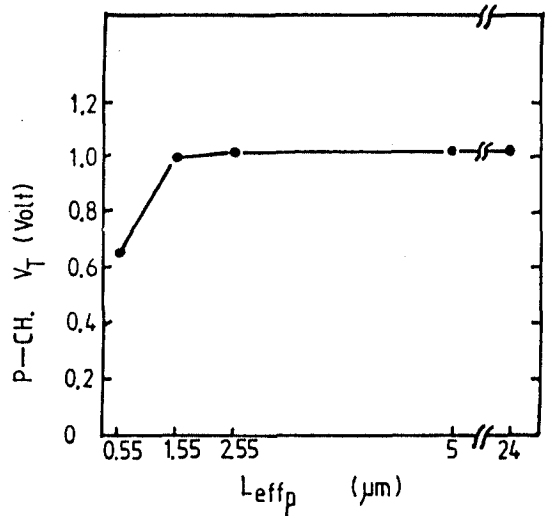


그림 8. P-ch. MOSFET의 채널 길이에 따른 문턱전압 변화
Threshold voltage roll off with effective channel length for p-ch. MOSFET

한편, 게이트 어레이 기본 구성에 쓰이는 41 stage ring oscillator(p MOS:55/2.4, nMOS:21/2.5)의 사진은 그림 9(a) 이고, delay 시간은 0.8 ns정도의 값을 나타내었다.(그림 9(b))

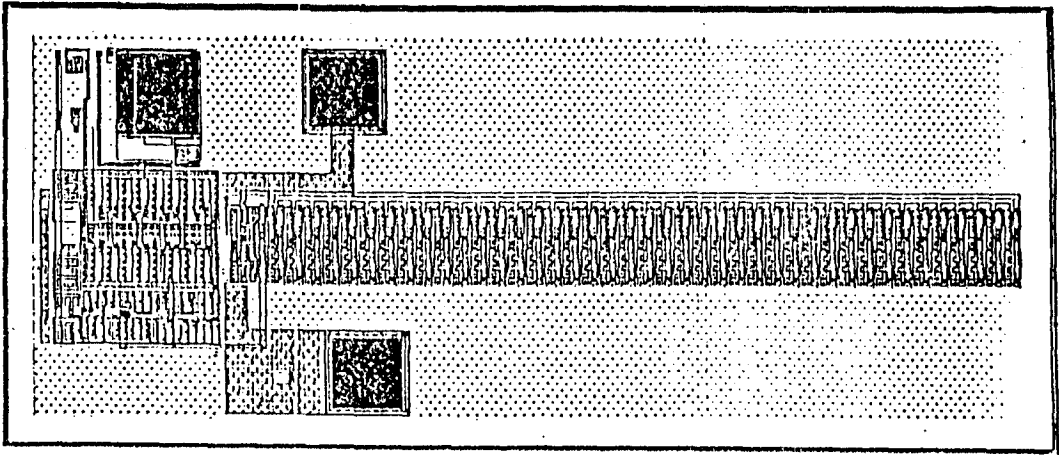


그림 9(a). 41단 ring oscillator의 사진
Photograph of 41 stage ring oscillator

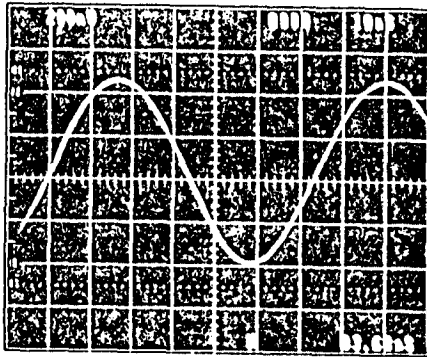


그림 9(b). 41단 ring oscillator의 지연시간
Delay time of 41 stage ring oscillator

이러한 특성은 기존 CMOS공정에서 얻어지는 값인데 반해, 현재 BICMOS 기술의 개발 추세는 내부의 논리 회로 부분에도 BICMOS 복합 회로를 구성하여 주므로써 소자성능을 개선하여 게이트당 delay 시간을 800ps까지 얻고 있다.⁽¹⁰⁾ CMOS구성 시에 문제가 되는 latch-up 특성 개선을 위해서는 그림10과 같은 새로운 형태의 소자 구조를 고안하여 제작하고 있다.⁽¹²⁾

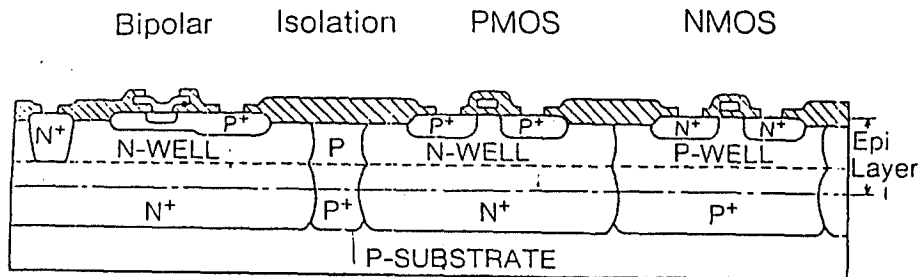


그림 10. Latch-up 특성 개선 BICMOS 소자 단면도
Device structure of BICMOS with improved latch-up characteristics

새로운 구조(그림 10)와 기존구조 1(d)와의 차이점은 LATCH-UP 특성에 영향을 미치는 n-sub 저항과 p-well 저항을 줄여주기 위해 새로운 구조에서는 CMOS 영역에도 n⁺, p⁺ buried layer 층을 형성시켜 주므로서 n-sub 저항을 줄여 주고 parasitic npn 트랜지스터 구조를 lateral pnp 구조로 주므로서 parasitic pnpn 구조에서는 일어나는 latch-up 특성을 현저히 개선시켜 주고 다.

이상의 논의에서 살펴본 BICMOS 시스템 구성에 사용될 바이폴라, CMOS 트랜지스터의 특성을 요약하면 표1와 같다. 측정에 사용된 장비는 KEITHLEY S350, TEKTRONIX 576 curve tracer, HP4145A 장비를 이용하였다.

구동 interface에 유리한 npn1 트랜지스터가 높은 내압을 요하는 데에는 npn2 트랜지스터가 그리고 높은 집적도의 논리회로 구성에는 CMOS 소자를 이용하여 시스템을 구성할 수 있게 하였다.

실험 결과로서 npn1, npn2 트랜지스터의 h_{FE} 특성은 120, 80(I_c=1mA) 정도이고, 항복 전압은 각각 20V, 50V이었다. CMOS 소자에서는 n-채널과 p-채널 트랜지스터의 문턱전압이 각각 ±1.0V, 항복 전압 특성은 19V, 18V 이고 41 stage ring oscillator의 지연시간은 0.8ns이었다.

이러한 BICMOS 게이트 어레이 기술은 바이폴라, CMOS 소자의 장점을 한 시스템에 구현시키는 기술로서 그 응용여부에 따라 고부가가치의 특수 용도 IC 제작에 이용될 수 있을 것이다.

표 1 BICMOS Device 특성 측정 값
BICMOS device characteristics.

DEVICE	PARAMETER	측 정 치	측정조건
Bipolar NPN npn 1	h _{FE}	100 - 180	I _c = 1 mA V _{CE} = 5 V
	BV _{CEO}	55 - 60V	I _c = 100uA
	BV _{CEO}	18 - 22V	I _c = 100uA
	BV _{CEO}	6.3 - 6.5V	I _c = 100uA
npn 2	h _{FE}	80 - 120	I _c = 1mA, V _{CE} = 5 V
	BV _{CBO}	113 ~ 125V	I _c = 100 μA
	BV _{CBO}	48 - 55V	I _c = 100 μA
	BV _{CBO}	18 - 22V	I _c = 100 μA
CMOS N - CH	VTN	0.8 - 1.0V	V _{dS} = 0.1V
	BVDSS	18 - 20V	V _g = 0 V
	SFACTOR	90mV	ΔV _g / ΔLogID
P - CH	VTP	-0.8 - 1.0V	V _{dS} = -0.1V
	BVDSS	-18 - 22V	V _g = 0 V
	SFACTOR	75 mV	ΔV _g / ΔLogID

参 考 文 献

1. J.S.T. Huang, VLSI ELECTRONICS: MICRISTRUC-TURE SCINCE, VOL. 9, Chapter 1 Academic press, 1985.
2. Fred Walczyk, Jorge Rubinstein, "A Merged CMOS- / Bipolar Technologya," IEDM, pp. 59-62, 1983.
3. JEFFREY D. MORSE, DAVID H. NAVON, "Optimiz ed Design of a Merged Bipolar MOSFET Device," IEE Transactions on Electron Devices, Vol. 32, No, 11 pp. 2277-2281 NOV., 1985.
4. Gunter Zimmer, Bernd Hoefflinger, "A Fully implanted NMOS, CMOS, Bipolar Technology for VLSI of Analog Digital systems," IEEE Transactions on Electron Devices, Vol. 26, No. 4 pp. 390-395 APR., 1979.
5. Masaharu Kubo, IKuro Masuda, Kenji Miyate, "Per-spective on BICMOS VLSIs," IEEE Journal of Solid State Circuits, pp. 5-10, FEB., 1988.
6. A. Wanatabe, T. Nagano, N. Nishio, "High speed BICMOS VLSI Technology with Twin well Structure," IEDM, pp. 423-426, 1985.
7. Bernald Cornad Cole, "Mixed process chips are about to hit the big time," Electronics, pp. 27-31, 1986.
8. Sameul Weber, "TI soups Line CMOS process with 20V Bipolar Transistors," Electronics, pp. 59-60, 1988.

IV. 결 론

통신용 IC 등에 응용될 수 있는 BICMOS 게이트 어레이 공정 및 소자 개발을 위해 입출력부에는

9. Yoji Nishio, Shinji Kadono, "Applications of i-BICMOS Technology," Hitachi Review, pp. 225-230, Vol. 35, No. 5, 1986.
10. Hitachi, "Bipolar와 CMOS를 기본 논리회로에 조합하여 고속및 저소비전력의 LSI를 구현한다." Nikei Electronics, pp. 209-229, Aug., 1985.
11. A. S GROVE, Physics and technology of Semiconductor Devices, Chapter 6, 7, Wiley, 1967.
12. IEDM, BICMOS technology and Design techniques, chapter 2, 3, 1987.



朴致善(Chi Sun PARK) 正會員

1958年1月15日生

81年2月：漢陽大材料工學科 卒業

83年2月：同大學院 材料工學科 卒業

83年3月～85年7月：金星半導體Bipolar
製品技術科 勤務

85年7月～89年3月：金星半導體研究所
勤務

86年7月～現在：亞洲大電子工學科博士
課程

主關心分野：BICMOS 素子開發, CCD
공정및 素子開發分野等임.