

## 論 文

# 다중기록 방식에 의한 대용량 시간 스위치의 구성에 관한 연구

正會員 趙 鏞 鉉,\* 正會員 吳 暢 烈,\*  
正會員 朴 權 喆,\*\* 正會員 朴 恒 九\*\*

## A Study on the Composition of Large Capacity Time Switch by Multi-write Method

Yong Hyun CHO\*, Chang Ryaul OH\*, Kwon Chul PARK,\*\*  
Hang Gu BAHK\*\* *Regular Members*

**要 約** 본 연구에서는 일정한 용량 및 호출시간을 가진 메모리 소자로 기본단위의 시간 스위치를 구성하고, 이 스위치를 프레임(가로)과 그룹(세로)별로 배열하는 다중기록 방식에 의한 대용량(NK 바이트) 시간 스위치의 실현 방안을 제시하였다. 또한 62.5 ns 호출시간 및 1K 바이트 용량의 CMOS SRAM을 이용하여 1K 바이트 용량 시간 스위치를 기본단위로 구성하고, 제시된 다중기록 방식에 의해 현재의 반도체 기술로 실현에 어려움이 있는 8K 바이트 이상의 대용량 시간 스위치를 구성하였다.

**ABSTRACT** This paper describes a composition of time switch with a large capacity(NK byte) by multi-write method. The method arranged a basic unit in a plane and a group, which is composed by 1K byte time switch using a memory elements with a fixed access time and capacity. And the time switch of large capacity is composed by multi-write method, which is more than 8K byte capacity with many constraints by using today's semiconductor development techniques, then a basic unit is the 1K byte time switch using a CMOS SRAM with 62.5ns access time and 1K byte capacity.

### I. 서 론

1970년 프랑스에서 개발된 E10 교환기는 통화

로 스위치에 처음으로 PCM(pulse code modulation) 시분할 방식을 사용한 최초의 디지털 교환기이다. 이는 통화하고자하는 두 통화자의 부호화된 음성신호가 다중화(multiplexing)된 데이터 스트림(stream)상의 임의의 두 타임슬롯(time slot)을 점유하게 되며, 디지털 교환기의 스위칭 네트워크(switching network)는 이 두개의 타임슬롯을 상호 교환함으로써 통화를 이루게

\*嶺南工業專門大學 電子科  
Dept. of Elec. Eng., Yeungnam Junior College  
of Technology, Daegu, Korea.

\*\*韓國電子通信研究所  
Electronics and Telecommunication Research Institute,  
DaeJeon, Korea.

論文番號 : 89-31(接受 1989. 2. 27)

한다. 디지털 스위칭 네트워크를 구성하는 스위치로는 logic gate나 멀티플렉스(multiplexer)IC를 이용하여 한 스트림내의 타임슬롯을 다른 스트림내의 타임슬롯으로 변환 시켜주는 공간 스위치(space switch), 메모리 소자나 쉬프트 레지스터(shift register)등을 이용하여 다중화된 데이터 스트림(하이웨이 (highway))상에서 타임슬롯을 상호 교환하는 시간스위치(time switch)로 구성된다<sup>(1)</sup>. 따라서 대용량의 교환기는 이들 스위치의 대용량화로 이루어진다.

본 논문에서는 대용량 시간 스위치의 실현을 위한 방법으로 메모리나 쉬프트 레지스터를 이용한 방법에 대해서 논하고, 이들 방법에서 발생하는 문제점들을 고찰한 후<sup>(2)</sup>, 이 문제점들을 해결하기 위한 새로운 구성 방안으로 다중기록(multi-write) 방식을 제안하고, 이 방식에 의해 62.5ns 호출시간(access time)을 가진 메모리 소자를 이용하여 대용량 교환기 개발에 적용할 수 있는 대용량 시간 스위치를 실현하였다.

## II. 시간 스위치(Time Switch)의 구성 방법

입력 하이웨이(incomming subhighway: ISH)를 통해서 입력되는 다중화된 타임슬롯 데이터는 1단(single stage)의 시간 스위치에 의해서 상호 교환된다. 그림1은 시간 스위치의 기본구성도이다<sup>(3)</sup>.

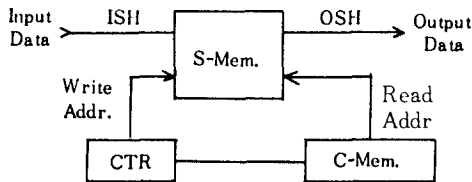


그림1. 기본 시간 스위치 구성도.  
Basic Time Switch Configuration.

그림1에서 처럼 시간 스위치는 타임슬롯 데이터를 출력 SHW(outgoing subhighway: OSH)로 내보내 질때까지 일시적으로 저장하는 음성 메모리(speech memory: S-Mem.), S-Mem.의 번지 지장과 스위칭을 위한 읽음이나 기록을 제어하는 제어 메모리(control memory: C-Mem.), 그리고 S-Mem.의 순차적 기록이나 C-Mem.의 내용을 순차적으로 읽어내기 위한 번지를 제공하는 클럭 계수기(clock counter: CTR)로 구성된다.

시간 스위치의 용량 증대는 교환기에서 스위칭단(switching stage)수를 줄일 수 있어 스위칭 네트워크의 제어가 용이하게 되고, 하드웨어량이 줄어들며, 주변회로의 설계 역시 용이하게 된다. 또한 대용량 시간 스위치를 이용하면 별도의 집선기(concentrator)가 필요없게 되며, 빌딩블럭 구조로 확장이 쉽고, 종합정보통신망(integrated service digital network)에 대비한 다양한 서비스 장치들을 부착할 수 있으며, 신기술 및 새로운 서비스 수용에 용이하게 대처할 수 있다.

지금까지 발표된 타임슬롯교환(time slot interchange: TSI)을 위한 시간 스위치는 메모리 소자나 고속의 쉬프트 레지스터를 사용하여 구성하였다. 먼저 메모리 소자를 이용할 경우 시간 스위치의 용량은 메모리 소자의 호출 시간에 의존한다. 즉 수식으로 나타내면

$$n = T / (2 t_c) \quad (1)$$

이다. 여기서 n=다중화 되어진 타임슬롯 수, T=음성신호의 표본화 주기(sampling period)(8Khz 표본화시: T=125μs), t<sub>c</sub>=메모리 호출시간(ns)이다. 식(1)에서 n는 T에 비례하고, t<sub>c</sub>에 반비례하여 시간 스위치의 타임슬롯 수n를 크게 하기 위해서는 전화 음성에서 신호를 8Khz로 표본화할 경우 t<sub>c</sub>를 작게하여야 한다. 따라서 메모리 소자를 이용할 경우 시간 스위치의 용량 별 조건을 살펴보면 표1과 같다.

표1. 용량별 시간 스위치의 조건.  
Conditions of Time Switch on Capacity.

항목	S-Mem.	C-Mem.	$t_c$ (ns)	시스템클럭(Mhz)
용량	소 자	소 자		
512	0.5K × 8	0.5K × 8	125	16.34 4
1024	1 K × 8	1 K × 8	62.5	32.768
2048	2 K × 8	2 K × 11	31	65
4096	4 K × 8	4 K × 12	15	130
8192	8 K × 8	8 K × 13	7.5	260
$n \times 1024$	$nK \times 8$	$nK (10 + \log_2 n)$	$62.5 \times 1/n$	$32.768 \times n$

그러나 일정한 용량의 시간 스위치 구성시 사용되는 메모리 소자의 호출시간(s)를 줄이기 위해 제안된 방식들을 살펴보면 다음과 같다.

먼저 기본 방식으로는 직렬로 입력되는 8비트의 음성신호를 병렬로 변환시켜 8개 하이웨이상에 배열하고, 이 신호가 저장되는 음성 메모리를 병렬로 구성하여, 8개 하이웨이를 동시에 교환 처리한 후 다시 변환하는 방식이 있다. 이때 요구되는 음성 메모리의 호출시간은  $s$ 가 된다. 기본 방식에서 음성 메모리의 입력측을  $n_1$ 개의 뱅크(bank)로 나누고 출력측을 평행으로 호출하는 방식이 있으며, 요구되는 음성 메모리소자의 호출시간은  $1/2(1+n_1) \cdot s$ 가 되나, 이 방식은 음성 메모리를 여러 개의 뱅크로 나누어 호출함으로써 통화로 선택에 제약이 따르게 된다. 또한 음성 메모리의 입력측을  $n_1$ 개, 출력측을  $n_2$ 개 뱅크로 나누어 양쪽을 평행으로 호출하는 방안이 있다. 이때 음성 메모리 소자의 호출시간은  $1/2 \cdot (1/n_1 + 1/n_2) \cdot s$ 로 감소시킬 수 있으나, 여러개의 뱅크로 음성 메모리를 나누어 호출함으로써 전 방식처럼 통화로 선택에 제한이 따르고 호(call)의 blocking이 발생하게 된다. 또 음성 메모리를 두개의 뱅크로 나누어 읽음(read)과 기록(write)을 분리해서 호출하는 음성 메모리 읽음 기록 분리방안이 있다. 이 방식 역시 통화로 선택에 제한이 따르거나 혹은 통화로 선택에는 제약이 없으나 메모리의 용량이

두배가 요구되는 단점이 있다.

따라서 위에서 제시된 방식으로 시간 스위치 구성시는 반드시 통화로 선택에 의한 호의 blocking 이나 메모리의 용량, 그리고 통화로 전체의 그룹지연(group delay)등의 제약이 따라 정확한 검토후에 이용하여야 한다<sup>6)</sup>.

그외 ECL과 같은 고속 메모리 소자를 이용하는 방법이 있으나 집적도가 낮고 소비 전력이 많으며 인터페이스(interface)가 매우 어려운 점이 있다<sup>6)</sup>. 또한 고속의 쉬프트 레지스터를 이용한 고속 디지털 시간 스위치는 일반 메모리 소자를 이용한 스위치보다 시분할 교환 속도가 약 10배 정도 빨리 수행될 수 있다. 그러나  $n$ =채널(channel) 용량,  $C$ =비트 속도(bit rate),  $v$ =교환 속도라하면  $v=n \times c$ 의 관계식으로 표시되어  $n$ 를 일정하게 할 때  $v$ 를 증가시키기 위해서는  $c$ 의 증가가 요구된다. 이를 극복하기 위해 직렬교환이나 병렬 교환 방식이 있으나 범용의 TTL gate로 구성할 경우 많은 gate가 요구되어 비경제적이며 LSI화가 필연적으로 따라서 현재의 반도체 기술로는 소용량의 사설 교환기(PABX) 나 위성 통신용 시간스위치 구성에만 이용될 수 있다.

따라서 위에서 서술한 일반적인 시간 스위치 구성의 문제점을 고려하여 현재 개발 사용 중인 반도체 메모리 소자 CMOS SRAM을 이용하여 다중기록 방식에 의한 대용량 스위치 구성을 실현하였다.

### Ⅲ. 다중기록 (Multi-write) 방식에 의한 시간 스위치의 구성

이 방안은 일정한 용량 및 호출시간을 가진 메모리 소자로 기본 단위의 시간 스위치를 구성하고, 이것을 프레임(가로)과 그룹(세로)별로 배열하여 입력 하이웨이로 입력되는 데이터를 그룹별로 각각 동시에 기록하고, 출력 하이웨이에 출력되는 데이터는 프레임별로 동시에 어드레싱(addressing)하여 읽음으로서, 기록은 각 그룹별로 sequential write, 읽음은 각 프레임별로 제어 메모리에 의해 random read 함으로서 메모리 소자의 호출시간에 무관한 대용량 시간 스위치 구성 방안이다.

제안된 방안으로 구성한 시간 스위치에서 요구되는 메모리 용량(M)과 기본 구성 단위의 시간 스위치 용량(C)을 살펴보면

$$M = n \times C$$

$$C = (125 \times 10^3) / t_c \times 1 / 2$$

이다. 여기서 n=1회에 기록할 수 있는 타임슬롯 수, t<sub>c</sub>는 메모리 호출시간(ns)이다. 따라서 n과 t<sub>c</sub>에 대한 M과 C의 관계를 보면 표2와 같다.

표2에서 n=1, 즉 1회에 기록할 수 있는 타임슬롯 수를 1로 할때는 기본단위의 시간 스위치로, 메모리에 의한 일반적인 구성 방식과 동일

표2. 다중기록 방식에 의한 용량별 시간 스위치 조건.  
Conditions of Time Switch on Capacity by Multi-write Method.

n	t <sub>c</sub> = 15.5 (ns)		t <sub>c</sub> = 31 (ns)		t <sub>c</sub> = 62.5 (ns)		t <sub>c</sub> = 122 (ns)	
	C	M	C	M	C	M	C	M
n=1	4096	4096	2048	2048	1024	1024	512	512
n=2	8192	16K	4096	8192	2048	4096	1024	2048
n=4	16K	64K	8K	32K	4K	16K	2048	8K
n=8	32K	256K	16K	128K	8K	64K	4K	32K
n=16	64K	1M	32K	512K	16K	256K	8K	128K
n=32	128K	4M	64K	2M	32K	1M	16K	512K
n=64	256K	16M	128K	8M	64K	4M	32K	1M

\*\* n = 1 회에 기록할 수 있는 타임슬롯 수  
t = 메모리 소자의 호출시간

며, n가 2이상일 경우는 메모리 소자의 호출시간을 빨리하지 않고도 대용량 시간 스위치의 구성이 가능하게 되나, 그러나 n<sup>2</sup>에 비례하는 메모리 용량이 요구된다. 이는 기본 단위 시간 스위치 구성에 이용되는 메모리소자의 호출시간에 의존되어 빠른 소자를 이용함으로써 해결될 수 있다.

다음은 62.5ns의 호출시간과 1K 바이트 용량을 가진 메모리소자를 이용 기본 단위 스위치로 1K바이트 용량의 음성 메모리 및 제어 메모리

스위치 구성에 대해 서술한다. 또한 이 스위치를 이용한 8K 바이트 및 NK 바이트 용량의 시간 스위치 구성에 대해 서술하였다.

#### Ⅲ-1 음성 메모리 스위치(Speech Memory Switch)

음성 메모리 스위치는 입력 서브하이웨이로부터 입력되는 음성 데이터를 순차적으로 쓰고 임의로 읽어 냄으로서 타임슬롯교환 기능을 수행한다. 임의로 읽는 것은 제어 메모리에 저장

된 데이터로부터 제어되며, 반면 순차적으로 쓰는 것은 공급된 클럭의 분주로 계수기에서 생성된 번지(address)에 의해 제어된다.

그림2는 대용량 시간 스위치의 기본 구성 단위인 1K 바이트 용량의 음성 메모리 스위치 구성도이다.

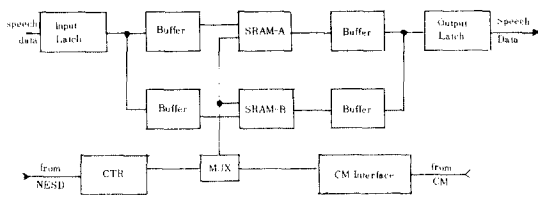


그림2. 1K 바이트 음성 메모리 스위치의 구성도.  
Block Diagram of 1 K Byte Speech Memory Switch.

그림2에서 SRAM-A와 SRAM-B는 시간 스위치의 음성 메모리 부분으로 한 주기 동안에는 음성 데이터를 SRAM-A에 기록하고 동시에 SRAM-B의 내용을 읽으며, 다음 주기 동안은 SRAM-A의 내용을 읽어 내고 SRAM-B에 음성 데이터를 기록하게 된다. 완충소자(buffer)는 SRAM-A와 SRAM-B의 읽음과 기록을 제어하며, 멀티플렉스(multiplexer: MUX)는 계수기(counter: CTR)로부터 공급되는 순차 기록 번지(sequential write address)와 CM 인터페이스로부터 공급되는 임의 읽음 번지(random read address)를 선택하는 기능을 가지고 있다. 여기서 SRAM-A와 SRAM-B는 1,024 타임슬롯을 가진 메모리이다.

### III-2 제어 메모리 스위치(Control Memory Switch)

제어 메모리 스위치는 음성 메모리 스위치를 제어하기 위한 임의의 읽는 번지를 공급한다. 이때 읽는 번지는 시간 스위치를 제어하는 프로세서로부터 수신되며 그 구성은 그림3과 같다.

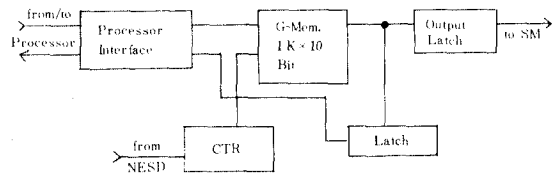


그림3. 1K 바이트 제어 메모리 스위치의 구성도.  
Block Diagram of 1K Byte Control Memory Switch.

제어 메모리 스위치는 프로세서와 데이터를 송·수신하기 위한 프로세서 인터페이스(processor interface), 이 데이터를 저장하는 C-Mem., C-Mem.의 데이터를 다시 읽어 들이기 위한 latch 모듈, C-Mem에 저장된 데이터를 순차적으로 읽기위한 번지를 제공하는 계수기(counter: CTR), 읽혀진 데이터를 음성 메모리 스위치로 전송하는 output latch로 구성된다.

### III-3 대용량 시간 스위치의 구성

구성된 음성 메모리 스위치와 제어 메모리 스위치를 이용하여 8K 바이트 이상의 시간 스위치를 구성하였다. 그림4는 대용량 시간 스위치중 8K 바이트 용량을 실현한 구성도이다.

그림4에서 SM00~SM07까지의 그룹(세로) 0는 입력 하이웨이 ISH0로 0~1,023번지까지 8.192Mb/s 속도의 1,024개 타임슬롯 데이터가 입력될 때 동시에 각 SM에 기록되며, SM10~SM17까지의 그룹1은 ISH1, SM20~SM27까지 그룹2는 ISH2, 이와같은 방법으로 SM30~SM37, SM40~SM47, SM50~SM57, SM60~SM67, 그리고 SM70~SM77까지 각 그룹3, 4, 5, 6, 7은 각각 ISH3, ISH4, ISH5, ISH6, ISH7로부터 입력되는 8.192Mb/s속도의 1,024개 타임슬롯 데이터를 차례로 동시에 기록하게 된다.

또한 출력 하이웨이 OSH0로는 SM00~SM07까지 프레임(가로)0의 0~8,191번지에 기록된 데이터중 임의의 번지 데이터를 8.192Mb/s 속도로 1,024개 타임슬롯 데이터를 동시에 읽어 낸다. 이와같이 각 출력 하이웨이 OSH1, OSH

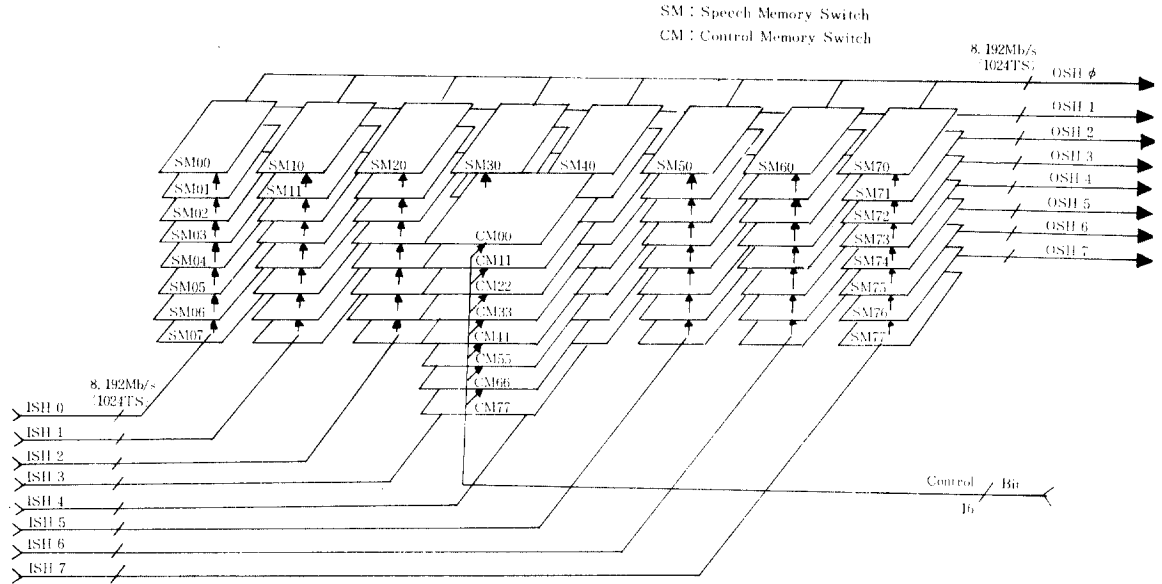


그림4. 8K 바이트 시간 스위치의 구성도.  
Block Diagram of 8K Byte Time Switch.

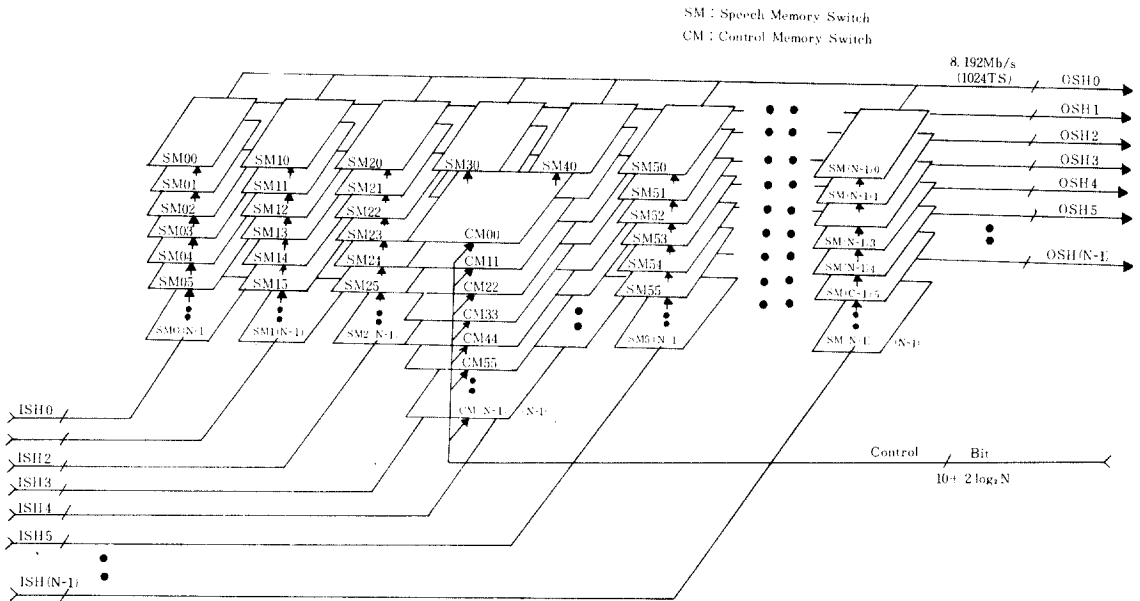


그림5. NK 바이트 시간 스위치의 구성도.  
Block Diagram of NK Byte Time Switch.

2, OSH3, OSH4, OSH5, OSH6, 그리고 OSH7으로는 각각 SM01~SM71까지 프레임1, SM02~SM72의 프레임2, SM03~SM73의 프레임3, SM04~SM74의 프레임4, SM05~SM75의 프레임5, SM06~SM76의 프레임6, 그리고 SM07~SM77까지의 프레임7에 각각 기록된 8,192개 타임슬롯 데이터중 차례로 1,024개씩을 8.192Mb/s 속도로 동시에 읽어낸다.

이상에서 처럼 각 ISH로 입력되는 8.192Mb/s 속도의 1,024개 타임슬롯 데이터는 SM의 각 그룹(세로) 별로 동시에 기록되고, OSH로는 8.192Mb/s 속도로 SM의 각 프레임(가로) 별 8,192개 타임슬롯 데이터중 1,024개를 동시에 어드레싱(addressing)하여 읽어낸다.

한편 제어 메모리 CM00~CM77까지는 시간 스위치의 제어 프로세서로부터 16비트 데이터를 수신 저장하며, CM00은 SM의 프레임0 즉 SM00~SM70에 연결된 OSH0으로 음성 데이터를 출력시킨다. 이와같이 각 CM11, CM22, CM33, CM44, CM55, CM66, 그리고 CM77은 각 프레임 1,2,3,4,5,6,7에 기록된 8.192개 타임슬롯 데이터중 1,024개 데이터씩을 OSH1, OSH2, OSH3, OSH4, OSH5, OSH6, OSH7로 8.192Mb/s로 출력시키기 위한 제어 데이터인 임의 읽음 번지를 제공한다.

그림5는 NK바이트 용량의 시간 스위치를 실현한 구성도이다.

그림5에서 SM00~SM0(N-1)까지의 그룹은 입력 하이웨이 ISH0로 0~1,023번지까지 8.192Mb/s 속도의 1,024개 타임슬롯 데이터가 입력될때 동시에 각 SM에 기록되며, SM10~SM1(N-1)까지의 그룹은 ISH1의 1,024~2,047 번지까지의 1,024개 타임슬롯 데이터를 기록하게 된다. 이와같은 방법으로 SM(N-1)0~SM(N-1)(N-1)까지는 ISH(N-1)로부터 입력되는 8.192Mb/s 속도의 1,024개 타임슬롯 데이터가 동시에 기록된다. 또한 출력 하이웨이 OSH0로는 SM00~SM(N-1)0까지의 0~(1,024×N-1) 번지에 기록된 데이터중 임의 번지 데이터를 8.192Mb/s 속도로 1,024개씩 읽어낸다. 이와같은

방법으로 OSH(N-1)은 SM의 프레임(N-1) 즉 SMO(N-1)~SM(N-1Z)(N-1)까지의 0~(1,024×N-1)번지에 기록된 데이터중 임의의 데이터를 8.192Mb/s 속도로 1,024개를 동시에 읽어낸다. 제어 메모리 CM00~CM(N-1)(N-1)까지는 시간 스위치의 제어 프로세서부터 (10+2log<sub>2</sub>N)비트 데이터를 각각 동시에 수신한 후 처리하며, 이때 CM00은 SM의 프레임0 즉 SM00~SM(N-1)0까지에 연결된 OSH0로 SM의 (1,024×N)개 타임슬롯 데이터중 9.192Mb/s 속도로 1,024개를 출력시키기 위한 임의 읽음 번지를 제공한다. 이와같은 방법으로 CM(N-1)(N-1)은 SM의 프레임(N-1) 즉 SMO(N-1)~SM(N-1)(N-1)까지에 연결된 OSH(N-1)로 SM의 (1,024×N)개 데이터중 1,024rofmf 8.192Mb/s 속도로 출력시키기 위한 임의 읽음 번지를 제공한다.

따라서 62.5 ns의 호출시간 및 1K 바이트 용량을 가진 메모리 소자를 이용하여 다중기록 방식으로 1K 바이트부터 NK 바이트 용량의 시간 스위치를 실현할 수 있어, 고속의 메모리 소자나 쉬프트 레지스터등을 이용할 때 문제점을 해결할 수 있었다.

#### IV. 결 론

디지털 교환기에서 타임슬롯의 시간적 교환을 위해서는 시간 스위치가 요구되며, 그 구성 방법으로는 메모리 소자나 쉬프트 레지스터등을 이용하게 된다. 이때 시간 스위치의 용량은 이용되는 소자의 속도(호출시간)에 의존하게 된다.

본 논문에서는 기본 단위의 스위치를 그룹(세로)과 프레임(가로)으로 배열한 다중 기록 방식을 제안하고, 이 방식에 따라 대용량 시간 스위치의 구성시 고속의 메모리 소자나 쉬프트 레지스터등을 이용할 때 발생하는 문제점들을 해결하였으며, 현재 반도체 기술로 실현에 어려움이 있는 8K 바이트 용량 이상의 시간 스위치 실현을 가능하게 하였다. 또한 62.5 ns 호출시간

과 1K 바이트 용량의 메모리 소자로 기본 단위의 1K 바이트 시간 스위치를 구성하고, 제안된 다중 기록 방식으로 8K 바이트부터 NK 바이트까지의 대용량시간 스위치를 실현한 구성도를 보여주었다.

향후 dual port 메모리 소자를 이용하거나 메모리 소자의 고속화<sup>(7)</sup>가 이루어지면 기본 구성단위의 용량을 크게하여, 본 연구에서 제안한 방식을 적용하면 더욱더 대용량의 시간 스위치 실현이 용이하게 될 것이며, 이에 대한 연구가 계속되어야 할 것이다.

이 연구는 1988년도 문교부 학술연구 조성비 지원에 의하여 연구되었음.

參 考 文 獻

1. A. E. Joel, and et al., "Digital Switching How It Has Developed," IEEE Trans. comm., Vol. com-27, July, 1979, pp. 948-959.
2. S. Tomita, "Some Aspects of Time-Division Data Switch Design," Proceeding of the IEEE, Vol.65, No. 9, Sept. 1977, pp. 1295-1304.
3. J. Bellamy, "Digital Telephony," John Wiley & Sons, Inc., 1982, pp. 240-264.
4. Y. Tamamoto, and H. Miyanaga, et al., "A Novel for High-Speed Time Switch Approaching Memory Read Cycle Limit," IEEE Trans. comm., Vol. com-34, No. 9, Sept., 1986, pp. 953-955.
5. Y.H. Cho, and et al., "An Application of CMOS Gate Array Integrated Circuits to Switching Network and Digital Line Concentrator," CAS87-89, 1987, pp. 95-101.
6. E. Garetti, and P. Belforte, et al., "New Switching Techniques for Wideband and ISDN Environment," ISS'84 Florence, 7-11, Session 24, May, 1984, pp. 1-8.
7. H.R. Waltersdorf, "Choosing Packages Wisely Pays off in I/O, Speed, Space," IEEE Electronic Design, June 19, 1986, pp. 107-111.



趙 鍾 鉉 (Yong Hyun CHO) 正會員  
 1979年 2月 : 慶北大學校 電子工學科 卒業  
 1981年 2月 : 慶北大學校 大學院 電子工學科 工學碩士  
 1989年 3月 ~ 現在 : 慶北大學校 大學院 電子工學科 博士過程  
 1981年 6月 ~ 1983年 8月 : 軍務  
 1983年 9月 ~ 1984年 2月 : 三星半導體通信(株) 勤務  
 1984年 3月 ~ 1987年 2月 : 韓國電子通信研究所 TDX개발단 勤務  
 1987年 3 ~ 現在 : 嶺南工業專門大學 電子科 勤務



吳 暢 烈 (Chang Ryaul OH) 正會員  
 1964年 2月 : 嶺南大學校 土木工學科 卒業  
 1983年 2月 : 嶺南大學校 大學院 電子工學科 工學碩士  
 1958年 7月 ~ 1967年 2月 : 空軍 通信隊 勤務  
 1967年 3月 ~ 1980年 2月 : 慶北교위산하 工業高等學校 勤務 (전기과, 1級 正교사)  
 1980年 3月 ~ 現在 : 嶺南工業專門大學 電子科 教授  
 1979年 8月 ~ 工業械測制御(電子技術士 資格 取得)





朴 權 喆 (Kwon Chul PARK) 正會員  
1953年10月8日生  
1977年2月：高麗大學校 電子工學科 工學士  
1979年2月：高麗大學校 大學院 電子工學科 碩士  
1988年2月：高麗大學校 大學院 電子工學科 博士  
1982年7月：韓國電子通信研究所 研究員  
1983年3月：韓國電子通信研究所 先任研究員  
1989年8月 現在：韓國電子通信研究所 交換回路 開發室長



朴 恒 九 (Hang Gu BARK) 正會員  
1946年8月5日生  
1970年2月：漢陽大 電子工學科 工學士  
1979年2月：高麗大學院 電子工學科 碩士  
1985年8月：高麗大學院 電子工學科 博士  
1972年6月：KIST방식기기研究室 研究院  
1977年12月：韓國通信技術研究所 先任研究員  
1981年12月：韓國電子通信研究所 責任研究員  
1989年8月 現在：韓國電子通信研究所 TDX開發團長