

## 갈륨비소 MESFET를 이용한 고이득 연산 증폭기의 입력단 설계

正會員 金 學 善\* 正會員 金 殷 魯\* 正會員 李 亨 宰\*

### Design of High-Gain OP AMP Input Stage Using GaAs MESFETs

Hak Sun KIM\*, Eun Ro KIM\*, Hyung Jae LEE\* *Regular Members*

#### 要 約

고속 아날로그 시스템, 위성통신시스템, video signal processing 및 optical fiber interface 회로등에서 높은 전자이동도로 인하여 고주파 특성이 우수한 GaAs 연산 증폭기는 필수적인 구성요소이다. 하지만, 낮은 전담컨덕턴스 및 low frequency dispersion 등의 현상때문에 높은 전압이득을 얻을 수 없다는 단점을 가지고 있다.

따라서 본 논문에서는 GaAs MESFET를 이용한 증폭기의 이득을 증가시키기 위한 기법을 비교분석하고 기존의 전류 미러와 새로운 구성의 전류 미러를 설계하여 회로의 안정화를 꾀하였다.

높은 차동전압이득을 얻기 위하여 단일증폭기의 bootstrap 이득증가기법을 이용하여 차동입력 회로를 구성하였으며, 회로의 안정도 및 우수한 주파수 특성을 얻기위하여 common mode feedback을 사용하였다.

Pspice를 통한 시뮬레이션 결과 설계된 회로의 이득이 18.6dB 향상되었고 안정도 및 주파수특성면에서 우수함을 확인할 수 있었다.

#### ABSTRACT

In the high speed analog system, satellite communication system, video signal processing and optical fiber interface circuits, GaAs high gain operational amplifier is advantageous due to its high electron mobility, peak electron velocity and semi-insulating substrate. But it is difficult to obtain a high gain because of its low transconductance and other drawbacks, such as low frequency dispersion and process variation. Therefore in this paper, a circuit techniques for improving the voltage gain of the GaAs MESFET amplifier is presented. Also, various types of existing current mirror and current mirror proposed are compared.

To obtain the high differential gain, bootstrap gain enhancement technique is used and common mode feedback is employed in differential amplifier.

The simulation results show that gain is higher than that of basic amplifier about 18.6 dB, and stability and frequency performance of differential amplifier are much improved.

\*韓國航空大學大學院 航空電子工學科  
Dept. of Avionics Engineering, Graduate School  
of Hankuk Aviation University  
論文番號 : 92 - 8 (接受1991. 10. 14)

## I. 서 론

고속통신시스템, 위성통신시스템에서 소형, 고신뢰도 및 경량의 시스템을 구현하기 위하여 기가 주파수대역에서 동작하는 모놀리틱 형태의 고이득 광대역 연산증폭기는 필수적인 소자이다. 시스템의 성능을 향상시키기 위하여 radiation hardness 특성이 우수한 갈륨비소 또는 질리콘 공정기술을 이용한 모놀리틱 증폭기가 연구 개발되고 있는 실정이다.

GaAs MESFET device technology는 silicon device technology에 비해 전하이동도가 높기 때문에 보다 넓은 대역에서 동작할 수 있는 증폭기를 제공할 수 있다. 최근에는 96GHz의 차단주파수를 갖는 MESFET가 보고되었다<sup>1)</sup>.

또한 video signal processing, optical fiber interface, 마이크로웨이브 통신회로, 스위치드 커패시터 필터, A/D, D/A 변환기 등에서도 모놀리틱 광대역 연산 증폭기는 필수적인 구성요소이다<sup>2)</sup>.

GaAs를 이용한 연산 증폭기의 연구는 단일 증폭기에 대한 연구를 시작으로 NMOS 회로에서 사용되는 회로설계 기법을 응용하여 150MHz의 이득 대역폭을 갖는 연산 증폭기를 제작하였으며, 최근에는 MBE 공법, air bridge 공법등을 이용하여 10GHz의 대역폭을 갖는 연산 증폭기 제작에 성공하였다<sup>3)</sup>.

그러나 GaAs MESFET을 이용한 연산 증폭기의 설계에 있어서 다음의 몇가지 문제점을 안고 있다<sup>4)</sup>.

1) 질리콘 쌍극성 트랜지스터에 비해 갈륨비소 MESFET는 낮은 전달컨덕턴스(transconductance)와 출력 컨덕턴스(output conductance)를 갖고 있어서 고이득을 얻기 힘들다.

2) MESFET는 일반적으로 100KHz이하로 주파수가 감소함에 따라 드레인 컨덕턴스가 감소하거나 전달컨덕턴스가 증가하는 현상인 low frequency dispersion 및 backgating 효과를 갖고 있다.

3) GaAs MESFET 공정에서 드레인 전류상수 K와 문턱전압  $V_t$ 가 균일하지 못하다.

4) 홀의 전하이동도와 쇼트키 장벽의 좋지 못한 특성으로 인한 P 채널 디바이스를 사용할 수 없다는 점등을 들 수 있다.

이들 중 회로설계에 있어서 GaAs MESFET의 가장 큰 단점은 고주파에서 자체 전압이득( $g_{m0}$ )이 낮아진다는 점이다. 이것은 증폭기의 이득을 제한하므로 아

날로그 회로 전체의 정확도에 문제를 발생시킨다. 또한 P 채널 디바이스의 결함으로 인해 상모 회로를 만들 수 없어서 바이어스를 가하는데 어려움이 있다.

연산 증폭기의 바이어스 조건을 안정화하기 위하여 아날로그 집적회로에서 전류 미러를 사용하고 있다. 바이어스에 사용된 전류 미러는 공급전원의 변동이나 온도의 변화에 회로의 성능이 크게 영향을 받지 않으며 die area 측면에서 살펴보면 바이어스 전류값이 작은 경우에 저항을 사용하는 것보다 훨씬 경제적이다.

본 논문에서는 연산 증폭기의 입력단을 설계하기 위하여 기존 증폭기의 비교 분석 및 새로운 방향을 제시 하였으며 안정화를 위하여 전류 미러를 조사 분석하고 새로운 회로를 설계하였으며 이를 기본 회로로 하여 연산 증폭기의 입력단인 차동 증폭기를 설계, Pspice를 이용하여 시뮬레이션 하였다.

시뮬레이션 결과, 설계된 회로는 기보고된 증폭기에 비하여 이득이 증가되었으며 선형 역상 전류 미러는 기존의 전류 미러에 비하여 광대역에 걸친 안정된 특성을 나타내었다. 또한 차동증폭기의 경우 이득의 향상과 안정도가 증가되었다.

## II. GaAs MESFET를 이용한 단일증폭기의 비교분석

고이득의 증폭기를 설계하기 위하여 몇가지의 기본회로를 분석하였다. 일반적으로 쓰이는 단일 증폭기를 그림 1에 나타내었다.

그림 1(a)의 증폭기는 능동부하를 사용한 단일 증폭기이다. 이 회로는 MOS 회로에서의 증가형 구동 트랜지스터가 여기서 공핍형 디바이스로 대체되었다는 점 이외에는 일반적으로 아날로그 회로 설계에 사용된다. 소신호 해석을 하면 전압이득은 다음과 같이 근사화된다.

$$A_{v1} \approx -g_{m1} / (g_{ds1} + g_{ds2}) \quad (1)$$

여기서  $g_{m1}$ 은 B1의 전달컨덕턴스이고  $g_{ds1}$ 와  $g_{ds2}$ 는 각각 B1, B2의 드레인-소오스 컨덕턴스이다.

이 회로는 이득단의 입력과 출력단자 사이에 존재하는 커패시터가 실제 크기의  $(1+A_v)$ 배 증가되는 밀러 효과(Miller effect)에 의해 고주파에서의 이득이 상당한 영향을 받고 대역폭 또한 이 현상으로 인해 줄어든다.

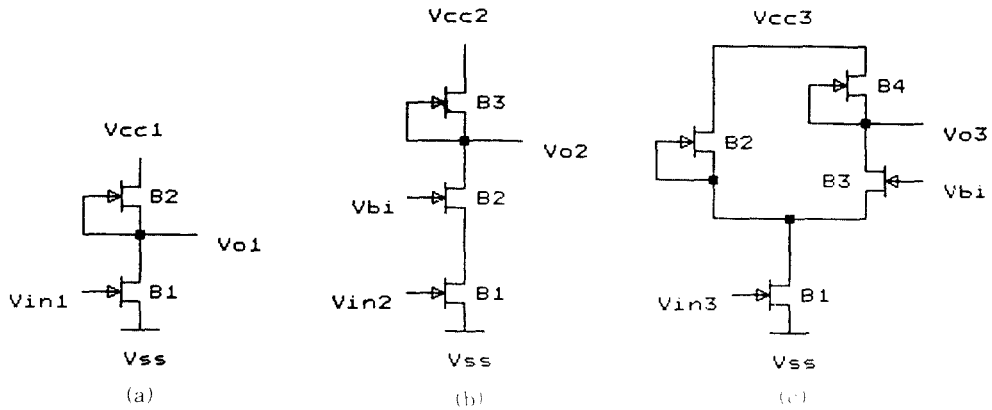


그림 1. 일반적인 단단 증폭기 회로  
Fig. 1. Circuit diagrams of the general amplifier.

단단 증폭기의 이득과 대역폭을 증가시키기 위해 아날로그 집적회로 설계에서 cascode 이득단의 사용은 밀리효과를 줄일수 있는 장점이 있다[1].

그림 1(b)는 공핍형 GaAs MESFET를 이용한 회로에 이 기법을 적용한 예이다. 여기서 B2는 입력과 출력단자를 분리하기 위해 사용된다. 이 경우 이득은 다음과 같이 근사화 될 수 있다.

$$A_{v2} \approx -g_{m1} / g_{m3} \quad (2)$$

이 식에서 이득이 그림 1(a)보다 개선되었음을 알 수 있다. 그러나 이 기법은 전력을 많이 소비하고 역분의 공급전원전압  $V_{b1}$ 가 필요하다는 단점이 있다.

높은 이득을 얻기위하여 이득단을 중속 연결할 수도 있지만 큰 전력소비, 대역폭의 감소, 위상지연등의 문제가 있으므로 그림 1(c)와 같이 공통 소오스단과 공통 게이트단으로 구성되는 cascode 회로기법을 이용한다. 이때 이득은

$$A_{v3} \approx -g_{m1} r_{ds1} \quad (3)$$

로 근사화 되어진다.

B1의 게이트 폭을 B1과 B2의 1/10 정도로 작으면  $r_{ds1}$ 는 상당히 커진다. 따라서 기존의 공통 소오스 증폭기보다 훨씬 큰 이득대역폭을 갖는 cascode 이득단을 설계할 수 있다. 그림 1(c)는 역분의 바이어스 전압이 필요하고 전력소비가 다른 어떤 것보다 크다는 단점을 갖고 있다[2].

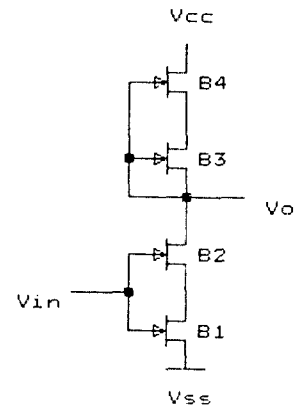


그림 2. bootstrap 부하 및 구동단을 사용한 증폭기  
Fig. 2. Amplifier using bootstrapped load and driver.

그림 2에 B4의 드레인 소오스 전압이 B3의 게이트 소오스전압으로 되는 single cascode bootstrap 증폭기를 나타내었다. 이 관계를 수식으로 표현하면,

$$V_{ds4} = -V_{gs4} = |V_{b1}| [1 - \sqrt{W_3/W_4}] \quad (4)$$

와 같다.

B4의 게이트 폭( $W_4$ )은 short channel 공핍형 GaAs MESFET에서 나타날 수 있는 early saturation 현상이 존재한다고 가정할때 B3를 포화영역으로 유지시키기엔 충분한  $V_{ds4}$ 를 갖도록  $W_4$ 보다 크게 정한다.  $V_{ds4} = V_{gs4} - V_T$ 에서 전류포화를 일으키는 long channel FET와는 달리 short channel GaAs

MESFET에서는 보다 낮은 드레인 소스 전압에서 전류포화가 발생한다. 그 결과 B4 디바이스의 게이트 폭을 충분히 크게함으로써 두개의 FET는 공통 게이트 단자에 직렬로 연결되어 높은 이득 포화 영역으로 바이어스될 수 있다. 두개의 self bootstrap 트랜지스터쌍의 출력 임피던스는 피이드백에 의해  $(1+g_{m1}r_{ds1})$ 배 증가된다. 이 증가분은 증폭기 구동단에도 적용될 수 있다.

이 회로의 이득은 근사적으로

$$A_{v1} \approx -g_{m1} / \left( \frac{g_{ds1} g_{ds4}}{g_{m4}} + \frac{g_{ds1} g_{ds2}}{g_{m2}} \right) \quad (5)$$

로 주어진다.

그림 2의 증폭기는 식(5)에서 보는것 처럼 그림 1의 증폭기를 보다 훨씬 높은 이득을 얻을 수 있음을 알 수 있다. 전력소비는 그림 1(a)보다 약간 더 크지만 그림 1(b)나 (c)와는 달리 여분의 공급전원이 필요 없다는 장점이 있다. 회로의 대역폭은 B2의 밀러 커패시턴스에 의해 다소 줄어들지만 그림 1(b)처럼 B2를 cascode 디바이스로 대체함으로써 증가시킬 수 있다.

표 1. 회로에 사용된 트랜지스터의 게이트 폭(단위:  $\mu\text{m}$ )  
Table 1. Gate width of MESFET in the circuits

	그림 1			그림 2에 제
	증폭기 (a)	증폭기 (b)	증폭기 (c)	안된 증폭기
B1	100	100	100	100
B2	50	50	80	500
B3	-	50	20	50
B4	-	-	20	500

회로 시뮬레이션에 사용된 평균 문턱전압은  $-1.02\text{V}$ , 게이트 길이는  $1\mu\text{m}$ 를 사용하였으며 전원전압은 비교를 위하여  $+5\text{V}$ 의 단일전원전압을 사용하였다. 4가지 증폭기에 대한 디바이스의 폭을 표 1에 나타내었다. 구동단 트랜지스터(B1)의 폭은 전류변동에 대한 영향을 최소화 하기 위해  $100\mu\text{m}$ 로 동일하게 한다.

100KHz에서 시뮬레이션된 증폭기의 이득과 식(1)~(5)을 이용한 예상이득을 표 2에 비교하였다. 100 KHz에서는 trap에 관계된 전탄컨덕턴스와 드레인-

소오스 컨덕턴스의 주파수에 대한 영향을 충분히 고려할 수 있다<sup>17)</sup>.

표 2. 이론값과 시뮬레이션값의 비교

Table 2. Comparison of analytical values and simulation results.

회 로	이론값	시뮬레이션 값	전력소비
그림 1 증폭기(a)	14.9	17	43 mW
증폭기(b)	44.7	43	60 mW
1 증폭기(c)	118	125	72 mW
2 증폭기	220	237	55 mW

그림 1(a) 증폭기 이득은 17로서 좋지 못하다. 예상할 수 있는 것처럼 고이득 증폭기는 그림 2의 회로를 이용하여 237정도의 높은 이득을 얻을 수 있다. 구동단과 부하의 부분적인 피이드백은 회로의 유효 이득을 제공해 한다. 계산된 이득과 시뮬레이션된 값과의 차이는 게이트 누설 효과 및 계산상의 근사화에 기인한다.

그림 1(b)와 (c)는 단일 증폭기의 전압이득을 증가시키는데 효과적인 방법이다. 그러나 전력소비가 많고 여분의 공급전원이 필요하다는 사실은 그림 1(a)와 그림 2의 증폭기에 비해 응용범위에 제한을 받는다. 또한 이 회로의 dc 출력 레벨이 그림 1(a)와 그림 2보다 높는데 이것으로 인해 출력단에서 보다 복잡한 level shifting 회로가 요구된다. 그러나 그림 1(c)의 이득은 그림 2의 증폭기에 쓰인 self-bootstrap 부하를 사용함으로써 개선시킬 수 있을 것이다.

### III. 전류 미러의 비교 분석

전류 미러에는 여러 가지 종류가 있다<sup>8,9,10,11)</sup>. 그림 3은 GaAs를 이용한 기존의 동상 비반전 전류 미러 회로이다<sup>12)</sup>. GaAs MESFET의 드레인 전류가 포화영역에 있다고 가정하면 다음과 같이 드레인 전류를 표현할 수 있다.

$$I_d = W F(V_{gs}) \quad (6)$$

여기서 W는 게이트 폭,  $V_{gs}$ 는 게이트-소오스 전압이고 F는  $V_{ds}$ 에 독립인 비선형함수이다. 따라서

FET B1과 B2의 게이트-소오스 전압이 동일하기 때문에 입력전류  $I_{in}$ 과 출력전류  $I_{out}$ 는 다음과 같은 관계를 갖는다.

$$I_{d2} = W_2 F(V_{gs1}) = (W_2/W_1) I_{d1} \quad (7)$$

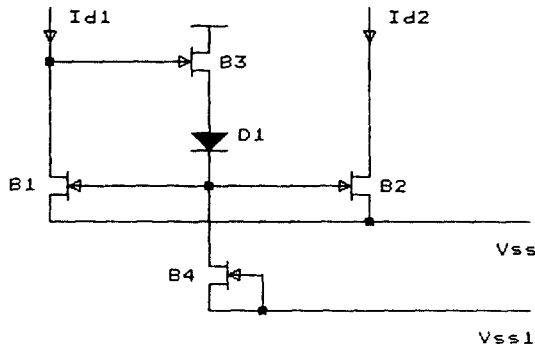


그림 3. 양성 전류 미러  
Fig. 3. Positive current mirror.

이 미러는 대신호에 대해 선형적인 전류 전달 특성을 갖는다. 그러나  $I_{in}$ 의 전류를 제어하기 위해 사용된 피이드백 루프는 원산 증폭기의 주파수 특성을 제한하는 단점이 있다.

### 2. 역상 전류 미러

그림 4(a)는 게이트와 소오스가 상호연결된 N 채널 MESFET 쌍이다. 회로의 동작은 그림 3(b)의 등가회로를 사용하여 설명할 수 있다. 두 개의 MESFET에 대한 소신호 모델에서 증폭 전류원은 중심분리 법의 (가성)수동소자와 함께 분리내에 나타내었다. transmission matrix 표현방법을 사용해서 중심분리의 전류, 전압 관계를 해석하면 다음과 같다.

$$\begin{bmatrix} V_1 \\ I_1 \end{bmatrix} = \begin{bmatrix} 1 & -1/g_{m1} \\ 0 & g_{m1}/g_{m2} \end{bmatrix} \begin{bmatrix} V_2 \\ I_2 \end{bmatrix} \quad (8)$$

만일 단자 2가 부하 임피던스  $Z_L$ 에 연결되어 있으면, 단자 1에서 입력 임피던스는

$$Z_{in} = (g_{m2}/g_{m1}) Z_L + 1/g_{m1} \quad (9)$$

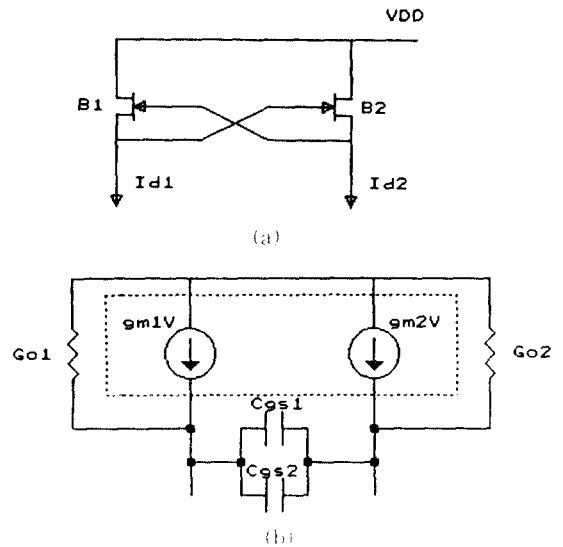


그림 4. 역상 전류 미러  
(a) 회로도 (b) 등가모델

Fig. 4. Negative GaAs current mirror.  
(a) schematic diagram  
(b) equivalent model

보수어진다.

비슷하게, 단자 1에서의 부하 임피던스  $Z_L$ 에 대한 단자 2에서 입력 임피던스는

$$Z_{in} = (g_{m1}/g_{m2}) Z_L + 1/g_{m2} \quad (10)$$

보수어진다.

부하 임피던스  $Z_L$ 과  $Z_L$ 가  $1/g_{m1}$ 과  $1/g_{m2}$  보다 훨씬 더 크다고 가정하면 각 단자에서 입력 임피던스는 다른 단자의 부하 임피던스에 비례한 것이다. 미래 임피던스 특성과 임피던스 변환 특성에 대한 이러한 조건들은 전류 미러를 사용하고자하는 어떤 환경 하에서도 일반적으로 만족하게 된다.

전류 미러의 임피던스 변환 특성을 고주파로의 설계에서 매우 중요하다. 전류 미러가 피이드백 루프에 사용되었을 때 이 단의 단자 특성을 영점(ople)의 수를 최소화하기 안정도 여유(stability margin)를 증가시키고 dynamic 응답을 개선시킨다.

전류 미러의 대신호 동작 특성을 해석할 때 전류 미러의 두 MESFET는 포화영역에 바이어스되어 있다고 가정하면 그레인 전류는 다음과 같이 표현된다.

$$I_{D1} = I_{DSS1} (V_{GS1} / V_T - 1)^2 \quad (11)$$

$$I_{D2} = I_{DSS2} (V_{GS2} / V_T - 1)^2 \quad (12)$$

여기서  $V_T$ 는 문턱전압이고  $I_{DSS}$ 는 게이트-소오스 전압  $V_{GS}$ 가 0일때의 드레인 전류이다.

그림 4(a)에서  $V_{GS1} = -V_{GS2}$ 가 성립한다. 따라서

$$\frac{I_{D2}}{I_{DSS2}} = \frac{I_{D1}}{I_{DSS1}} + 4 \left[ 1 - \sqrt{\frac{I_{D1}}{I_{DSS1}}} \right] \quad (13)$$

을 얻는다.

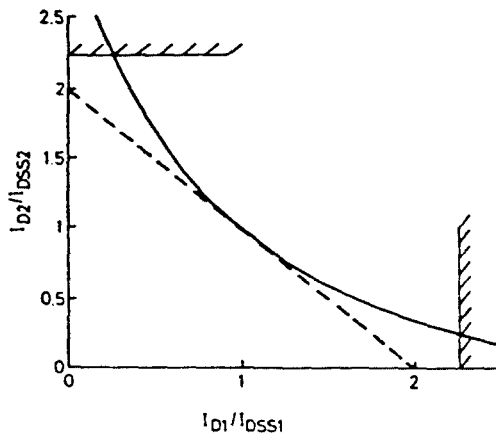


그림 5. 대신호 전류 전달 특성곡선  
Fig. 5. Large signal current transfer characteristic curve.

그림 5는  $I_{D1} / I_{DSS1}$ 의 변화에 대한  $I_{D2} / I_{DSS2}$ 의 변화를 도시하고 있다.  $V_T = -1$ 인 경우 쇼트키 다이오드가 순방향으로 바이어스( $V_{GS} = 0.5V$ ) 되었을때 전류는  $2.25I_{DSS}$ 가 되는데 그림 5에 이 제한영역을 표시하였다. 전류전달특성은 이상적인 선형곡선(점선)과의 일치한다.

### 3. 선형 역상 전류 미러의 설계

본 연구에서 제안된 방법은 그림 6에서처럼 기본적인 전류 미러를 2개 결합하여 새로운 방법의 전류 미러를 구현하는 것이다. 이 회로에서 MESFET  $B_1$ 의  $V_{GS}$ 는 첫번째 전류 미러에 의해 반전되어  $B_2$ 에 가해진다.  $B_3$ 의  $I_{D3}$ 는  $B_2$ 에서의  $I_{D2}$ 와 같아지기 때문에  $B_3$ 의  $V_{GS}$ 는  $V_{GS2}$ 와 같다. 결국  $B_3$ 의  $V_{GS}$ 는 반전되어

$B_1$ 에 가해진다. 따라서 이 회로의 출력전류  $I_{D4}$ 는

$$I_{D4} = W_1 F(V_{GS1}) = (W_1 / W_1) I_{D1} \quad (14)$$

이다.

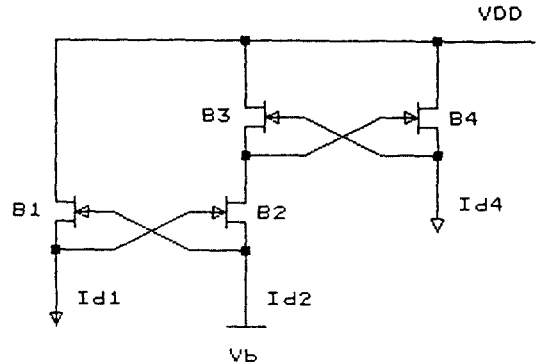


그림 6. 선형 역상 전류 미러  
Fig. 6. Linear negative current mirror.

따라서 두개의 비선형적인 전류 미러를 연결하여 게이트 폭에 비례하는 비반전의 선형전류 전달특성을 얻을 수 있다. 이것은 통상 전류 미러에 비해 회로가 간단하면서 선형 특성을 얻을 수 있는 장점이 있다.

### 4. 전류 미러의 성능 평가

Pspice를 사용하여 그림 3, 4(a), 6의 3가지 회로를 시뮬레이션하였다. 이때 사용된 파라미터는 표 3과 같다.

표 3. 시뮬레이션에 사용된 GaAs MESFET 파라미터  
Table 3. GaAs MESFET parameters in SPICE simulation.

파라미터	값	파라미터	값
VTO	-1.02	LAMBDA	0.3
VBI	0.79	RG	2920
ALPHA	2.0	RS	2920
BETA	0.58E-3	CGD, CGS	3ff

이들 회로에 대한 DC 전류 전달 특성 곡선을 그림 7(a)에 나타내었다. 그림 7(a)에서 그림 3에 대한 전

단동전(a)는 예상했던 것처럼 비반전의 전형성을 갖고 그림 4(a)의 전단곡선 (b)는 그림 5에서의 이론적인 값과 거의 일치한다. 새로 설계된 전류 미러는 입력전류가 작은 경우를 제외하고는 전형적인 동작을 하고 있다. 재가자 경우의 시뮬레이션된 추배수 응답

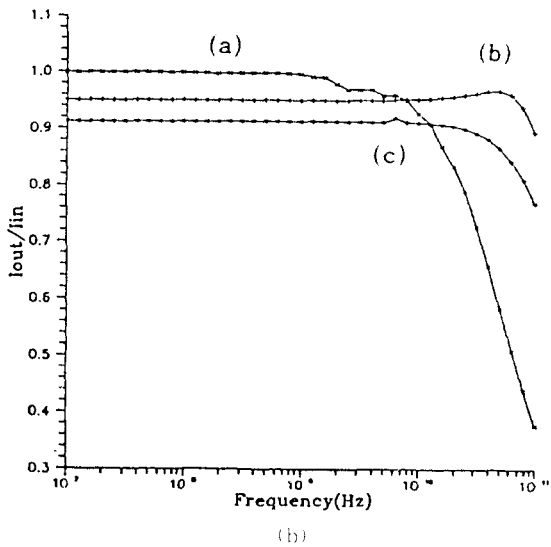
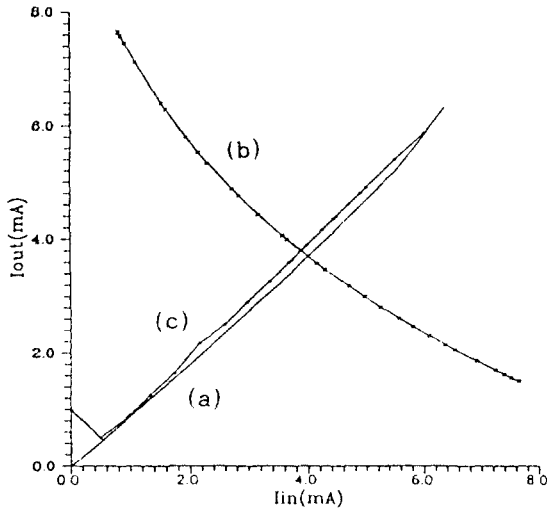


그림 7. 시뮬레이션 결과  
(a) DC 전류 전달 특성  
(b) 출력전류 추배수 응답 특성

Fig. 7. Results of simulation,  
(a) DC current transfer characteristic curve,  
(b) Frequency response curve of output current.

특성곡선은 그림 7(b)에 나타난 바와 같다. 시뮬레이션 결과에서, 설계된 전류 미러는 피백임을 주지 않는 구조로 인하여 동작 추배수대를 통하여 전체적으로 안정된 이득을 얻을 수 있으며 전류의 비가 게이트 쪽의 비로서 게이 가능하므로 전류 미러 이외에도 전류 증배기(current multiplier)로서도 사용할 수 있는 장점을 가지고 있 있으며 회로의 간략화 및 안정도 면에서 우수함을 보여 준다.

이 시뮬레이션 결과에서 새로 설계된 전류 미러는 그림 3과 4(a)의 회로에 비하여 큰 단을 추가시켰으므로 전류 이득의 감소를 가져오는 단점이 있으나 안정성에 있어서 확실한 성능을 얻을 수 있는 장점을 갖는다. 따라서 안정도를 위하여 시스템에서는 새로 제안된 전류 미러가 사용될 수 있다.

#### IV. 차동 증폭기

##### 1. 연산 증폭기의 구성

다음으로 구성된 연산 증폭기의 일반적인 구성을 그림 8에 도시하였다.



그림 8. 연산 증폭기의 구성도  
Fig. 8. Block diagram of op amp.

연산 증폭기의 입력단은 입력전압의 차동성분만을 증폭하는 차동증폭기이고 증폭단은 입력단의 출력을 증폭하고 single ended output을 가진 출력단을 구성한다.

level shifter는 후단의 DC 출력레벨이 다음단에서 요구되는 입력 DC 전압보다 높은 경우 DC 레벨을 낮추어서 다음단으로 신호를 전달하는 역할을 하고, 출력단은 필요한 부하전류를 공급해줄 수 있어야 함과 동시에 낮은 출력저항을 갖도록 설계되어야 한다.

일반적으로 연산 증폭기의 입력단은 다음 조건을 만족해야 한다.

- 1) 높은 입력임피던스
- 2) 높은 공통 제기비(CMRR)를 얻기 위하여 공통이득이 낮아야 하고 기동이득은 높이어야 한다.
- 3) 높은 PSRR(power supply rejection ratio)
- 4) 낮은 dc offset 전압 및 잡음
- 5) 연산 증폭기 전압이득을 높일 수 있는 회로 구

성

이들 중 특히 GaAs MESFET를 이용하여 연산 증폭기의 자동입력단을 구성하고자 할때 고주파대에서 고이득 및 높은 CMRR을 얻을 수 있도록 설계의 초점 맞추어야 한다.

### 2. 기본 차동증폭기

GaAs 차동증폭기의 이득은 바이폴라 차동증폭기의 이득에 비해서 매우 작다. 저이득 증폭기로 구성되는 다중구성(multistage configuration)은 큰 위상 지연을 일으켜 적은 위상여유의 길이를 조래하기 때문에 본질적으로 연산 증폭기는 각 stage당 높은 전압이득을 요구한다.

그림 9에 등동부하를 사용한 기본 차동증폭기를 나타내었는데 대칭성을 갖는 differential pair의 모든 FET의 게이트 길이는 1 $\mu$ m로 통일하고 포화영역에서 동작하고 있다는 가정하에서 회로를 해석하고 설계한다.

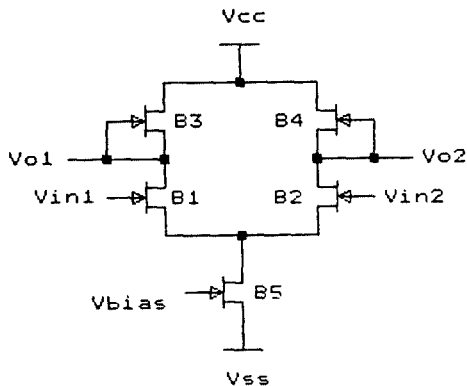


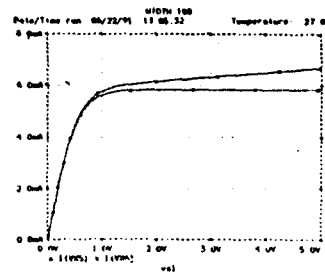
그림 9. 기본 차동증폭기  
Fig. 9. Basic differential amplifier.

차동증폭기의 차동이득 Ad는

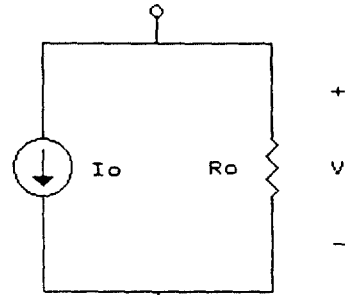
$$A_d = \frac{V_{o1} - V_{o2}}{V_{in1} - V_{in2}} = \frac{-g_{m1}}{g_{ds1} + g_{ds3}} \approx \frac{-g_{m1}}{g_{ds3}} \quad (15)$$

게이트 폭비(W<sub>1</sub>/W<sub>3</sub>)의 함수로서 주어지는데 단일 반전 증폭기의 이득과 동일하다. 하지만, 차동 증폭단은 공급전원 Vcc와 Vss하에서 동상신호 및 잡음성분을 제거시켜 준다. 한편 레환을 사용하지 않은 차동증폭기의 공통이득 Ac는 1로 근사화된다. FET

에서 게이트 전압을 일정하게 할때 포화영역에서 Vds가 변화하더라도 드레인 소오스간에는 거의 일정한 전류가 흐른다. 따라서 FET B5를 제한된 범위에서 정전류원으로 사용할 수 있다. 정전류원으로 사용되고 있는 FET의 전류전압 관계와 V1 이상에서의 실제적인 전류원 모델을 그림 10에 나타내었다.



(a)



(b)

그림 10. 정전류원의 전류전압관계 및 등가모델  
(a) 전류 전압 특성 (b) 등가 모델

Fig. 10. Equivalent model of current source and I-V characteristic :

- (a) I-V characteristic.
- (b) equivalent model

### 3. 개선된 차동증폭기

연산 증폭기의 입력단은 높은 CMRR을 얻기 위하여 높은 차동이득과 낮은 공통이득이 필요하다. 앞에서 기술한 단일 증폭기의 이득 증가기법을 차동증폭기에 적용하면 차동이득을 크게 개선시킬 수 있을 것이다.

그림 11(a)는 기본 차동증폭기에서 등동부하를 bootstrap으로 구성한 예이고 그림 11(b)는 부동단 및 부하 부분을 bootstrap으로 연결하여 높은 전압이득을 위한 회로이다.



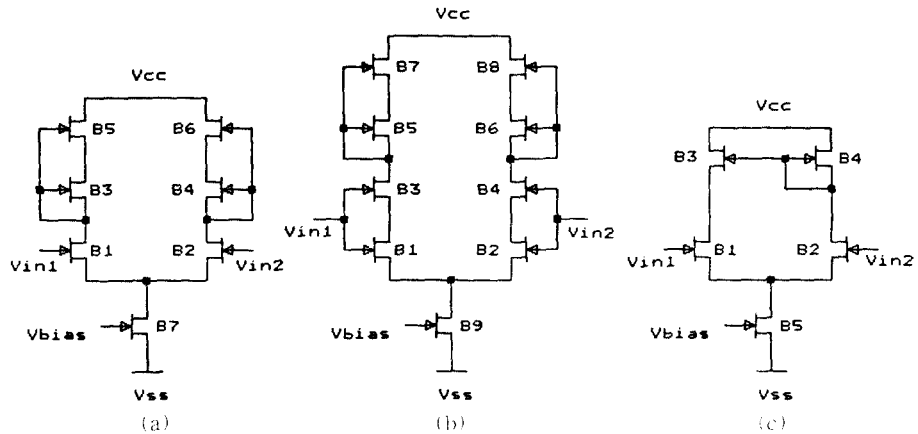


그림 11. 개선된 차동증폭기

- (a) bootstrap 부하를 사용한 차동증폭기
- (b) 부하 및 구동단을 bootstrap 기법을 사용한 차동증폭기
- (c) local feedback을 사용한 차동증폭기

Fig. 11. Improved differential amplifier.  
 (a) differential amplifier with bootstrapped load  
 (b) differential amplifier with bootstrapped load and driver  
 (c) differential amplifier with local feedback

그림 11(c) local feedback를 사용한 경우로서 소스 폴로어 트랜지스터 B3과 B1과 B2의  $r_{ds}$  양단 ac 전압을 감도폭 해준다. 따라서 GaAs MESFET의 낮은 전압이득  $g_{m,r_{ds}}$ 가 차동이득에 미치는 효과는 크게 줄어들어서 유효이득은 증가된다 [5][6].

CMRR을 증가시키기 위해서 전류원의 출력 임피던스를 증가시키는 방법과 common mode feedback을 사용하는 방법이 있을 수 있다. 전자는 공정상에서 해결해야 할 문제로서 short channel 효과를 줄여 줌으로써 CMRR을 증가시킬 수 있다.

그림 12에서 처럼 common mode feedback을 사용하는 경우에는 FET B5와 B6는 differential pair의 출력전압( $V_{o1}$ ,  $V_{o2}$ )을 감지해서 전류 미러의 전류를 제어함으로써 CMRR을 증가시킬 수 있다. 만일, 외부의 어떤 요인으로 인하여 입력단의 공통모드 출력 전압이 증가하면 전류 미러의 출력전류를 증가시키고 이 전류의 증가는 차동증폭기의 부하에 걸리는 전압을 증가시켜서 출력전압을 감소시킨다. 따라서 common mode feedback 회로는 입력전압의 어떤 변동에 대해서도 입력단의 common mode 출력전압을 일정하게 유지시켜 줌으로써 CMRR을 증가시킬 수 있다.

본 논문에서는 동상 전류 미러 대신에 선형 역상

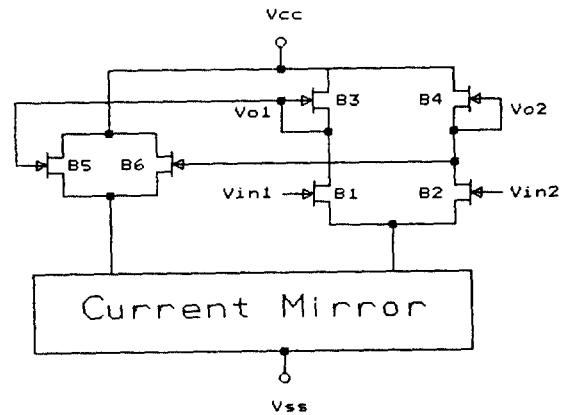


그림 12. Common mode feedback을 사용한 차동증폭기  
 Fig. 12. Differential amplifier that uses common mode feedback.

전류 미러를 사용하여 안정도 및 주파수 특성이 우수한 차동증폭기를 구성하였다.

### V. 시뮬레이션 결과 분석

앞에서 제시한 차동증폭기의 전압전달특성곡선 및

주파수응답곡선을 Pspice를 사용하여 시뮬레이션하였다. 그림 9의 기본 차동증폭기의 차동이득은 30dB의 결과를 얻었다. 이 결과에서 단일 증폭기의 이득과 차동이득이 거의 비슷함을 확인할 수 있었는데 이는 이론적으로도 타당하다.

그림 11의 회로를 시뮬레이션을 통하여 최적화시켰다. 예상한 것처럼 구동단과 증폭부하 모두를 bootstrap으로 구성한 그림 11(b)의 경우에 48.6dB의 최대 이득을 얻었다. 그림 11(c)는 회로의 대칭성이 이루어지지 않아 offset 전압이 발생하지만 local

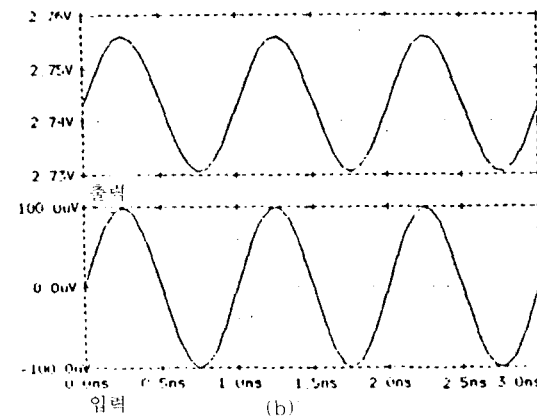
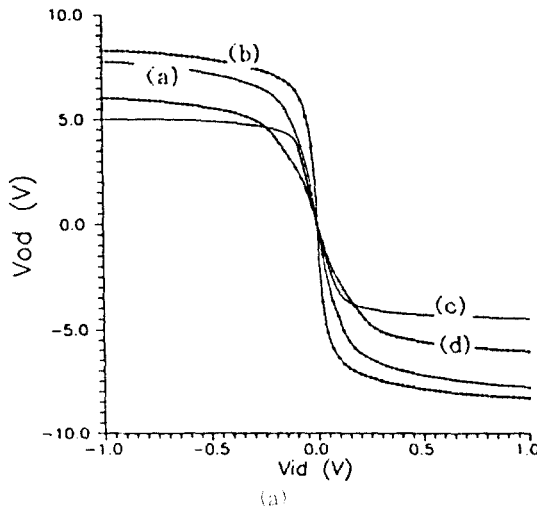


그림 13. 시뮬레이션된 출력  
(a) 임출력전압전달곡선  
(b) 그림 8(b)의 차동증폭기에 대한 1GHz에서의 출력파형  
Fig. 13. Simulation results.  
(a) transfer curve of voltage  
(b) 1GHz output waveform of Fig.8(b)

feedback를 사용하지 않았을 경우에 비해 이득이 36dB로서 우수함을 증명할 수 있었다. 따라서 앞으로 차동증폭기의 bootstrap 이득증가기법과 local feedback에 의한 이득증가기법을 결합하여 회로를 구성하게 되면 보다 우수한 성능의 차동증폭기를 구현할 수 있을 것으로 기대된다. 시뮬레이션 결과를 그림 13에 나타내었다.

그림 13(a)는 4가지의 차동증폭기의 임출력 전달 특성 곡선을 나타낸 것으로서 (d)가 기본 구조(그림 9)의 경우이며 (a)(b)(c)는 그림 11의 개선된 차동증폭기의 특성곡선이다. 그림 13(b)는 본 연구에서 설계한 bootstrap 차동 증폭기의 1GHz에서의 입력과 출력파형을 나타낸 것이다. 시뮬레이션 결과에서 bootstrap 차동 증폭기의 임출력 특성 곡선은 고이득을 얻기위한 회로로서 적합하며 giga 주파수대에서 동작되는 고이득 연산증폭기의 구현이 가능함을 보여주고 있다.

CMRR을 증가시키기 위한 회로 구성인 그림 12의 회로에서 전류 미러로서 동상 전류 미러를 사용하는 것보다 전형 역상 전류 미러를 사용하는 경우에 이득 증가에는 커다란 기여가 없으나 주파수 및 안정도 면에서 우수함을 확인할 수 있었다.

## VI. 결 론

스위치드 캐패시터 필터, D/A, A/D 변환기와 같은 고주파 아날로그 시스템, 위성통신 시스템, video signal processing, optical fiber interface 회로등에서 필수적 구성요소인 연산 증폭기를 GaAs MESFET를 이용해 구성하려 할때 가장 큰 문제점은 MESFET가 갖고 있는 자체 전압이득(gain)이 10-20 정도로 매우 작다는데 있다.

따라서 본 논문에서는 단일 증폭기의 이득을 증가시키기 위한 설계기법을 비교 연구하고, 회로의 안정화를 위하여 복잡성을 피한 새로운 개념의 전류 미러를 설계하여 이득을 이용한 차동증폭기를 설계, 시뮬레이션을 행하였다.

시뮬레이션 결과 bootstrap으로 증폭기를 구성하였을때 이득이 48.6dB로서 고이득 연산 증폭기를 설계하는데 적합하고 기존의 동상 전류 미러보다 본 논문에서 설계된 전류 미러가 안정도와 주파수 특성면에서 우수함을 알 수 있었다.

차동증폭기의 이득은 단일 증폭기의 이득과 동일하지만 잡음이나 동상신호를 제거할 수 있다는 장점

을 가지고 있다. 차동 증폭기의 전류원에 전류 미러를 사용함으로써 CMRR을 충분히 크게 하고 주파수 특성 또한 우수함을 확인할 수 있었다.

차동증폭기의 능동부하를 bootstrap과 local feedback 설계기법을 혼합하여 구성함으로써 보다 높은 전압이득을 얻을 수 있을 것으로 기대된다.

이상의 결과를 토대로 인산 증폭기의 설계가 효과적으로 수행되고 국내에서 제작기술이 향상되어 모놀리딕 집적회로 형태로 제작이 된다면 개발된 GaAs 코어류 인산 증폭기는 넓은 영역에서 응용이 가능하리라 기대된다.

### 참 고 문 헌

1. Noboru Ishihara, Mamoru Ohara, et al., "Gigahertz-band high gain GaAs monolithic amplifiers using parallel feedback technique," IEEE J. of Solid State Circuits, vol.24, no.4, pp.962-968, Aug. 1989.
2. A.A. Abidi, "Gain bandwidth enhancement in GaAs MESFET wideband amplifiers," IEEE ISCAS '88, pp.1465-1468, 1988.
3. L.E.Larson, "A 10GHz operational amplifier in GaAs MESFET technology," 1989 IEEE International Solid-State Circuits Conference, session, 6 : amplifiers, pp.72-73, 1989.
4. C.Toumazou, D.G.Haigh, "Design of GaAs operational amplifiers for analog sampled data applications," IEEE Trans. on Circuits and Systems, vol.37, no.7, pp.922-935, Jul. 1990.
5. R.Gregorian and G.C.Temes, *Analog MOS integrated circuits for signal processing*, John Wiley & Sons, New York, pp.121-221, 1986.
6. Y.P.Tsividis, "Techniques for increasing the gain bandwidth product of N MOS and P MOS integrated inverters," Electron Lett., vol.13, pp.421-422, 1977.
7. L.E.Larson, K.W.Martin, et al., "Comparison of amplifier gain enhancement techniques for GaAs MESFET analogue integrated circuits," Electron Lett., vol.22, pp.1138-1139, 1986.
8. C.Toumazou, F.J.Lidgey, et al., "Current mode analog signal processing circuits A review of recent developments," Proc. of 1989 IEEE ISCAS, Portland, Oregon, May 1989.
9. E.Seevinck and R.F.Wassenaur, "A versatile CMOS linear transconductor/square law function circuit," IEEE Journal of Solid State Circuits, vol.22, no.3, pp.366-377, 1987.
10. C.Toumazou and D.G.Haigh, "Design and application of GaAs MESFET current mirror circuits," IEF proceedings, vol.137, pt.G, no. 2, pp.101-108, Apr.1990.
11. K.C.Smith and A.Sedra, "current conveyor : A new circuit building block," Proc. IEEE, vol.56, pp.1368-1369, 1968.
12. C.Toumazou, *Analog IC design*, Peter Peregrinus, London, 1990.
13. C.Toumazou and D.G.Haigh, "Analog design techniques for high speed GaAs operational Amplifiers," Proc. of 1988 IEEE ISCAS, Helsinki, June 1988.
14. Shin Ichi Katsu, Gota Kano, et al., "Design and fabrication of a GaAs monolithic operational amplifier," IEEE Trans. on Electron Devices, vol.35, no.7, pp.831-838, Jul. 1988.
15. L.E.Larson et al., "An ultrahigh speed GaAs MESFET operational amplifier," IEEE J. of Solid State Circuits, vol.21, no.6, pp. 1523-1528, Dec. 1989.
16. N.Scheinberg, "High speed GaAs operational amplifier," IEEE J. of Solid State Circuits, vol. SC 22, no.4, pp.522-527, Aug. 1987.



金學善 Hak Sun KIM) 正會員  
1959年6月3日生  
• 韓國航空大學 卒業  
• 韓國航空大學 大學院 電子工學科 博士課程  
※ 主關心分野 : 電子回路해설 및 GaAs ASIC 설계 및 시뮬레이션



金殷魯 Eun Ro KIM) 正會員  
1968年1月16日生  
• 韓國航空大學 卒業  
• 韓國航空大學 大學院 碩士課程 在學

李亨宰 Hyung Jae LEE) 正會員  
1933年3月20日生  
• 韓國航空大學 電子工學科 卒業  
• 慶熙大學校 大學院(工學博士)  
• 現在 : 韓國航空大學 教授  
• 本學會 副會長歷任(1981~1984)