

HDTV용 고속 라인 메모리 회로 설계에 관한 연구

準會員 金 大 舜* 正會員 鄭 遇 烈* 正會員 金 泰 亨*
正會員 白 德 洙** 正會員 金 煥 溶*

A study on the Design of High speed Line Memory Circuit for HDTV

Dae Soon Kim*, Woo Yeol Jeong*, Tae Hyung Kim*, Deog Soo Baek**,
Hwan Yong Kim* *Regular Members*

要 約

최근들어 HDTV를 위한 영상 신호처리 기술이 급속히 발전하고 있다. 이러한 신호처리 기술의 향상에 따라 영상신호용 특수 기억소자의 개발이 요구되고 있다. 본 논문에서는 입력 스트로브로부터 정보를 받아 기억하는 CMOS 플립플롭을 채용한 데이터 래치 방식과 HDTV 신호에 적합한 액세스 시간을 얻기 위하여 새로운 읽기 방식이 고안 되었다. 기존의 쓰기 방식과 비교하여 데이터 래치 방식은 완전한 쓰기 동작을 위하여 비트라인 쓰기와 메모리셀 쓰기의 2개의 과정이 필요하고 같은 번지의 동시 입출력이 가능하다. 또한 스테틱 칼럼 모드를 응용한 읽기 방식과 분리된 읽기 워드라인을 채용하여 읽기 동작시 빠른 정보 감지가 가능하다.

ABSTRACT

Recently, image signal processing techniques for HDTV signal have been drastically developed. This kind of skill improvement on signal processing need specific memory device for video signal.

In this paper, data latch scheme which implements CMOS flip-flop to hold information from input strobe and new reading method is devised to attain a proper access time suitable for HDTV signal. Compared with conventional write scheme, data latch method has two procedures to complete write operation ; bit line write and storage cell write, enabling concurrent I/O operation at the same address. Also, fast read access is possible through the method similar to static column mode and the separated read word line.

I. 서 론

* 圓光大學校 電子工學科
Dept. of Electronic Eng. Wonkwang Univ.
** 裡里農工專門大學 電氣科
Dept. of Electrical, Iri Agricultural & Technical College
論文番號 : 92-53(接受1992. 2. 25)

정보 처리를 위한 기억소자로서 RAM은 다양한 분야에서 응용되고 있으며 특히 화상 처리(image

processing)영역에서 큰 비중을 차지하고 있다.

화상 전용 메모리를 사용하는 대표적인 분야는 Television으로서 현재 주된 전송 기법인 NTSC와 PAL 방식의 신호처리를 위하여 VRAM, 라인 메모리(line memory) 및 필드 메모리(field memory)등이 사용되고 있다. 이중 라인 메모리는 일종의 FIFO로서 주사선의 정보를 기억하며 Comb 필터 등에 이용되는 라인 지연(line delay), 전송속도 변환(speed conversion)등의 기능을 통하여 전송 데이터의 압축(data compression), 에러 보상(error compensation), 버퍼링(buffering)의 역할을 수행한다⁽¹⁾. 신호처리시 NTSC 방식의 경우 라인 메모리의 입·출력 클럭은 4 fsc의 샘플링이 행해질 경우 14.3 MHz 인데 반하여 HDTV용 입·출력 클럭은 50 MHz 이상의 속도가 요구되므로 기존의 라인 메모리의 구조변경이 불가피해진다⁽²⁾. 또한 비동기적으로 입·출력이 이루어질 경우 셀 정보의 안정을 위하여 같은 번지는 쓰기 번지 선택기(writing address selector)와 읽기 번지 선택기(reading address selector)에 의하여 동시에 선택될 수 없으며 집적도 개선을 위하여 다이내믹 셀로 메모리 코어를 설계할 경우 저장 캐패시터의 정보 유지를 위하여 쓰기 동작시 필요한 행 번지 선택기(row address selector)의 새로운 구조가 필요하다.

그러므로 본 논문에서는 HDTV의 신호처리에 적합한 라인 메모리를 설계하기 위하여 읽기 및 쓰기 동작시 시간 지연의 주요한 요인이 되는 워드 라인 풀 업 시간을 액세스 시간에서 제외함으로써 고속의 액세스가 가능하도록 하였으며 Dual-port 다이내믹 셀의 쓰기 비트 라인에 워드 라인이 풀 업되기 전까지 입력 정보를 저장하는 정보 저장용 래치를 채용하여 집적도의 개선을 이루었고 같은 번지의 동시 입·출력이 가능하도록 설계하였으며 SPICE 시뮬레이션하여 동작 특성을 확인하였다.

II. 라인 메모리

라인 메모리는 TV 전송방식인 NTSC와 PAL의 신호 처리를 위하여 다양한 모드에서 작용하며 모든 동작은 FIFO와 딜레이(delay) 기능에 기초를 두고 있다. 내부의 액세스 동작은 외부에서 인가되는 제어 신호에 의하여 결정되는데 제어 신호의 선택은 사용될 시스템의 특성에 따라 변환되며 라인 메모리는 정

보 저장을 위하여 여러가지 종류의 셀을 사용하는데 크게 스태틱 셀(static cell)과 다이내믹 셀(dynamic cell)로 나눌 수 있으며 동시 입·출력이 가능하고 집적도 면에서 우수한 3-TR 다이내믹 셀이 많이 채용되고 있다⁽³⁾.

3-TR 다이내믹 셀의 비트 라인은 비동기적 액세스 동작을 위하여 쓰기와 읽기용으로 구분되며 액세스 트랜지스터 역시 쓰기 액세스와 읽기 액세스로 각각 다른 워드 라인 구분선에 연결된다. 안정된 감지 동작을 위하여 액세스 동작이 시작되기 이전에 각 비트 라인들은 VDD 전압으로 충전되어 있다.

스태틱 셀과 1-TR 다이내믹 셀의 장점을 조합하여 작은 Layout 면적과 비동기적인 입·출력이 가능한 3-TR 다이내믹 셀의 회로도에는 그림 2-1과 같다.

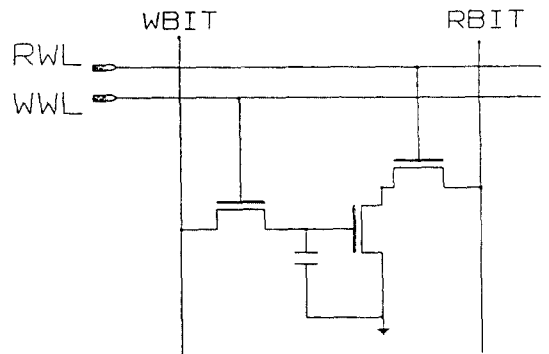


그림 2-1. 3-TR 다이내믹 셀
Fig. 2-1. 3-TR Dynamic cell.

그림에서 읽기 동작은 읽기 비트 라인과 2개의 액세스 트랜지스터에 의하여 수행되는데 워드 라인을 풀 업시키면 비트 라인에 연결된 액세스 트랜지스터는 활성화되므로 저장 캐패시터에 연결된 액세스 트랜지스터의 활성화 유무에 따라 정보의 감지가 이루어진다. 읽기 동작이 2개의 액세스 트랜지스터에 의하여 일어나는 반면에 쓰기 동작은 저장 캐패시터의 +노드에 연결되어 있는 한개의 액세스 트랜지스터에 의하여 일어나는데 쓰기 열 선택기에 의하여 데이터 입력선으로부터 비트 라인에 인가된 정보는 워드 라인에 의하여 활성화 되어 있는 액세스 트랜지스터를 통하여 저장 캐패시터에 입력된다. 메모리 코어를 nMOS 어레이로 설계할 경우 입력으로 VDD 전압을 인가하면 액세스 트랜지스터의 문턱전압 만큼의 전압 강하가 발생하므로 정보 저장시간을 연장하기 위

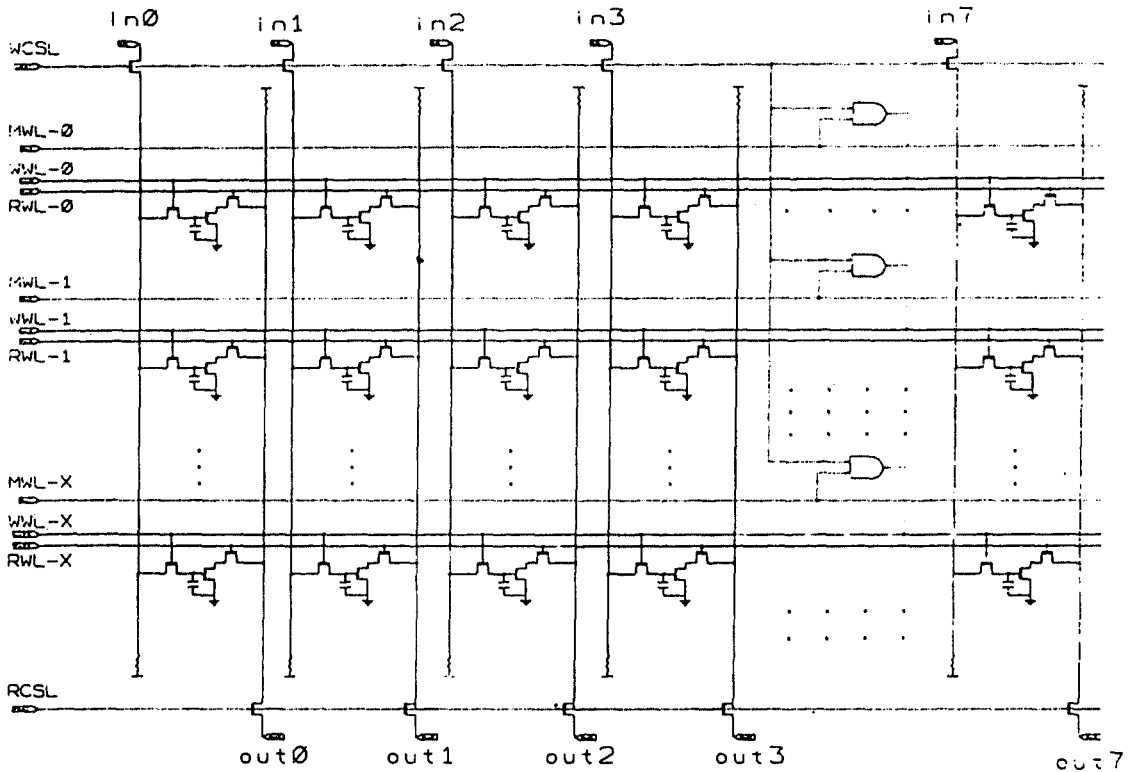


그림 2-2. Dual-port 다이나믹 셀 어레이
Fig. 2-2. Dual-port Dynamic cell array.

해서는 쓰기 워드 라인을 Bootstrapping 하여야 한다.

라인 메모리는 외부로부터의 입력 정보를 셀 어레이의 "0" 번지부터 순서적으로 입력하고 순서적으로 출력하는 FIFO를 기본 동작으로 하여 외부 제어 신호에 따른 특정한 동작 모드로 입·출력을 수행한다. FIFO를 위하여 라인 메모리의 어드레스 번지는 칩의 내부에서 자체적으로 만들어지며 읽기 및 쓰기 동작의 번지 지정에 위하여 읽기 번지 발생기와 쓰기 번지 발생기를 카운터와 시프트 레지스터(shift register)를 사용하여 구현하는데 카운터를 분리하여 설계할 경우 상응하는 디코더 회로를 부가하여야 되므로 Chip die의 면적 증가가 예상된다. 그러므로 카운터 블럭을 따로 설계하지 않고 시프트 레지스터를 이용한 링 카운터(ring counter)를 메모리 코어의 번지 선택기(address selector)로 채용하는 기법이 많이 사용되고 있다. 번지 선택기는 쓰기 선택기의 경우

외부 스트로브(strobe)에 인가되는 쓰기 클럭, 쓰기 리셋(Write reset), 쓰기 활성화 신호에 의하여, 그리고 읽기 선택기의 경우에는 읽기 클럭, 읽기 리셋(Read reset), 읽기 활성화 신호에 의하여 제어된다. 이와 같이 번지 선택기를 읽기와 쓰기용으로 분리함으로써 메모리 셀을 Dual-port 구조로 설계할 경우 메모리 코어를 단일 블럭으로 설계하더라도 비동기적인 동시 입·출력 동작이 가능해진다.

Dual-port 다이나믹 셀 어레이는 여러가지 구조가 있으며 NEC에 의하여 최초로 개발된 라인 메모리의 어레이 구조는 그림 2-1과 같다.

메모리 셀을 다이나믹 구조로 설계할 경우 캐패시터의 정보 저장 특성상 저장 캐패시터에 저장되어 있는 정보는 쓰기 동작시 상실된다. 이러한 문제점을 해결하기 위한 방법으로 쓰기 동작시의 번지지정을 위하여 워드 라인을 Main 워드 라인과 Sub 워드 라인으로 분리하여 열 선택기에 의해 선택된 열의 워드

라인만 활성화시켜 번지를 선정하는 방식이 개발되었지만 총번지수 만큼의 AND 회로와 부가적인 워드라인의 Layout에 따른 면적 증가의 문제점을 갖게 된다.

Ⅲ. 고속 라인 메모리 설계

HDTV용 고속 영상 신호처리 전용 LSI에 적합한 라인 메모리는 고속(50 MHz 이상)의 FIFO(first input first output) 동작과 데이터 처리 속도를 위해 Dual port로 공정상의 호환성을 가지면서 실장면적을 최소화 시키고 메모리셀로서는 SRAM에 비해 실장 면적이 작은 DRAM을 적용 하였다.

HDTV용 라인 메모리의 집적화 및 고속화에 적합한 동작모드의 추세에서 High speed 동작이 중요시 되므로 본 논문은 HDTV TCI(time-compressed intergration) 신호의 샘플링 주파수(sampling frequency)인 48.6 MHz를 기준으로하여 50 MHz 이상의 처리 속도를 갖도록 설계하였다. HDTV용 라인 메모리의 기존 회로를 간소화 하거나 삭제 및 수정함으로써 더욱 우수한 회로를 구성하여 원하는 처리 속도를 얻는데 목적이 있다.

동작모드 설정에서 사용되는 기능으로 딜레이 기능과 Double scanning 기능등이 있으며 딜레이 기능은 N-bit delay, 1H delay, 2H delay 등으로 사용하여 Dropout 보상, Jitter 보상, 가변 지연 라인, 시간축 압축(time axis conversion)에 응용할 수 있도록 하였다. 쓰기 동작시 쓰기 리세트(reset) 신호(RSTW)와 쓰기 활성화 신호(WE)를 이용하고 읽기 동작은 읽기 리세트 신호(RSTR)와 읽기 활성화 신호(RE)를 사용하여 비동기적인 딜레이 기능의 수행을 가능하도록 하였고 2개의 라인 메모리를 연결하여 Double scanig 동작을 수행하여 배가된 필드 주파수에 의한 정밀한 영상 신호 재생을 가능하게 하였다.

이와 같이 비동기적인 읽기 및 쓰기 동작과 FIFO 기능을 기본동작으로 설계하여 위에 정의한 동작 모드 이외에도 비동기적 딜레이 기능에 의해 수행되는 모든 동작 모드에 응용될 수 있도록 하였다.

일반적으로 라인 메모리는 메모리 코어, 번지 선택기, 제어 회로 등으로 구성되는데 정보 감지 방식 및 메모리 셀의 종류에 따라 메모리 코어의 블록이 결정되고 행 및 열의 수에 따른 워드 라인과 제어 신호의

변화에 따라 번지 선택기 및 제어 신호를 발생시키는 제어 회로의 설계가 이루어진다.

본 논문에서는 HD-MAC 방식을 기준으로하여 1H 용량을 1440 워드×10 비트로 설정하여 고속 라인 메모리를 설계하였으며 전체 블록은 각 서브 어레이와 쓰기 행/열 선택기, 읽기 행/열 선택기를 서로 대칭으로 배치하여 공정시 회로 면적이 최소화 및 안정된 정보처리를 가능하게 하였다. 또한 빠른 정보처리 속도를 얻기 위하여 Dual-port 메모리 셀을 사용하여 메모리 코어를 두 블록으로 나누어 설계하였으며 메모리 코어의 블록도는 그림 3-1와 같다.

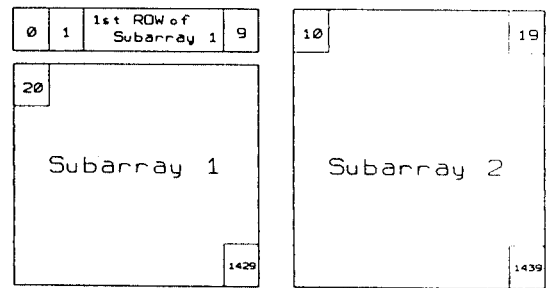


그림 3-1. 메모리 코어의 블록도
Fig. 3-1. Block diagram of memory core.

메모리 코어는 Dual-port 다이나믹셀을 채용 설계하여 단일 블록 설계가 가능하나 읽기 동작시의 스테틱 칼럼 모드(static column mode)를 응용한 감지 방식과 쓰기 동작시 본 연구에서 개발한 데이터 래치 쓰기 방식의 특성에 따라 2 블록으로 나누어 설계하였으며 특히 RSTR 신호에 의한 0번지 읽기 동작시에 발생하는 워드 라인 풀 업 지연을 해결하기 위하여 Subarray 1의 1행을 분리하고 0번지와 나머지 9개 번지의 워드 라인을 나누어 활성화 시켰다. 고속 라인 메모리의 메모리 셀 및 비트 라인 구조를 살펴보면 그림 3-2와 같다.

고속 라인 메모리는 일반 구조에 없는 데이터 래치를 채용하여 빠른 쓰기 동작 및 같은 번지의 동시 입·출력이 가능하도록 하였다. 데이터 래치에 정보가 저장되는 동작 특성은 SAN(sense enable)이 High로 인가되면 어드레스 래치에서 지정한 번지의 10비트 정보가 데이터로 입력되어 10비트의 정보를 동시에 지칭하게 되고 다음의 쓰기 열 선택기가 트리거되어 2번째 어드레스 래치로 번지가 인가되면 데이터

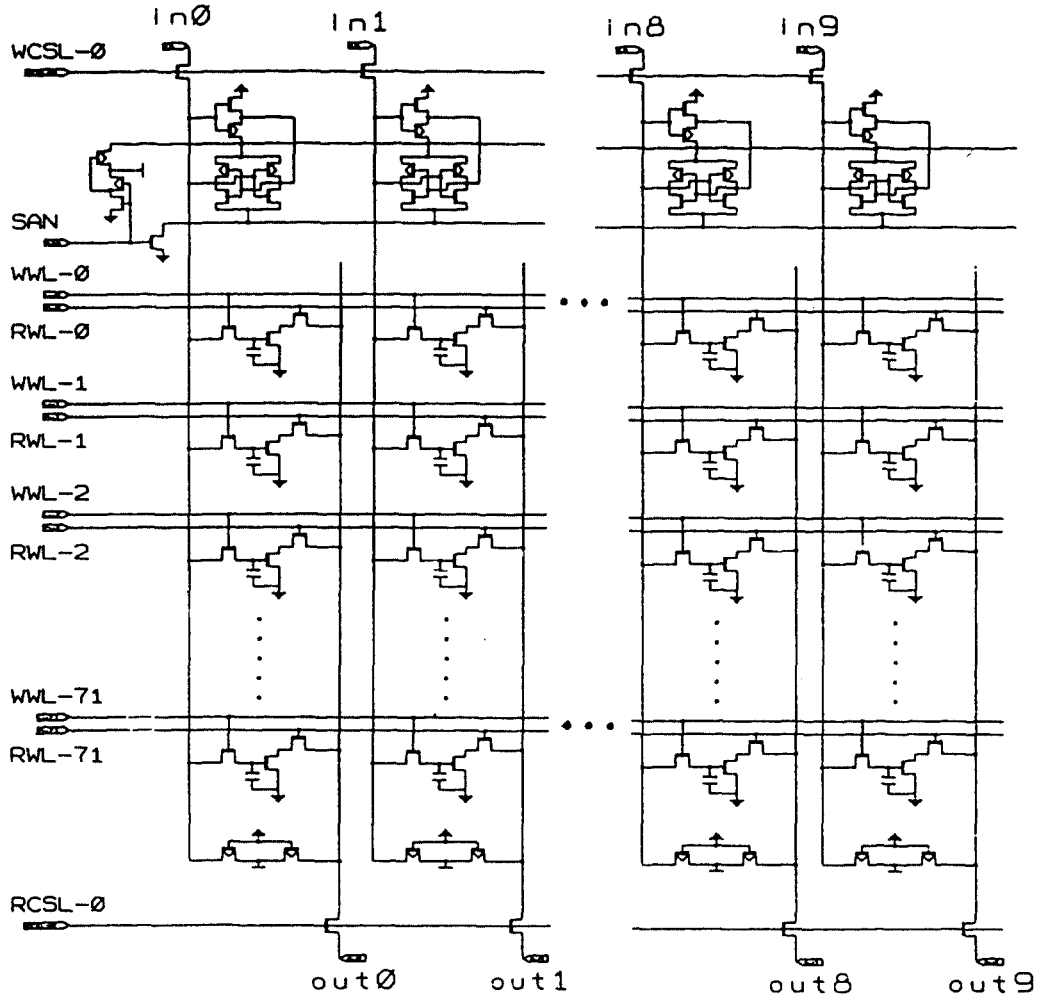


그림 3-2. 메모리 셀 및 비트 라인 구조
 Fig. 3-2. The architecture of memory cell and bitline.

입력 정보량 10비트는 다음 번지의 10개 데이터 래치에 저장된다.

쓰기 열선택기에서 10개의 번지가 인가된후 쓰기 행 선택기가 인가되는데 워드 라인이 턴 온될 때까지 SAN은 계속 활성화 상태에 있다.

따라서 SAN에 의해 턴 온된 데이터 래치는 100 비트 데이터 정보를 10비트 단위로 순차적으로 저장하게 되며 쓰기 행 선택기가 쓰기 열 선택기 FF9의 Q 단자로 부터 트리거되면 워드 라인이 턴 온되어 100 비트 데이터가 동시에 다이내믹 셀에 입력된다.

메모리 코어는 외부에서 입력되는 정보와 출력될

정보의 번지를 순차적으로 지정해 주어야 되며 이러한 자체적인 번지 지정은 카운터(counter)를 이용하여 실현 시킬 수 있다. 이러한 카운터 블록을 선택기와 구분하여 설계할 경우에는 부가되는 디코더 및 배선의 Area penalty 때문에 본 연구에서는 DFF을 이용한 링 카운터를 채용하여 번지 선택기로하였다.

라인 메모리의 주변회로인 행/열 선택기는 라인 메모리 코어 블록의 크기가 1440 워드×10 비트 DRAM 셀 코어를 720 워드×10 비트의 두 블록으로 나누어 서브 어레이 1과 서브 어레이 2로 분리하고 서브 어레이 한 블록당 쓰기/읽기 열 선택기와 쓰기

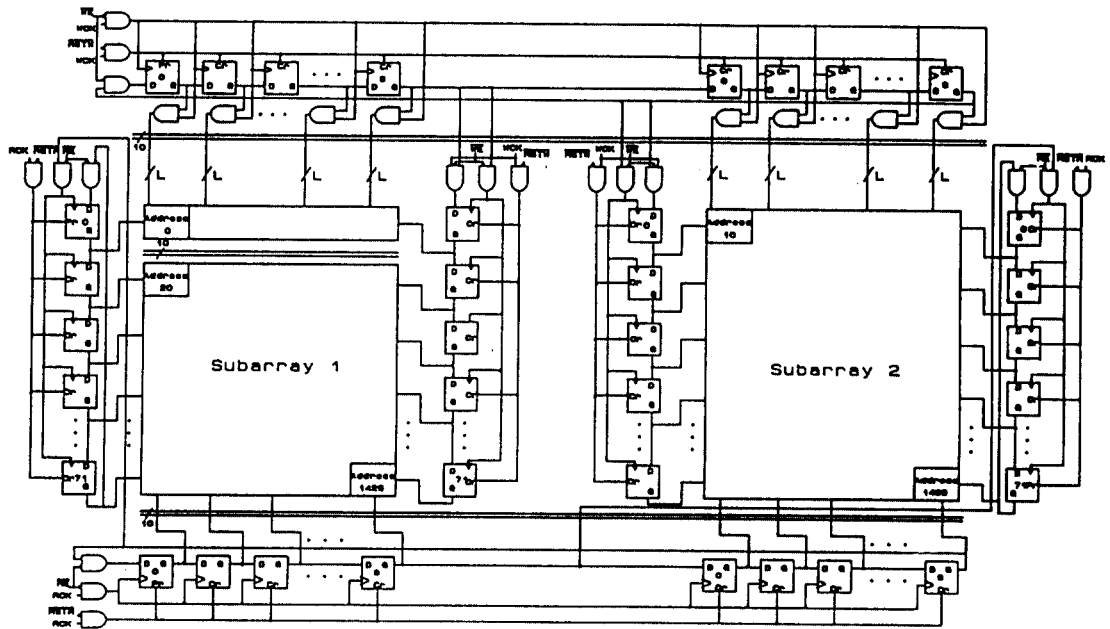


그림 3-3. 번지 선택기 및 메모리 코어
Fig. 3-3. Address selector and memory core.

/읽기 행 선택기로 구성하였다.

설계한 고속 라인 메모리의 번지 선택기와 메모리 코어의 간략도는 그림 3-3과 같다.

본 논문에서는 고속의 쓰기 동작과 함께 같은 번지의 동시 입·출력이 가능한 새로운 데이터 래치 감지 방식을 고안 하였다. 데이터 래치는 CMOS 플립-플롭과 인버터를 각 쓰기 비트 라인에 채용하여 쓰기 워드 라인이 인가되기 전까지 비트 라인에 정보를 저장하는데 Subarray 1의 처음 번지가 액세스 되는 동시에 SAN 신호(데이터 래치 활성화 신호)를 인가하여 입력 버스에서 인가되는 정보를 비트 라인에 채용된 데이터 래치에 저장하게 된다. 여기에서 Subarray 1의 최종번지가 액세스된후 Subarray 2의 처음 번지가 액세스됨과 동시에 Subarray 1의 쓰기 워드 라인이 풀 업되어 저장 캐패시터에 비트 라인에 실려있는 입력 정보를 저장하게 된다. 그러므로 개발된 데이터 래치 방식은 실제 입력 사이클 동안에 저장 캐패시터에의 액세스가 이루어지지 않고 1행을 10번지로 가정할 경우 10 사이클 후에 자동적인 쓰기 동작이 이루어지므로 같은 번지의 읽기 동작이 수행되더라도 쓰기 워드 라인이 풀 업되지 않기때문에 저장 캐패시터의 정보손실이 일어나지 않아 같은 번지

의 동시 입·출력이 가능하고 쓰기 워드 라인 풀 업에 의한 시간지연 문제가 일어나지 않는다.

또한 빠른 동작속도를 얻기 위하여 DRAM의 스테틱 칼럼 모드를 응용한 읽기 모드로 동작한다. 읽기 동작을 위한 워드 라인은 읽기 행 번지 선택기에 의하여 풀 업되는데 Subarray의 읽기 행 번지 선택기 동기신호를 상대편 Subarray의 최종 열 번지에 선택기의 Q단자에 연결하여 상대편 Subarray의 읽기 사이클 동안 Subarray의 읽기 워드 라인을 풀 업 시킴으로써 워드 라인 풀 업에 의한 시간지연을 해결하여 빠른 액세스 시간을 얻는다. 그러나 RSTR 신호에 의한 0번지 감지동작에는 이러한 동작모드가 적용될 수 없으므로 Subarray 1의 1행을 분리하여 비트 라인 캐패시터를 감소시키고 0번지와 나머지 9개 번지의 워드 라인을 나누어 활성화시켜 고속의 동작 속도를 얻도록 설계하였다.

IV. 시뮬레이션

본 장에서는 HDTV의 신호처리를 위한 라인메모리를 설계하기 위하여 각종 메모리 셀과 Dual-port 다이내믹 셀을 사용하여 설계된 고속 라인 메모리의

동작 특성을 CMOS 1.2um 파라미터를 사용하여 SPICE 시뮬레이션 하였다.

그림 4-1은 3-TR 다이내믹 셀의 쓰기 동작시 저장 캐패시터의 전압 변화이다.

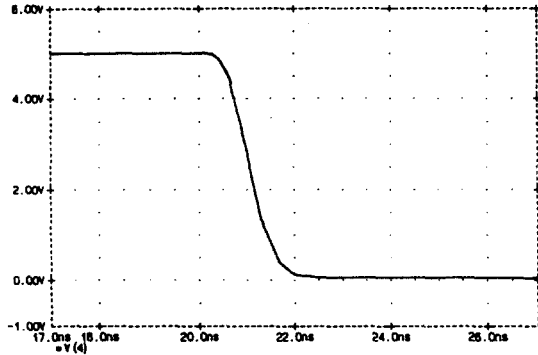


그림 4-1. 쓰기 동작시 3-TR다이내믹 셀의 저장 캐패시터 전압 변화

Fig. 4-1. Voltage variation of 3-TR dynamic storage capacitor at write operation.

설계된 라인메모리의 쓰기동작은 워드라인 인가(20ns.)후 약 2ns.이하에 저장 캐패시터의 방전이 이루어지므로 고속의 입력이 가능하다.

그림 4-2는 3-TR 다이내믹 셀의 읽기 동작시 비트 라인의 전압변화이다.

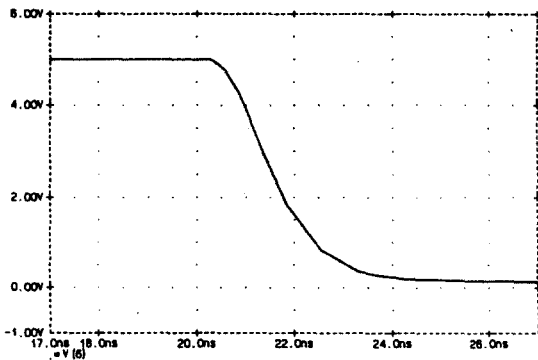


그림 4-2. 읽기 동작시 3-TR 다이내믹 셀의 비트 라인의 전압 변화

Fig. 4-2. Bitline voltage of 3-TR dynamic cell core at read operation.

메모리 코어에 사용된 3-TR 다이내믹 셀은 읽기동작시 2개의 액세스 TR에 의하여 쓰기동작에 대해 상

대적으로 느린 4ns.이상의 비트라인 정보감지가 이루어지는데 이러한 단점은 본 논문에서 개발 채용된 스택 칼럼 모드형의 출력동작으로 해결될 수 있다.

그림 4-3은 Subarray 2의 초기 번지 입력동작과 쓰기 워드라인 폴업에 의한 Subarray 1의 저장 캐패시터 전압 변화이다.

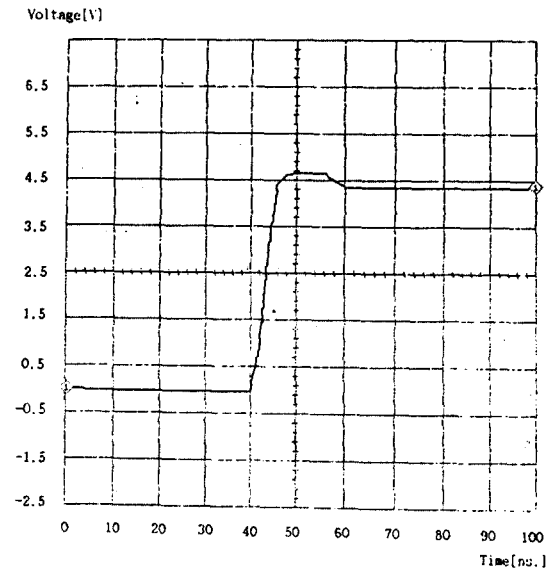


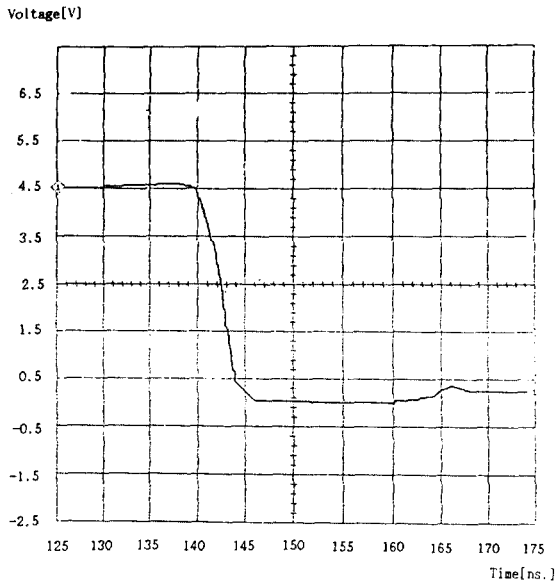
그림 4-3. Subarray 1의 저장 캐패시터 전압 변화

Fig. 4-3. Storage capacitor voltage variation of sybarray 1.

시뮬레이션 결과 Subarray 2의 초기 번지 입력이 시작될과 동시에 Subarray 1의 데이터 래치에 저장되어 있는 쓰기정보는 선택된 행번지 워드라인의 인가(40ns.)에 따라 저장 캐패시터에 전송되므로 같은 번지의 동시입·출력이 가능하다.

그림 4-4는 Subarray 1의 최종 열 읽기 동작과 동시에 읽기 워드 라인 폴업에 의해 여기되는 Subarray 2의 비트라인 전압변화이다.

본 논문에서 라인메모리의 읽기동작을 위하여 개발한 스택 칼럼 모드는 읽기시간의 상당부분을 차지하는 워드라인 폴업시간을 제거하여 열번지 선택에 의한 비트라인 전압의 증폭이 빠르게 이루어지도록 하였으며 시뮬레이션 결과 Subarray 2의 읽기 워



CH 1 V(20) vs TIMECURSOR	LEFT	RIGHT	DIFFERENCE
YSCALE 1V/DIV			
YZERO 2.50 V	VER 4.52 V	239mV	-4.28 V
XSCALE 5NS/SEC/DIV			
XZERO 150NS/SEC	HOR 125NS/SEC	175NS/SEC	50.0NS/SEC

그림 4-4. Subarray 2의 비트 라인 전압 변화
Fig. 4-4. Bitline voltage variation of subarray 2.

드라인 폴업은 Subarray 1 최종 번지의 읽기 동작이 수행되는 동안 트리거 신호의 인가(140ns.)후 이루어져 읽기 비트라인의 전압변화가 약 5ns.이내에 완료된다.

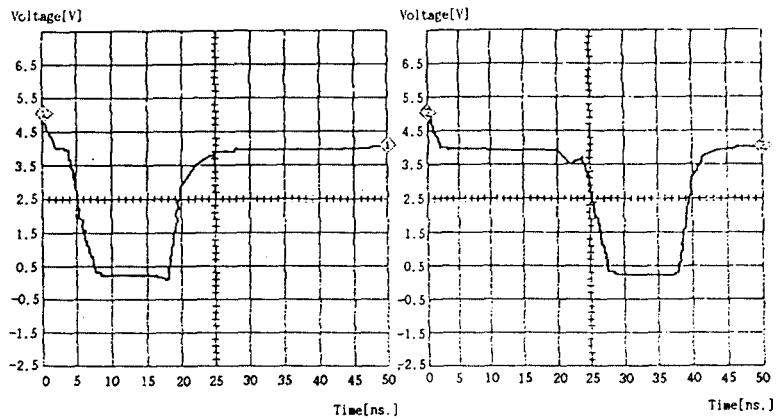
그림 4-5는 고속 라인 메모리의 순차적 출력 특성이다.

실제된 라인메모리의 FIFO기능 및 출력특성의 시뮬레이션 결과 약 20ns.이하의 순차적인 번지의 연속적 출력이 스테틱 칼럼 모드의 이용으로 가능함이 확

표 1. 라인메모리의 동작특성 비교

Table 1. characteristics comparison of line memory.

Specification	기존의 라인메모리	설계된 라인메모리
Scanning method	Interlaced or non interlaced	Interlaced & non-interlaced
Memory cell	Dual port	Dual port
Video signal	NTSC or PAL	NTSC & PAL & HD MAC
Access time	30ns 이상	20ns 이하
Processing meth.	Synchronous or Asynchronous	Asynchronous
Concurrent I/O	Impossible	Possible
Built in Memory	Impossible	Possible



CH 1 V(70) vs TIMECURSOR	LEFT	RIGHT	DIFFERENCE
YSCALE 1V/DIV			
YZERO 2.50 V	VER 5.00 v	4.07 v	-934mV
XSCALE 5NS/SEC/DIV			
XZERO 25.0NS/SEC	HOR 2.22FS/SEC	50.0NS/SEC	50.0NS/SEC

CH 2 V(71) vs TIMECURSOR	LEFT	RIGHT	DIFFERENCE
YSCALE 1V/DIV			
YZERO 2.50 V	VER 5.00 v	4.01 v	-989mV
XSCALE 5NS/SEC/DIV			
XZERO 25.0NS/SEC	HOR -2.22E-10SEC	50.0NS/SEC	50.0NS/SEC

그림 4-5. 순차적 출력 특성
Fig. 4-5. Continuous output characteristic.

인되었다.

시뮬레이션 결과 본 논문에서 설계된 라인메모리와 기존의 라인메모리의 동작특성을 비교하면 표 1. 과 같다.

V. 결 론

고속의 영상 정보 처리 및 높은 샘플링 주파수를 갖는 HDTV의 신호 처리를 위하여 특수 목적의 전용 필터 및 주사선의 정보를 저장하는 라인 메모리는 안정된 시스템 구현에 필수적이다.

따라서 본 논문에서는 HDTV의 신호처리에 적합한 라인 메모리를 설계하기 위하여 현재 메모리 셀로 이용되고 있는 Dual-port 스택틱 셀 및 1-TR, 3-TR 다이내믹 셀의 동작 특성을 분석하고 안정되고 빠른 성능을 갖는 Dual-port 다이내믹 셀을 채용하였으며 구조 설정시 대부분의 FIFO 메모리에서 시간 지연없이 처리하지 못하는 같은 번지의 동시 입·출력 특성을 얻기 위하여 쓰기 비트 라인에 CMOS 래치를 채용한 데이터 래치 감지 방식을 개발하여 안정되고 빠른 동작이 가능하며 비동기적인 입·출력 동작에 의한 같은 번지의 정보 감지가 가능하게 하였다. 또한 고속의 읽기 동작모드를 위하여 서브 어레이 1의 1행 읽기 워드 라인을 분리하여 초기화 신호에 의해 발생 하는 시간지연을 해결하고 DRAM의 스택틱 칼럼 모

드를 이용한 감지방식을 응용하여 고속의 신호 처리가 가능하도록 하였으며 시뮬레이션 결과 개선된 동작특성을 확인하였다.

참 고 문 헌

1. NEC Data Book, (μ PD 42101 Line Buffer for NTSC TV, μ PD 42102 Line Buffer for PAL TV, μ PD 42505 Line Buffer, Application μ PD 42505 Line Buffer for Communication Systems, Application μ PD 41101 / μ PD 41102 High-Speed Line Buffer, High-Speed Line Buffers, Application Interlaced to Noninterlaced VIDEO Scanning Using The μ PD 41101 High-Speed Line Buffer), 1990.
2. T.Oto, et al., "A codec LSI for high definition TV signals," in ISSCC Dig. Tech. Papers, Feb. 1989.
3. N.Hatanaka, et al., "A 3-transistor DRAM line memory for the Video processor," in ESSCIRC Dig. Tech. Papers, p.69, Sept. 1987.
4. W. Jonker, et al., "A HD-MAC coding system," presented at the 2nd Int. Workshop Signal Processing of HDTV, Feb.29, 1988.



金大舜(Dae Soon Kim) 準會員
 1968年1月15日生
 1986年3月~1990年2月: 圓光大學
 學校 電子工學科 工學
 士
 1990年3月~1992年2月: 圓光大
 學校 大學院 電子工學
 科 工學碩士
 1992年3月~現在: 圓光大學校 大學院 電子工學科 博士課程



鄭遇烈(Woo Yeol Jeong) 正會員
 1960年3月25日生
 1978年3月~1982年2月: 圓光大
 學校 電子工學科 工學
 士
 1982年9月~1984年8月: 慶熙大
 學校 大學院 電子工學
 科 工學碩士
 1991年8月~現在: 圓光大學校 大學院 電子工學科 博士課程
 1982年3月~1982年8月: 圓光大學校 電子工學科 助教
 1988年3月~1991年2月: 群山大學校 電子工學科 助教
 1990年8月~現在: 圓光大學校, 群山大學校 講師



金泰亨(Tae Hyung Kim) 正會員
 1961年6月24日生
 1985年3月~1989年2月: 圓光大
 學校 電子工學科 工學
 士
 1989年3月~1991年2月: 圓光大
 學校 大學院 電子工學
 科 工學碩士

1991年3月~現在: 全州工業專門大學 講師



白德洙(Deog Soo Baek) 正會員
 1963年1月7日生
 1981年3月~1988年2月: 圓光大
 學校 電子工學科 工學
 士
 1988年3月~1990年2月: 崇實大
 學校 大學院 電子工學
 科 工學碩士

1992年3月~現在: 圓光大學校 大學院 電子工學科 博士課程
 1991年12月~現在: 裡里農工專門大學 專任講師



金煥溶(Hwan Yong Kim) 正會員
 1951年5月11日生
 1973年2月: 全北大學校 電氣工學
 科 工學士
 1978年2月: 全北大學校 電氣工學
 科 工學碩士
 1984年8月: 全北大學校 電氣工學
 科 工學博士

1986年~1987年: CANADA MANITOBA University 客
 員教授

1979年~現在: 圓光大學校 工科大學 電子工學科 教授