

터미널 서버의 설계를 위한 성능 분석에 관한 연구

正會員 崔 昌 洙* 正會員 李 相 勳* 正會員 康 俊 吉*

A Study on Performance Analysis for Design
of Terminal ServerChang Su Choi*, Sang Hun Lee*, June Gill Kang** *Regular Members*

要 約

일반적으로 높은 성능의 컴퓨터 시스템은 입력/출력 서브시스템에서 자주 병목현상이 나타난다. 일반적으로 시스템 성능평가 모델은 I/O 시스템의 영향을 포함하여 다루어진다. 본 논문에서는 컴퓨터 자원의 분배에 필수적인 장치인 터미널 서버를 모델링 하여 연구한다. 시스템 성능의 주요 요소를 찾아 보기 위해 M/M/1 큐잉 모델을 사용한다. 터미널 서버의 FIFO버퍼 크기는 시스템 설계에 중요 요소이며 전체 시스템 성능에 영향을 미칠 수 있다. 본 논문에서는 시스템 성능을 향상 시키기 위해 터미널 서버모델의 최적 버퍼 크기를 제시한다. 또한 큐잉 모델을 이용하여 터미널서버의 지연시간을 분석하고 시뮬레이션 결과에서 참조 모델을 찾는다.

ABSTRACT

The Input/Output (I/O) subsystem is often the bottleneck in high performance computer system. Generally, system performance evaluation models were enhanced to include the effect of the I/O system. In this paper, we modeled the terminal servers which are indispensable devices in distribution of computer resources. We use M/M/1 Queueing model for find out the point of the system performance. FIFO buffer sizes in the terminal server are the important factors of the system design and could be effected to the overall system functions. We have proposed the optimal buffer sizes in the model of terminal server for increasing the system performance. We analyzing the waiting time for terminal server using Queueing model, and We find out the reference model result from simulation.

*光云大學校 電子工學科
Kwangwoon Univ. Dept. of Electronic Eng.
論文番號: 92-78(接受1991. 9. 16)

I. 서론

현재의 컴퓨터 기술은 고속, 대용량의 방향으로 발전하고 있다. 또한 사회의 급속한 변화와 이에 따르는 정보화 사회가 급속히 진전됨에 따라 컴퓨터 통신 등 데이터 서비스가 증가하고 이들을 효율적으로 처리할 장치들에 대한 필요성이 증가하고 있다. 고속, 대용량의 대형 컴퓨터 시스템에서 이들 컴퓨터 자원을 다수의 사용자가 효율적으로 사용하기 위해서는 다수의 터미널 주변장치들을 접속해 주어야 한다.

컴퓨터 성능의 주된 척도는 Process Speed(instruction/sec, operation/sec), Memory Subsystem의 크기와 속도, 외부와의 통신, I/O Subsystem의 크기와 속도 등이다. 프로세서의 속도는 Memory를 읽기위한 정지 시간(Pause time)보다 프로세서 Cycle time에 더욱 민감함이 논문에서 나와 있다.¹⁾ 메모리 서브 시스템의 속도는 Cache 등의 기술을 통하여, 상당한 속도 향상을 이루고 있는 형편이다. 그러나, I/O 시스템은 프로세서나 메모리와 같이 높은 속도로 구현되지 못하고 있으며, 게다가 일반적으로 시스템의 Main Bus System보다 I/O Subsystem Bus의 속도가 느리기 때문에, I/O Subsystem과 Mainframe간 불균형이 일어난다. 또한, CPU, Memory를 갖는 Computer System에서 I/O의 Bottleneck 현상은 일어난다. 따라서 터미널 서버는 호스트에서 전송되는 대량의 데이터를 각 터미널로 분할 전송 해주는 역할을 한다. 또한 각 터미널로부터 전송되는 소량의 데이터를 종합해서 호스트로 전송해 준다. 그래서 다수의 터미널이 연결된 터미널 서버는 각 터미널 별로 빈번한 데이터 전송 및 빈번한 수신요구, 또한 호스트와의 대량 데이터 교환 요구로 인해 그 성능이 전체 시스템의 성능에 큰 영향을 준다.²⁾⁴⁾¹¹⁾

터미널 서버의 성능은 응답 시간과 처리량이라 할 수 있다. 응답 시간은 서비스 요청과 그 요청에 대한 서비스 완료간의 시간 간격이며, 처리량은 단위 시간당 처리하는 작업의 수로 정의될 수 있다.

본 논문에서는 터미널 서버를 모델링하여, 시스템의 설계시에 입력 데이터의 통계적 특성, 출력 특성에 따라 최적의 FIFO 버퍼 크기를 결정하고 이러한 유한 버퍼를 갖는 시스템의 성능 분석을 수학적으로 해석하여 실제 시스템의 설계 기준을 찾고, 터미널의

수에 따른 대기시간을 구하여 최적의 터미널 서버의 설계에 도움을 주고자 한다.

II. 터미널 서버

일반적으로 다중 처리 다중 사용자의 컴퓨터 시스템은 여러 종류의 서로 다른 입출력 주변장치를 관리하기 위하여 I/O Processor를 둔다. 터미널의 입력 특성은 단말기 형태 및 접속 방식에 따른 메세지 형태로 분류할 수 있다. 단말기 형태를 분류하면 문자형 단말기, 패킷형 단말기, SDLC형 단말기 등이 있다. 또한 메세지 길이 분포에 따르면, 고정길이 메세지, 가변길이 메세지 및 이들을 혼합한 혼합형 메세지로 분류할 수 있다.

터미널 서버는 직렬 데이터를 고속으로 호스트 컴퓨터로 전송하고 호스트 컴퓨터에서 단말기의 비동기 시리얼 포트중 하나로 저속 전송하는데 있다. 이 서버는 비동기 시리얼 포트로부터 받은 저속의 데이터를 고속으로 호스트 컴퓨터에 전송하고 그 역동작을 실행한다. 기존의 시스템은 통신과정에 프로토콜로 TCP/IP, Token Ring 등을 지원한다. 터미널 서버의 구성은 CPU와 일반 RAM 그리고 Dual-Port RAM 그리고 FIFO queue와 UART로 구성되어 있다.

본 논문의 시스템에서는 호스트와 터미널 서버로 연결된 터미널 시스템을 가정한다. 터미널 서버내에는 각 port마다 FIFO Queue가 내장되어 있다. 터미널 서버의 블럭도는 그림 1.과 같다. 여기서 터미널 서버의 성능에 큰 영향을 미치는 것은 CPU의 속도, 메모리 전송속도, firmware 내의 동적 버퍼 할당 알고리즘과 FIFO Queue 크기, 터미널 확장 포트등이라고 할 수 있다.³⁾

III. 모델링

본 논문에서는 터미널 서버의 FIFO Queue 크기에 대한 터미널 서버의 성능을 분석함으로써 최적 Queue 크기를 결정하고, 터미널 수에 따른 대기시간을 수학적으로 해석하기 위하여 모델링을 하였다. 터미널 서버의 성능을 분석하기 위해서 큐잉 이론을 적용하여 터미널 서버에 메시지가 도착하는 과정은 Poisson 과정이며 메시지 서비스 과정은 동일하게 분포된 지수 분포를 갖고 터미널 서버내에 보유할 수

있는 최대 메시지의 수는 K인 M/M/1/K 시스템이라 가정한다. 또한 firmware 내의 동적 버퍼 할당 알고리즘은 최적 이라고 가정한다.

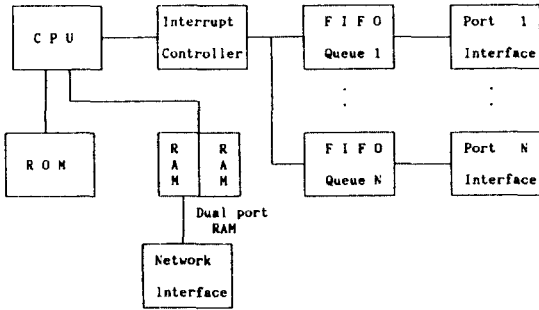


그림. 1 터미널 서버의 블록도

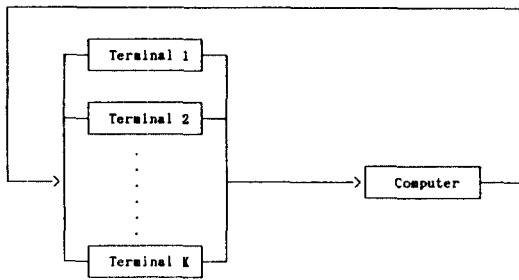


그림. 2 터미널 서버 큐잉 모델

IV. 수학적 해석

이 시스템의 상태 천이는 M/M/1 시스템과 동일하다.

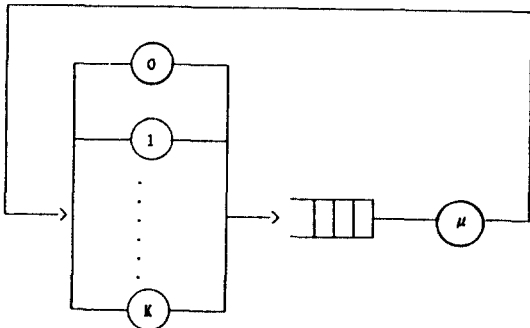


그림. 3 단일 서버 M/M/1 시스템

시스템의 평형 상태 확률은 다음과 같다.

$$P[N=j] = \frac{(1-\rho)\rho^j}{1-\rho^{K+1}} \quad j=0,1,2,\dots,K, \quad \rho < 1 \text{ 또는 } \rho > 1 \quad (4-1)$$

$\rho=1$ 이면 모든 상태는 동일한 확률을 갖는다.

4-1 FIFO 버퍼 크기의 해석

모뎀을 하는 터미널 서버의 최적 버퍼 크기를 결정하려면 터미널 서버에서 임의의 시간에 버퍼내에 존재하는 메시지 갯수를 예측할 필요가 있다. 시스템내에 존재하는 평균 메시지 수는 다음과 같다.

$$E[N] = \sum_{j=0}^K j P[N(t)=j] = \begin{cases} \frac{\rho}{1-\rho} - \frac{(K+1)\rho^{K+1}}{1-\rho^{K+1}} & \rho \neq 1 \\ \frac{K}{2} & \rho = 1 \end{cases} \quad (4-2)$$

한개의 메시지가 큐에 들어와서 서비스 받을때까지 걸리는 평균시간 E[T]는 실제로 시스템에 들어오는 도착율 λ_a 를 사용하여 구할 수 있다. 시스템이 메시지를 되돌릴 시간은 $P[N(t)=K]=P_k$ 이므로 시스템이 메시지를 되돌리는 확률은 $\lambda_b = \lambda P_k$ 이다. 따라서 시스템의 실제 도착율은 다음과 같다.

$$\lambda_a = \lambda(1-P_k) \quad (4-3)$$

Little의 식을 (4-2)에 적용하면

$$E[T] = \frac{E[N]}{\lambda_a} = \frac{E[N]}{\lambda(1-P_k)} \quad (4-4)$$

$\rho < 1$ 인 경우 M/M/1 시스템에서 메시지를 되돌릴 확률 즉, 블리킹 확률(P_b)은 다음과 같다.

$$P[N'=K] = \frac{(1-\rho)\rho^K}{1-\rho^{K+1}} = (1-\rho)\rho^K \{1+\rho^{K+1}+\dots\} \quad (4-5)$$

$\rho < 1$ 이고 K가 큰 경우 $P[N'=K]$ 는 M/M/1 시스템의 $P[N=K]$ 에 근사된다. 이 식에 의해서 주어진 트래픽 밀도 ρ 에 대해서 시스템의 적정 블리킹 확률을 유지하기 위한 터미널 서버의 버퍼 크기를 결정할 수 있다.

$$\text{주, } K = \frac{\log(P_B / (1 - \rho + \rho P_B))}{\log \rho} \quad (4.6)$$

식 (4.6)에 의해서 특정 트래픽 밀도 ρ 에서 적정 블록킹 확률 P_B 를 유지하기 위한 버퍼의 수는 표 1과 같이 구해진다. [1][2][6][8]

표. 1 특정 트래픽 밀도에서 주어진 블록킹 확률을 유지하기 위한 버퍼 크기

ρ	P_B	K
0.300000	1.000000e-01	1.651
0.500000	1.000000e-01	2.459
0.700000	1.000000e-01	3.668
0.900000	1.000000e-01	6.092
0.300000	1.000000e-03	5.442
0.500000	1.000000e-03	8.967
0.700000	1.000000e-03	15.998
0.900000	1.000000e-03	43.794
0.300000	1.000000e-05	9.266
0.500000	1.000000e-05	15.610
0.700000	1.000000e-05	28.903
0.900000	1.000000e-05	87.418
0.300000	1.000000e-07	13.091
0.500000	1.000000e-07	22.253
0.700000	1.000000e-07	41.814
0.900000	1.000000e-07	131.126
0.300000	1.000000e-09	16.916
0.500000	1.000000e-09	28.897
0.700000	1.000000e-09	54.726
0.900000	1.000000e-09	174.835
0.300000	1.000000e-11	20.741
0.500000	1.000000e-11	35.541
0.700000	1.000000e-11	67.637
0.900000	1.000000e-11	218.543
0.300000	1.000000e-12	22.654
0.500000	1.000000e-12	38.863
0.700000	1.000000e-12	74.093
0.900000	1.000000e-12	240.398

4-2 터미널의 대기시간 해석

터미널의 동작은 유한개의 상태를 가진 그림 4처럼 모델될 수 있다. 그림 4에 표기한 것처럼 터미널은 채널 단절 상태, 채널 접속 상태, 전송할 데이터가 있는 상태, 패킷화 상태로 나눌 수 있다.

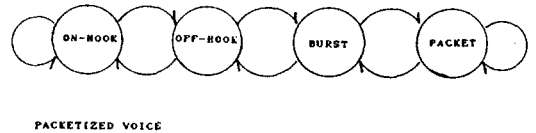


그림. 4 상태 천이도

통신 터미널의 경우는 위의 모델에 가입이라는 새로운 상태가 필요하다.

계층 1에서의 터미널 부하는 다음과 같다.

$$\rho = \text{PROB}(\text{Layer 1 active} \mid \text{Layer 1+1 active}) \quad (4.7)$$

C_1 을 패킷 상태에서 터미널의 전송 속도라 하자.

계층 1에서 평균 전송속도는 다음과 같다.

$$C_1 = C_1 \prod_{i=1}^{i-1} \rho_i \quad (4.8)$$

윗식으로 계산하면 $C_1=150\text{Mbit/sec}$ 이며, $C_2=64\text{Kb/s}$, $C_3=25.6\text{Kb/s}$, $C_4=2.56\text{Kb/s}$ 가 된다. 모델의 해석은 확률 통계적 과정을 이용해서 해석할 수 있다. 터미널 모델에서 하나의 상태를 s 라 하고, 이들 상태들의 유한한 집합을 S 라 하자.

상태 천이의 과정을 알아보기 위해서 천이 과정을 Markov Process라 하고, $P_{ss'}$ 를 상태 S' 로 천이할 확률 속(Probability flux)이라 하면 천이 확률은 $P_{ss'} \delta t + o(\delta t)$ 이고 천이가 없을 확률은 $1 - P_{ss'} \delta t - o(\delta t)$ 이다. 전체시간 T 를 최소시간 δt 로 나누어 주면

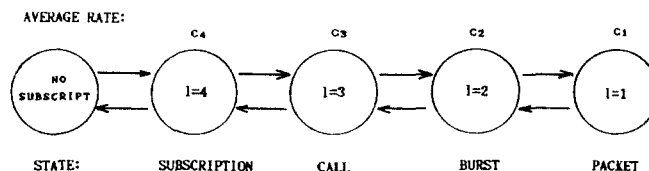


그림. 5 상태 천이도

Subinterval을 구할수 있고, 이 Subinterval에 대한 위의 수식은 Markov 과정을 보장한다. 즉, 상태 S에 서는 S' 상태로만 천이할 수 있다. 1시간 간격동안 천 이가 일어나지 않을 확률은 미소 시간 간격의 천이가 없을 확률의 확률의 곱에 의해 주어진다.

즉, $P(\tau > T) = [1 - P_{ss'} \delta t - O(\delta t)]^T / \delta t$ 이 식에서 $\delta \rightarrow 0$ 로 수렴함을 가정하면 윗식은 $e^{-P_{ss'}T}$ 가 된다. 그러므로 천이는 지수적인 확률 분포를 갖는 것을 알 수 있다. 안정 상태에서 평형 방정식은

$$P_s \sum_{s'} P_{ss'} = \sum_{s'} P_{ss'} P_s \quad (4-9)$$

네트워크 상에 K 개의 터미널이 있는 경우 터미널에 서 나오는 전체 트래픽은 각각은 터미널의 합이다. Poisson 프로세스에 의해 진행된다고 가정하면, Random Traffic Process를 $R_k(t) = a_s$ 라 놓으면 K 개의 터미널에 대한 트래픽은 다음과 같다.

$$W(t) = \sum_{k=1}^K R_k(t) \quad (4-10)$$

여기서 $R_k(t)$ 는 $P_k(a_k)$ 로 구할 수 있다. 트래픽 $W(t)$ 에 대한 확률은 식 4-11과 같이 된다.

$$P_w(w) = \sum_{a_1 + \dots + a_k = w} \prod_{k=1}^k P_k(a_k) \quad (4-11)$$

이항 분포로 다음과 같이 바꿀수가 있다.

$$P_w(ja) = \binom{k}{j} P^j (1-p)^{k-j} \quad (4-12)$$

W에 관한 모멘트는 $P_w(w)$ 의 변환에 의해 식 4-13과 같이 주어진다.

$$\Psi_w(s) = \sum_w P_w(w) e^{sw} \quad (4-13)$$

식 4-13을 일반화 하면 다음과 같다.

$$\Psi_w(s) = \sum W^n P_w(w) W^n \quad (4-14)$$

$W(t)$ 의 평균과 편차는 $\Psi_w(s)$ 의 미분에 의해 주어진다. Campbell's이론에 의하면 다음과 같다.

$$\begin{aligned} E(w) &= \Psi'_w(s=0) \\ V(w) &= \Psi''_w(s=0) - (\Psi'_w(s=0))^2 \end{aligned} \quad (4-15)$$

K개의 단말기가 있고 서버가 하나인 시스템을 가정 하여 해석을 한다. 각각의 단말기는 두가지 상태중에 하나의 상태에 있게된다. 첫번째 상태는 서버에게 서비스를 요구하기 위한 준비 상태이며, 두번째 상태는 서버에게 서비스를 요구하는 상태이다. 각 단말기는 서비스 요구를 준비하는데 $1/\alpha$ 의 평균을 갖는 지수 함수식 분포의 시간을 사용한다고 가정한다. 휴지 상태의 단말기는 $K-k$ 이고, 시스템의 상태 $N(t)=k$ 이다. 따라서 서비스를 요구하는 속도는 $(K-k)\alpha$ 이다. 각각의 요구에 대한 서비스는 $1/\mu$ 의 평균을 갖는 지수분포이다. 이와 같은 시스템에서 안정 상태 확률은 다음과 같다.

$$P_k = \frac{K!}{(K-k)!} \left[\frac{\alpha}{\mu} \right]^k P_0 \quad (4-17)$$

여기서 P_0 는 다음과 같다.

$$P_0 = \left[\sum_{k=0}^K \frac{K!}{(K-k)!} \left[\frac{\alpha}{\mu} \right]^k \right]^{-1}$$

서버 이용률은 서버가 busy인 시간과 비례한다.

$$\rho = 1 - P_0 \quad (4-18)$$

Little의 식으로부터 큐에 도착하는 평균 도착율을 구할 수 있다.

$$\lambda E[\tau] = \rho = 1 - P_0 \quad (4-19)$$

이식을 다시 정리해보면 식 4-20과 같이 된다.

$$\lambda = \frac{\rho}{E[\tau]} = \mu \rho = \mu(1 - P_0) \quad (4-20)$$

요구 발생에 $1/\alpha$ 를 사용하는 큐잉 시스템에서 서비스 시간을 $E[T]$ 라 하자. 그러면 각 단말기는 초당 $(1/\alpha + E[T])^{-1}$ 의 속도로 요구를 발생하게 된다. 그러므로 전체 시스템의 도착율은 다음식과 같다.

$$\lambda = \frac{K}{1/\alpha + E[T]} \quad (4-21)$$

각각의 요구에 대한 평균지연을 구하기 위해 E[T]에 관해 식을 정리하면 다음과 같다.

$$E[T] = \frac{K}{\lambda} - \frac{1}{\alpha} \quad (4-22)$$

평균 대기시간은 E[T]로부터 평균 서비스 시간을 빼면 구할 수 있다.

$$E[W] = E[T] - 1/\mu \quad (4-23)$$

단말기의 갯수가 충분히 작은 경우와 충분히 큰 경우를 고려해 보면

(1) K개의 단말기의 수가 충분히 작은 경우는 요구가 큐에 대기하는 시간이 없으므로 E[T]는 다음과 같이 된다.

$$E[T] = 1/\mu \quad (4-24)$$

그러므로 λ 는 다음과 같이 된다.

$$\lambda = \frac{K}{1/\alpha + 1/\mu} \quad (4-25)$$

즉, 단말기의 갯수가 증가함에 따라 λ 는 K에 선형적으로 증가한다. 따라서 λ 는 μ 에 근사함으로써 다음과 같이 된다.

(2) λ 가 μ 에 접근한다 함은 K가 충분히 큰 경우이다. [2][9][10][11]

$$E[T] = \frac{K}{\lambda} - \frac{1}{\alpha}$$

$$E[T] = \frac{K}{\mu} - \frac{1}{\alpha} \quad (4-26)$$

V. Simulation 결과 및 고찰

수학적 해석의 타당성을 보이기 위해 Simulation Tool인 System Modeling사의 SIMAN Version 3.0을 사용하여 비교 분석하였다.

Traffic 양에 따라 100개의 Terminal이 traffic을 발생하는 경우를 가정한다. 각 단말에서의 입력은 도착 λ 로 나타나며, 이때 도착과정은 Uniform하게 분포된 Poisson 분포로 도착시간 간격에 서로 독립인 지수 확률 변수이고, Packet화 하는 과정을 갖는

Server의 시간은 일반 분포에 따르며 서로 독립적이고, 동등한 분포를 갖는다. 또한 Packet의 Size는 지수확률 변수에 의해 발생한 각 입력 큐의 길이의 총합이며, 입력큐는 한번에 한개씩만 서비스하는 것으로 하고, 생성된 Packet의 길이에 따라 Mainframe의 처리시간은 변하는 것으로 가정한다.

그림. 6은 버퍼 크기대 블록킹 확률의 그래프를 보여준다. y축은 로그값이므로 버퍼 크기가 증가 할수록 블록킹 확률이 급수적으로 감소한다. 그림. 7은 버퍼 크기대 지연 시간 그래프를 보여준다. 그림. 7에서 처리된 메시지/입력된 메시지는 0.9로 가정한다. 버퍼 크기가 증가하면 지연시간이 감소 하지만 어느 정도에 이르면 더이상 감소하지 않는 지수 함수적 분포를 보여준다. 그림. 8은 버퍼 크기대 처리율 그래프를 보여준다. 여기서 처리율은 처리된 메시지/입력 메시지 이므로 처리율은 $1 - P_{Bk}$ 이다. 처리율은 버퍼 크기가 증가 할수록 1에 가까워 진다. [2]

그림 9는 시스템의 전체 처리량과 대기시간의 관계를 보여준다. 그래프는 트래픽 강도가 높아짐에 따라 전체 시스템의 처리량은 많아 지지만 대기 시간이 급속히 늘어남을 나타내었다. 처리량이 100에 이르면 트래픽 강도 그래프가 모두 만나는 것은 터미널 서버의 처리 능력이 포화 상태에 이르렀음을 나타낸다. 그림 10은 터미널의 갯수와 대기시간 사이의 관계를 도시 하였다. 통신 요구가 일정할 경우 대기시간이 급속히 증가한다. 이때 터미널의 수가 증가함에 따라 대기시간이 선형적으로 증가함은 앞서의 수학적 해석에서 미리 예견 할수 있었다. 그림에서 직선은 수학적 해석의 결과를 나타내며 네모 모양은 SIMULATION 결과를 나타낸 것이다.

VI. 결 론

본 논문에서는 터미널 서버의 성능을 큐잉모형을 통하여 분석하고 그 성능을 향상 시키기 위한 요소에 대해 알아보았다. 모든 컴퓨터 시스템에 있어서 버퍼의 역할을 매우 중요한 것이며, 내부 메모리보다 상대적으로 고속의 동작이 요구되는 버퍼 메모리의 가격은 컴퓨터 시스템 전체 비용에 있어서 적지않은 부분을 차지한다. 따라서 특정 동작 상황에서 요구되어지는 버퍼의 크기를 안다는 것은 컴퓨터 시스템 설계자에게는 필수라고 할 수 있다. 예를 들어 표.1로부터 한 패킷의 크기가 제어비트를 포함하여 132byte인

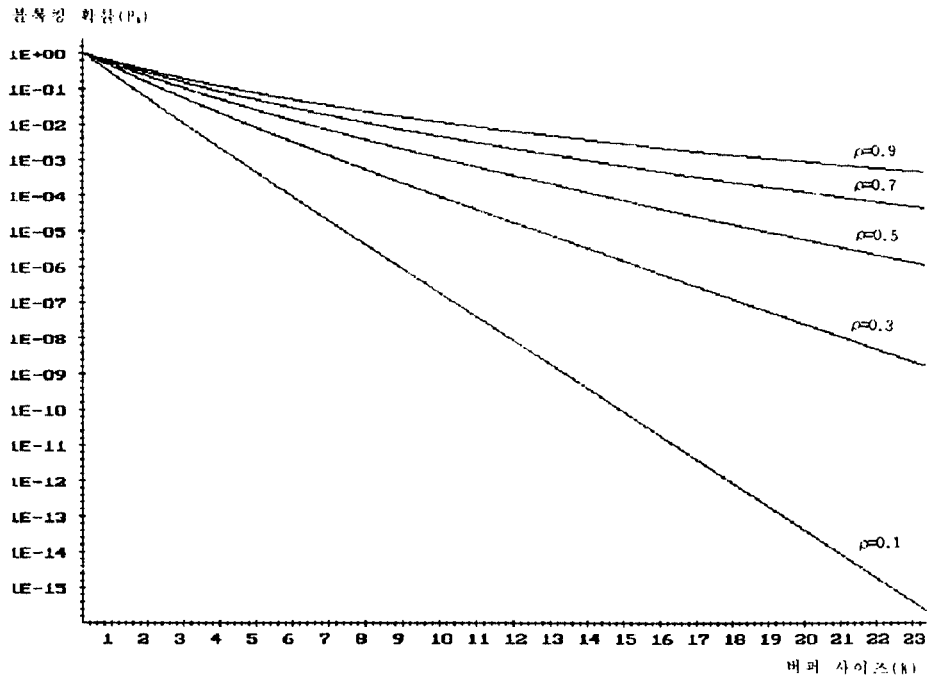


그림. 6 버퍼 크기대 블록킹 확률

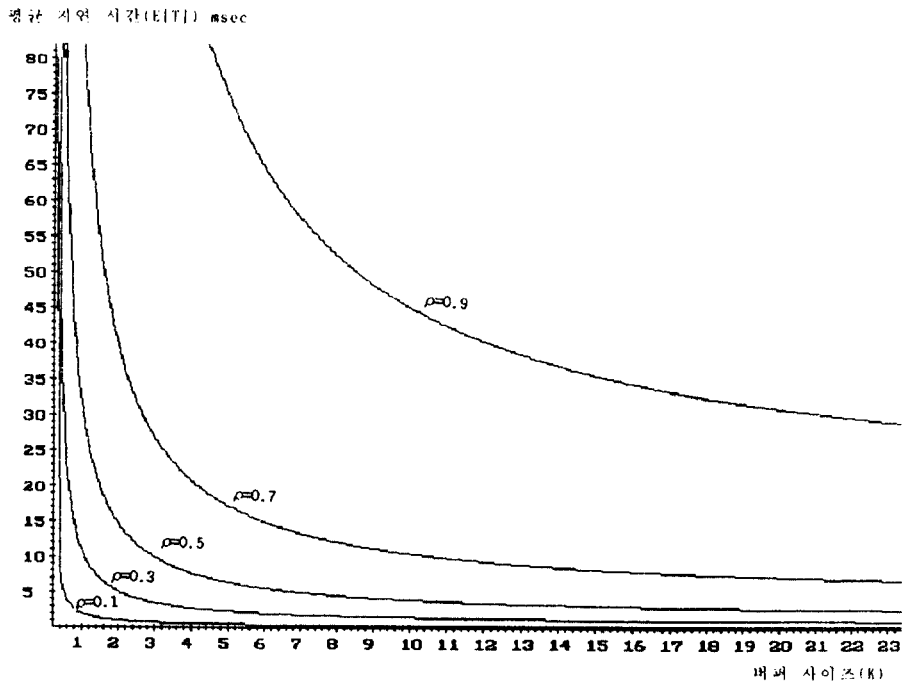


그림. 7 버퍼 크기대 지연 시간

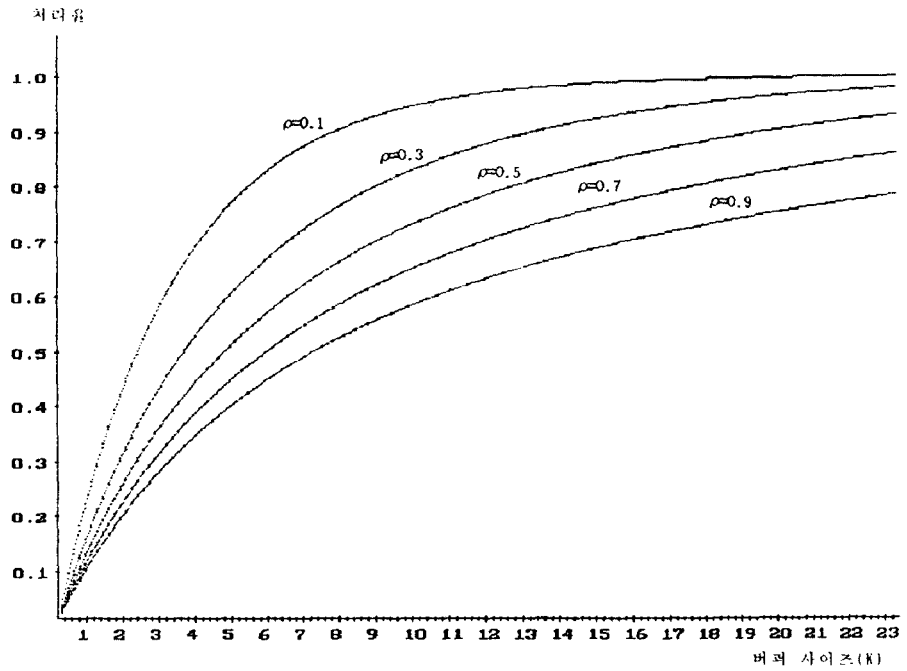


그림. 8 버퍼 크기대 처리율

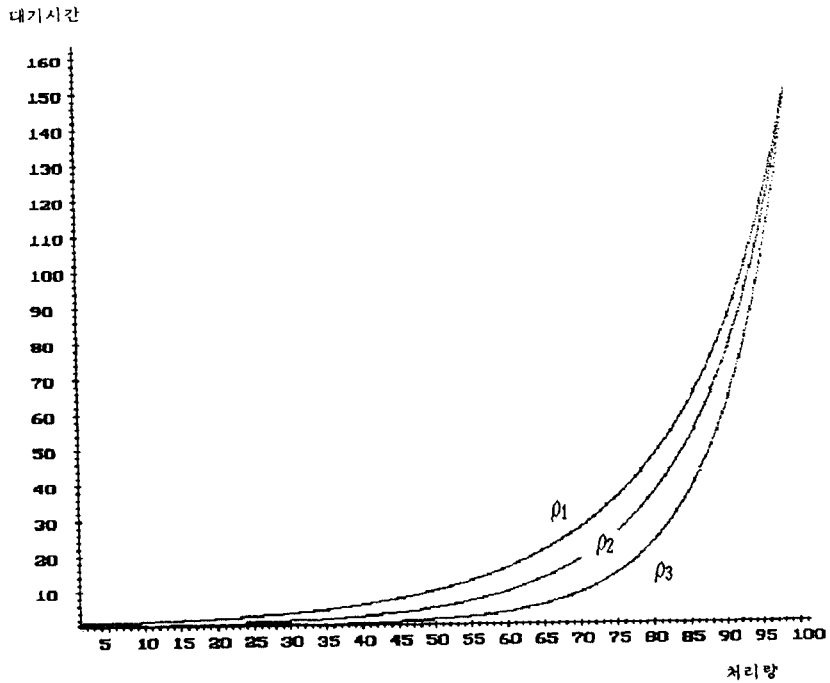


그림. 9 전체 처리량과 대기시간의 관계

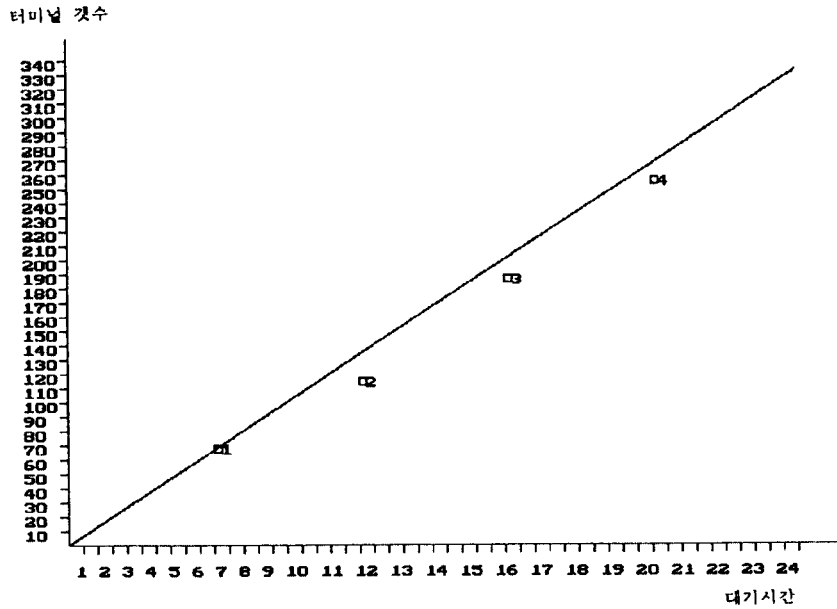


그림. 10 터미널의 갯수와 대기시간 사이의 관계

터미널 시스템에서 70%의 트래픽밀도, 블록킹 확률 10^{-4} 으로 운용하고자 한다면 최소 29 블록 즉 $29 \times 132 = 3828$ byte의 버퍼가 필요하다. 실제로는 순간적인 과도 트래픽을 대비하기 위해 이보다 더 큰 버퍼가 필요하다. 본 논문에서는 32개의 시리얼 포트를 갖는 터미널 서버를 기본으로 시뮬레이션을 수행하였다. 각각의 포트에서의 트래픽 밀도는 평균 10 msec의 평균을 갖는 지수 함수적 분포로 발생한다고 가정하였으며, 전송 요구가 생기는 즉시 서비스 된다고 가정하였다. 시뮬레이션 결과 터미널의 수가 증가함에 따라 지수적으로 지연 시간이 증가함을 알 수 있다. 트래픽이 높은 경우 처리량은 좋아지지만 각 단말에서 지연 시간이 급속히 증가함으로 처리량이 일정량을 넘어서는 경우 이들 트래픽을 분산하거나 대기 시킬 알고리즘의 개발이 요구된다. 설계될 터미널 서버에서는 인터럽트를 다루는 firmware에서 이들 트래픽에 관한 처리를 조정하는 알고리즘이 들어가야한다. 한편 버퍼의 대기시간 및 램 액세스 시간 등의 최소화를 위하여 메모리로서는 속도가 빠른 듀얼 포트 램을 사용함이 바람직하다. 차체에 처리해야 하는 데이터의 우선순위를 고려한 여러 등급의 메시지가 있을 경우도 분석되어야 할 것이다.

참 고 문 헌

1. Stephen S. Lavenberg, "Computer Performance modeling handbook" Academic Press, 1983.
2. Leon Garcia, "Probability and Random process for electrical engineering" Addison Wesley, N. Y., 1984.
3. M. Schwartz, "Telecommunication Networks : protocol modeling and analysis" Addison Wesley, 1987.
4. Stewart. V. Hoover and Ronald F. Perry "Simulation" Addison Wesley, 1989.
5. Fred Halsall, "Data Communication, Computer networks and OSI" 2nd edition, Addison Wesley, 1988.
6. A. Papoulis, "Probability, random variables, and stochastic processes" McGraw-Hill, N. Y., 1984.
7. S. M. Ross, "Stochastic processes" Wiley, N. Y., 1983.
8. L. Kleinrock, "Queueing Systems" Vol. I, Vol.

- II, 1975.
9. Siewiorek, D.P., Bell, C.G. and Newell, A., Computer structure and principle and examples, McGraw-Hill, 1982.
 10. Snow, E and Siewiorek, D.P., Impact of Implementation Design Tradeoffs on Performance: The POP-11, A Case study, Digital Equipment Co., 1978.
 11. Hui, Switching and Traffic Theory for Integrated broadband Network, KAD, 1990.
 12. R. B. Cooper, Introduction to Queueing Theory, Macmillan, New York, 1972.
 13. M. Reiser and S. S. Lavenberg, "Mean-Value Analysis of Closed Multichain Queueing Networks," J. Assoc. Comput. Mach., 27, 1980.
 14. B. Maglaris, D. Anastassiou, P. Sen, G. Karlsson, and J. Robbins, "Performance analysis of statistical multiplexing for packet video sources," IEEE Trans. on Commun., vol. COM-36, July 1988.
 15. J. Kaufman, "Blocking in shared resource environment," IEEE Trans. on Commun., vol. COM-29, Oct. 1981.



崔昌洙(Chang Su Choi) 正會員
 1966年 1月 15日生
 1990년 : 광운대학교 전자공학과(공학사)
 1992년 : 광운대학교 대학원 전자공학과(공학석사)
 1992년~현재 : 광운대학교 대학원 박사과정 재학중



李相勳(Sang Hun Lee) 正會員
 1958年 8月 2日生
 1983年 : 光云大學校 應用電子工學科(工學士)
 1987年 : 光云大學校 大學院 電子工學科(工學碩士)
 1992年 : 光云大學校 大學院 電子工學科(工學博士)
 1990年~現在 : 光云大學校 電子計算教育院 專任講師



康俊吉(June Gill Kang) 正會員
 1945년 2月 15日生
 1972년 3月~1976년 3月 : 光云大學 電子工學科 專任講師
 1973年 6月~1979年 3月 : 韓國科學技術研究所 應用光學室 委燭研究員
 1979年 9月~1984年 2月 : 光云大學校 電子工學科 副教授

1980年 9月~1981年 2月 : 미국 MIT 電子工學科 客員研究員
 1982年 9月~현재 : 國際技能올림픽위원 審査委員長
 1984年 3月~현재 : 光云大學校 電子工學科 教授
 1985年 9月~현재 : 光云大學校 電子技術研究所 所長
 1992年~현재 : 光云大學校 工科大學 學長