DBpia

論 文

CMOS DDA와 DDA 차동 적분기의 설계

正會員 柳 喆 魯* 正會員 金 東 龍* 正會員 尹 暢 烹*

The Design of CMOS DDA and DDA differential integrator

Chul Ro Yu*, Dong Yong Kim*, Chang Hun Yun* *Regular Members*

要 約

새로운 능동 소자인 DDA와 이를 이용한 차동적분기를 설계하였다. DDA는 기존의 OP-AMP로 구성된 응용 회로의 설계시 외부 소자의 정합 문제를 개선할 수 있다는 장점을 갖는다. DDA의 설계는 트랜스컨덕턴스 소자인 differential pair를 이용하여 2㎛ 설계 규칙에 맞게 하였다. 이 DDA의 성능을 평가하기 위하여 전압 인버터와 레벨 쉬프터로 구성하여 특성을 고찰한 결과 우수함을 입증하였다. 그리고 CMOS DDA를 이용하여 접지 저항의 모의와 차동적분기를 설계하였고, DDA 차동적분기의 특성이 OP-AMP 차동적분기의 특성과 일치함을 알 수 있었다. 또한 설계된 CMOS DDA와 DDA 차동 적분기를 MOSIS 2㎛ CMOS 공정 기술을 적용하여 layout 하였다.

ABSTRACT

The DDA(differential difference amplifier) of new active element and the DDA differential integrator are designed. The DDA can be improved matching problems of external elements in op-amp application circuits. The design of DDA is used the transconductance element, differential pair and 2㎛ design rule. In order to evaluate the performance of the CMOS DDA, we simulated the DDA voltage inverter and the DDA level shifter using the designed CMOS DDA. Furthermore, the grounded resistor and the differential integrator is designed using the CMOS DDA and we found that its characteristics are agreed to OP-AMP differential integrator's. We performed the layout of the CMOS DDA and DDA differential integrator with MOSIS 2㎛ CMOS technology.

I. 서 론

최근 신호처리용 회로를 설계함에 있어서 아날로그 회로와 디지탈 회로를 동일한 공정으로 하나의 chip속에 집적화 하고 있는 실정이며, CMOS 공정기술을 이용하여 아날로그 회로를 설계하려는 추세이다. CMOS 공정기술을 이용할 경우 PMOS나 NMOS보다 소비전력이 적을 뿐만아니라 bipolar 공정기술에 비하여 집적도를 높일 수 있기 때문에 각종 신호처리용 소자를 설계하는데 많이 적용하고 있다.

또한 최근에 각광 받고 있는 continuous-time 기법을 이용하여 필터를 설계할 경우, 능동 RC 회로를 기본형으로 사용한다. 그러나 능동 RC 회로는 저항값

*全北大學校 電氣工學科
Dept. of Electrical Engineering, Chonbuk Nat'l Univ.
論文番號 : 93-61

www.dbpia.co.kr

이 커지면 집적화 하는데 많은 면적을 필요로 하고 RC 적(product)을 일정하게 유지하기가 어렵다. 이러한 문제점은 switched-capacitor 회로로 해결할 수 있으나 입력단과 출력단에 anti-aliasing 필터와 smoothing 필터가 필요하여 회로 구성이 복잡하고, 스위치 잡음과 clock feedthrough 영향과 같은 장애가 있다.[1,4,12] 다른 방법인 MOSFET-C 회로는 정확한 RC 적을 유지하기 위하여 동조를 해야 한다는 점과 MOS로 저항을 모의하기 때문에 비선형 저항 특성을 없애기 위해 완전 대칭된 회로를 사용해야 한다는 단점을 가지고 있다.

그러므로 본 논문에서는 이러한 문제점을 해결하기 위하여 Säckinger와 Guggenbühl에 의해 제시된 DDA(Differential Difference Amplifier) 이론[5]을 이용한다. DDA는 OP-AMP와 유사한 특성을 가지지만 두개의 single-ended 입력전압 대신에 두개의 차동 (differential) 입력 전압을 비교한다는 점이 다르다. 특히, DDA를 이용하여 OP-AMP의 응용 회로 (level shifter, voltage inverter, difference amplifier)를 구성할 경우, MOS 트랜지스터의 비이상성 제거가 필요없는 간단한 구조로되며, 더 적은 수의 소자를 필요로 하여 경제적이고, 외부 소자의 정합이 필요 없다는 장점을 가지고 있다.[9,10,11]

그리고 CMOS DDA는 설계가 간단한 differential pair를 이용하여 설계하고, SPICE 시뮬레이션을 통하여 이득과 위상 특성등을 조사하며, 이 회로를 이용하여 continuous-time 필터 설계시 필요한 접지 저항의 모의와 차동적분기를 설계한다. 그리고 설계된 CMOS DDA와 차동 적분기를 MOSIS 2㎛ n-well CMOS 공정 파라미터를 적용하여 layout 한다.

Ⅱ. CMOS DDA의 설계

2-1. DDA의 구조

DDA는 두개의 single ended 입력 전압 대신에 두개의 차동 입력 전압을 비교한다는 것 외에는 OP-AMP와 유사하다. 또한 부궤환(negative feedback)을 갖는 이상적인 OP-AMP와 마찬가지로 이상적인 DDA에서도 부 입력단(V_{NP}와 V_{NN})과 정 입력단(V_{PP}와 V_{PN})을 가지며, 부궤환을 갖을때 식(2-1)과 같으며, 그의 출력 전압 V_o은 식(2-2)로 나타낼 수 있다.

$$V_{PP}-V_{PN}=V_{NP}-V_{NN} \tag{2-1}$$

$$V_o=A[f_P(\Delta V_P)-f_N(\Delta V_N)]\ A\to\infty \tag{2-2}$$

$$\Delta V_P=V_{PP}-V_{PN}\quad \Delta V_N=N_{NP}-V_{NN}$$

그래서 DDA를 3개의 OP-AMP로 조합하여 실현할 수 있다고 가정할 수 있으나 다음과 같은 이유 때문에 불가능하다.

① OP-AMP는 큰 차동 전압으로 설계할 수 없다.

② 첫단에 있는 두개의 OP-AMP의 open-loop gain을 정확하게 맞추는 것이 불가능하다.

식(2-2)의 함수 f_P와 f_N은 트랜스컨덕턴스 소자를 이용하여 그림 1에 보인 블럭 다이어그램과 같이 실현할 수 있다. 이 실현 방법에서 A 부분은 고이득단을 나타내며, 전류차 Δi_D를 출력 전압 V_o으로 전환하는 역할을 한다.

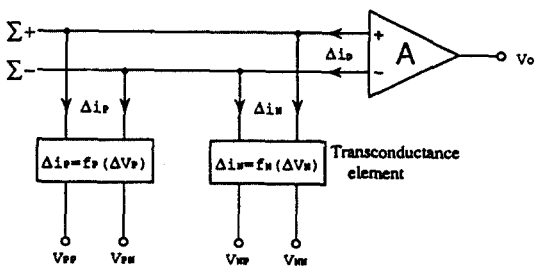


그림 1. DDA의 블럭 다이어그램
Fig. 1. Block diagram for the DDA

DDA의 설계는 OP-AMP의 설계 이론에 기초를 두고 있으며, 함수 f_P와 f_N은 식(2-3)과 같고, differential pair를 이용하여 실현한다.

$$f_P(\Delta V_P)=f_N(\Delta V_N)=\Delta i=$$

$$\begin{cases}\dfrac{\Delta V}{|\Delta V|}\cdot I_C & |\Delta V|\geq\sqrt{\dfrac{2I_C}{\beta}} \quad (2\text{-}3a)\\[2ex] \dfrac{\Delta V}{|\Delta V|}\sqrt{\beta I_C}\ \Delta V\sqrt{1-\dfrac{\beta\Delta V^2}{4I_C}} & |\Delta V|\leq\sqrt{\dfrac{2I_C}{\beta}} \quad (2\text{-}3b)\end{cases}$$

여기서 $\beta=\mu\cdot Cox\cdot\left[\dfrac{W}{L}\right]$ 이다.

식(2-3b)에서 differential pair의 트랜스컨덕턴스 g는 다음과 같다.

$$g=\sqrt{\beta I_C}\cdot\sqrt{1-\frac{\beta\Delta V^2}{4I_C}} \tag{2-4}$$

www.dbpia.co.kr

식(2-4)에서 트랜스컨덕턴스의 비이상성의 영향은 두번째 제곱근항 때문에 발생하며 전압 ΔV가 크면 클수록 이상성은 더욱 나빠질 것이다. 또한 differential pair의 비이상성의 영향이 DDA의 선형 이득을 제한하기 때문에 입력 전압의 범위가 작다는 단점을 갖고 있으나 설계가 간단하다는 장점을 가지고 있다. 그리고 입력 전압 범위는 W/L의 값이 작거나, 큰 bias 전류 I_C를 갖는 트랜지스터를 사용함으로써 증가 시킬 수 있다.

2-2. DDA의 설계

OP-AMP의 설계 규칙과 그림 2-2의 블럭다이어그램에 의한 DDA의 설계 회로를 그림 2에 제시하였다.

$K_N = \mu_N \cdot Cox = 51.4\ [\mu A/V^2]$

$K_P = \mu_P \cdot Cox = 19.7\ [\mu A/V^2]$

V_T = Threshold Voltage : $V_{TN} = 0.7923$ [V]

$V_{TP} = -0.7879$ [V]

μ : 채널의 전자 이동도 [cm^2/Volt-sec]

$Cox = \varepsilon_{ox}/T_{ox}$: capacitance/gate oxide의 단위 면적 [F/cm^2]

음성처리용 필터 회로에 적용되는 OP-AMP와 같은 일반적인 특성을 얻기 위하여 Bias 전류 $I_{bias} = 30[\mu A]$로, $I_C = 60[\mu A]$로 선택하였고, $V_{DD} = -V_{SS} = 5$[V], 보상 캐패시터 $C_C = 4$[pF]로 설계 하였다. 설계된 트랜지스터의 크기를 표 1에 나타내었다.

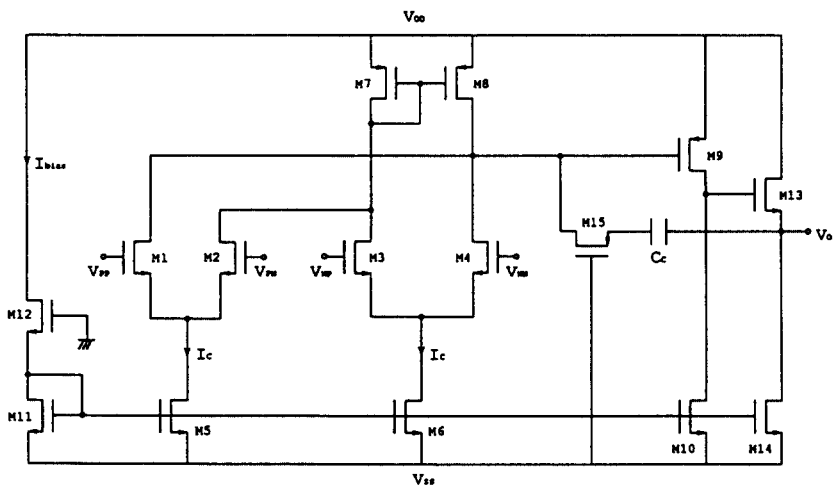


그림 2. CMOS DDA 회로
Fig. 2. CMOS DDA circuit

트랜스컨덕턴스 소자는 두개의 differential pair (M1~M4)를 이용하여 실현하였고, 전류 전원은 M5, M6과 같다. 고이득단은 current mirror(M7~M8)와 M9, M10, Cc로 구성하였고, buffer단 (M13~M14)은 낮은 출력 임피던스를 제공하며, 증폭 부분의 동작점을 출력 전류에 독립되게 한다.

모든 MOSFET가 포화 상태에서 드레인에 흐른 전류 I_D는 다음과 같다.[12]

$$I_D = \frac{\beta}{2}(V_{GS} - V_T)^2 \qquad (2\text{-}5)$$

표 1. CMOS DDA의 트랜지스터 크기
Table 1. Transister size of CMOS DDA

트랜지스터	W/L[㎛]	트랜지스터	W/L[㎛]	트랜지스터	W/L[㎛]
M1~M4	10/12	M5~M6	94/10	M7~M8	34/10
M9	57/10	M10	157/10	M11	47/10
M12	8/58	M13~M14	157/10	M15	70/5

2-3. 시뮬레이션

설계된 DDA 회로를 아날로그 시뮬레이션 프로그

www.dbpia.co.kr

램인 SPICE에 의해 특성을 조사하였고, 표 2와 그림 3, 4에 나타내었다.

표 2. CMOS DDA의 동작 특성
Table 2. Performance characteristics of CMOS DDA

open-loop gain	69.7 dB
gain bandwidth, phase	1.6 MHz, 89 deg.
common mode rejection ratio (p mode)	79.0 dB
common mode rejection ratio (n mode)	79.0 dB
common mode rejection ratio (d mode)	79.0 dB
common mode input range	−2.7V ~ +3.7V
slew rate	
positive	17.2 V/μs
negative	13.0 V/μs
dynamic range	−1.4 ~ 1.4V
offset 전압	2 mV
output voltage swing	−5.0V ~ +4.0V
출력 저항	2.9 KΩ
소비 전력	2.7 mW

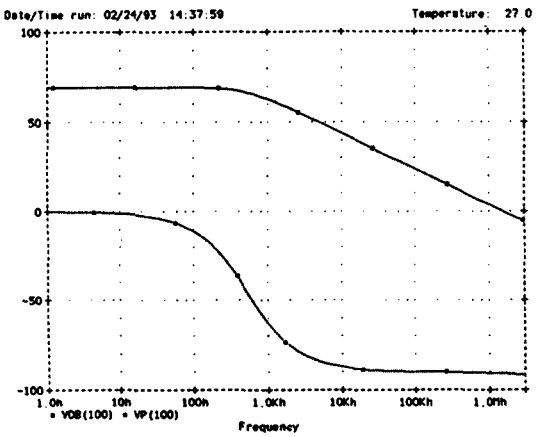


그림 3. DDA의 이득과 위상 특성
Fig. 3. Gain and phase characteristics of DDA

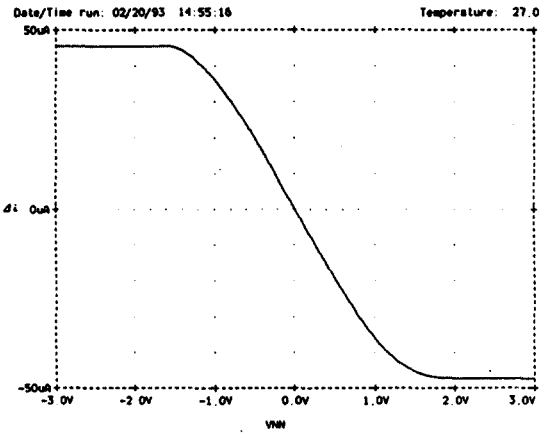


그림 4. Δi의 특성
Fig. 4. Characteristic of Δi

또한 DDA의 성능을 시험하기 위하여 전압 인버터와 레벨쉬프터로 연결하여 transient 분석 결과를 그림 5와 6에 나타내었다.

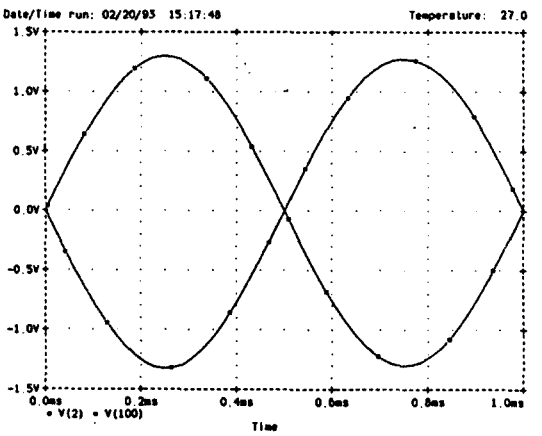


그림 5. DDA 전압 인버터 특성
Fig. 5. DDA voltage inverter characteristic

www.dbpia.co.kr

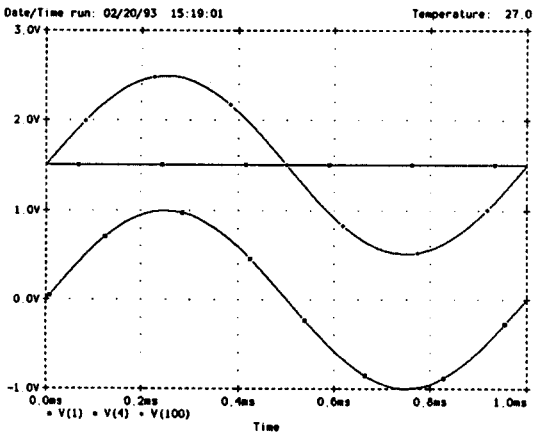


그림 6. DDA level shifter 특성
Fig. 6. DDA level shifter characteristic

Ⅲ. DDA를 이용한 차동 적분기 설계

3-1. 차동 적분기

적분기는 필터 회로에 있어서 중요한 역활을 한다. 몇가지 응용에서 보면 적분기는 감산 증폭기로써 사용한다. 이런 경우에 차동 적분기는 단입력 적분기보다 더 유용하다.[2,3]

OP-AMP로 구성된 차동 적분기에 있어서 정합의 필요성이 주된 문제점이다. 또한 입력 임피던스는 적분기의 입력에 연결된 저항에 의존하므로 일반적으로 작다. 그림 7은 DDA로 구성된 차동 적분기를 실현할 수 있는 두가지 방법을 나타낸다.

이들 두회로의 입력은 DDA의 입력 즉, MOS 트랜지스터의 게이트에 직접 연결 되었으므로, 입력 임피던스는 매우 크다. 또한 하나의 저항과 캐패시터가 두 회로에 사용되었으며, 저항과 캐패시터의 정합이 필요없는 구조로 되어 있다. 그러나 (a) 회로는 회로내의 저항이 floating이어서 선형화된 MOS 기술을 이용하여 실현하기가 쉽지 않다는 단점을 갖고 있다. (b) 회로에 대한 출력전압은 다음 식으로 표현된다.

$$V_1 - V_2 = V_x = \frac{sRC}{sRC+1}\ V \tag{3-1}$$

$$V_2 - V_1 = V_o - V \tag{3-2}$$

$$V_o = \frac{V_1 - V_2}{sRC} \tag{3-3}$$

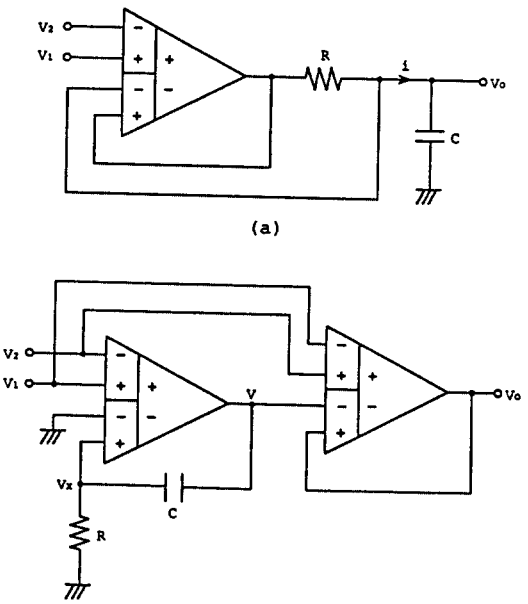


그림 7. DDA로 구성된 차동 적분기
Fig. 7. DDA differential integrators

(b) 회로의 출력 임피던스는 DDA의 출력 임피던스가 낮다는 가정하에 이용하기 때문에 (a) 회로에 사용된 buffer단이 필요없다. 또한 저항이 접지되어 있어서 MOS 회로를 이용하여 실현하기가 쉬운 반면에 두개의 DDA 소자가 필요하다는 단점을 갖는다.

그러므로 본 논문에서는 실현화가 용이한 (b) 회로를 사용하여 차동 적분기를 설계하였다. 그리고 (b) 회로에 대한 비이상성의 영향을 고찰해 보면 두개의 DDA에 대한 DDA open loop gain이 유한이고, 주파수에 의존한다면 다음과 같은 식으로 표현된다.

$$A_1 = \frac{GB_1}{s}\ ,\quad A_2 = \frac{GB_2}{s} \tag{3-4}$$

$$\frac{V_o}{V_1 - V_2} = \frac{\omega_0}{s}\ E(s) \tag{3-5}$$

$$\omega_0 = \frac{1}{RC} \tag{3-6}$$

$$E(s) = \frac{1 - \frac{s}{GB_1} - \frac{s^2}{GB_1\omega_0}}{1 + \frac{\omega_0}{GB_1} + \frac{s}{GB_1} + \frac{s}{GB_2}\left[1 + \frac{\omega_0}{GB_1}\right] + \frac{s^2}{GB_1GB_2}} \tag{3-7}$$

www.dbpia.co.kr

여기서 E(s)는 유한 gain-bandwidth product에 기인하는 에러함수(error function)이고 이의 크기 특성은 R과 C값을 변화시킴으로써 교정할 수 있다.[6]

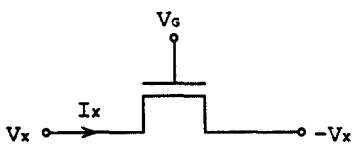
3-2. 접지 저항의 모의

그림 8(a)는 triode 영역에서 동작하는 MOS 트랜지스터를 나타낸다. Triode 영역에서의 드레인 전류 방정식은 다음과 같다.[7,8]

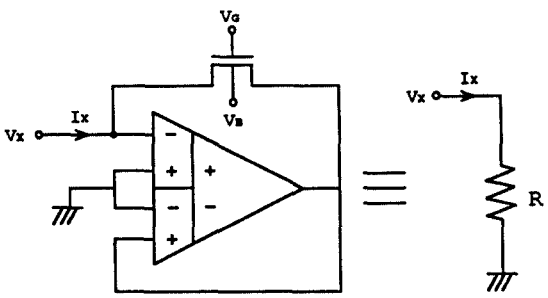
$$I_{DS}=\beta\left[V_{GS}-V_T-\frac{V_{DS}}{2}\right]V_{DS}(1+\lambda V_{DS}) \quad (3\text{-}8)$$

식(3-8)에서 $V_D=V_x$, $V_S=-V_x$, $I_{DS}=I_x$라 하면 식(3-9)가 된다.

$$I_x=2\beta\,(V_G-V_T)\,V_x \quad (3\text{-}9)$$
$$V_G \geq V_x+V_T$$



(a)



(b)

그림 8. DDA 접지 저항
Fig. 8. DDA grounded resistor

접지된 저항을 모의하기 위하여 그림 8(b)에 보인 것처럼 DDA 인버터를 MOS 트랜지스터의 소스와 드레인 사이에 연결하였다. 그 결과 회로는 전압제어 접지저항(voltage-controlled grounded resistor)으로 동작하고 저항값은 다음과 같다.

$$R=\frac{V_x}{I_x}=\frac{1}{2\beta(V_G-V_T)} \quad (3\text{-}10)$$

3-3. 시뮬레이션

MOS 트랜지스터의 크기에 따른 DDA 접지저항의 전압-전류 특성 곡선을 그림 9에 나타내었다. MOS

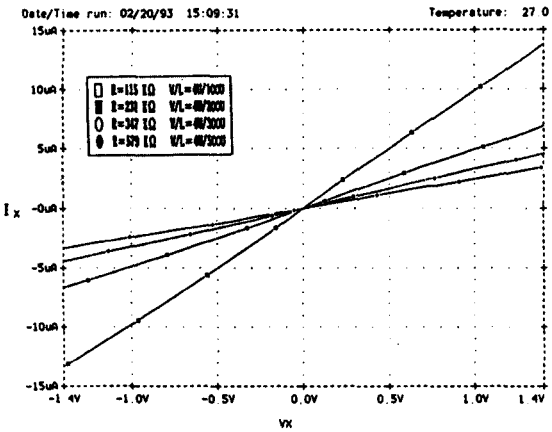


그림 9. 모의된 접지저항의 MOS 크기에 따른 특성
Fig. 9. Transfer curve of the DDA grounded resistor for various W/L

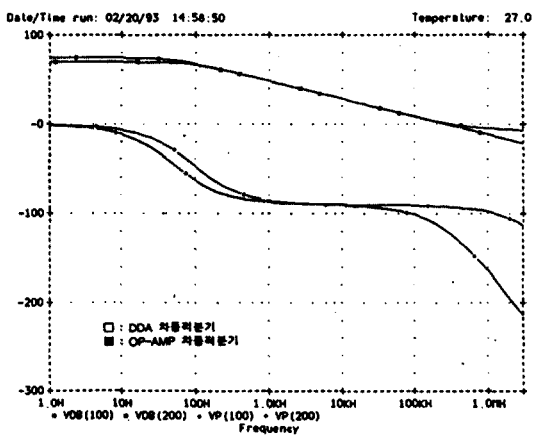


그림 10. DDA와 OP-AMP로 구성된 차동 적분기의 특성
Fig. 10. A DDA and a OP-AMP differential integrator characteristics

www.dbpia.co.kr

트랜지스터의 전류는 DDA 인버터의 기능에 영향을 미치지 않게하기 위하여 DDA의 출력 전류와 비교하여 작아야 한다. 그러므로 접지저항을 모의하는데 있어서 MOS 트랜지스터의 W/L는 4U/100U로, 게이트 전압은 5V로 선택하였다. 또한 그림 7(b) 회로와 그림 8(b) 회로로 부터 설계된 DDA 차동적분기와 OP-AMP 차동적분기의 특성을 비교하여 그림 10에 나타내었다. 여기서 OP-AMP는 CMOS로 설계하였고, 이득=74.6dB, GB=8MHz, offset 전압=-0.3mV인 동작 특성을 갖는다.

Ⅳ. DDA 및 차동 적분기의 Layout

2장과 3장에서 설계된 CMOS DDA와 차동 적분기를 표 1과 같이 구한 MOS 트랜지스터의 크기로 부터 MOSIS 2㎛ N-WELL CMOS 공정기술을 적용하여 "MY CAD"라는 layout editor를 사용하여 layout 하였다. 그 결과도를 그림 11과 그림 12에 제시하였다.

Ⅴ. 결 론

각종 아날로그 신호처리 분야에서 기본이 되는 소자인 OP-AMP는 대역폭에 제한을 받고, 응용 회로를 설계할 경우 외부 소자의 정합이 어려우며, 많은 수의 소자를 필요로 한다는 단점을 가지고 있다. 그러나 DDA를 이용하여 이러한 응용 회로를 설계할 경우 외부 소자가 필요 없으므로 경제적이고 구조가 간단하게 되는 장점을 갖는다.

CMOS DDA를 설계하는데 있어서 음성 신호처리 시스템의 설계조건과 구조가 간단하고 설계가 용이한 differential pair를 이용하여 각 MOS 트랜지스터의 채널 폭과 길이를 구하였다. 이를 SPICE로 시뮬레이션한 결과, 표2 및 그림 3, 4와 같이 그 특성이 일반적인 설계조건을 만족하였다. 설계된 CMOS DDA의 성능을 평가하기 위하여 전압인버터와 레벨쉬프터로 연결한 후, 그 특성을 그림 5, 6에 나타내었다. 또한 설계된 CMOS DDA를 접지저항의 모의와 차동적분기의 설계에 적용하여 그림 9, 그림 10과 같은 특

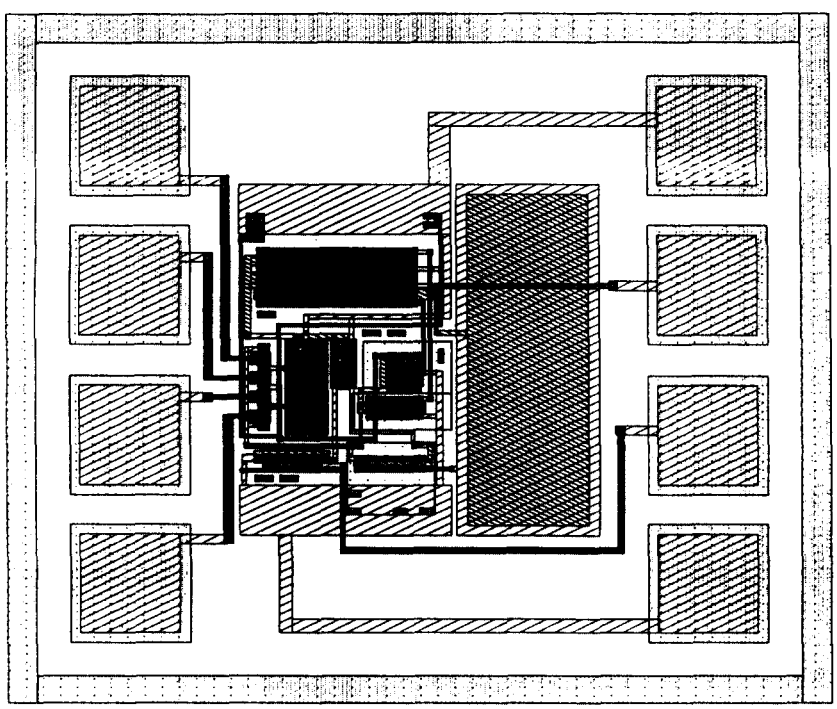


그림 11. CMOS DDA의 layout
Fig. 11. CMOS DDA layout

www.dbpia.co.kr

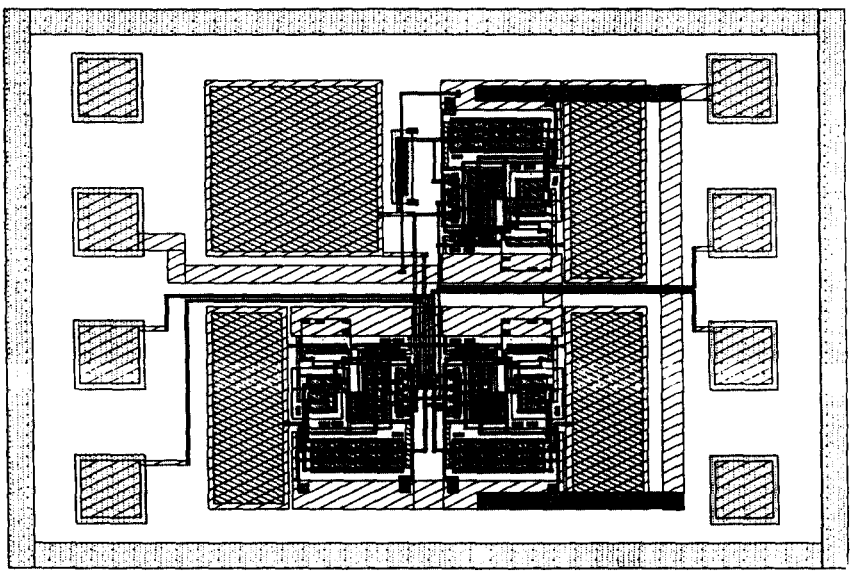


그림 12. 차동 적분기의 layout
Fig. 12. DDA differential integrator layout

성을 얻었다. 그림 10으로 부터 비교적 우수한 특성을 가진 OP-AMP로 구성된 차동적분기의 특성이 DDA 차동적분기의 특성과 거의 일치함을 알 수 있었다. 그러므로 DDA를 이용한 응용회로 설계시 외부 소자의 정합 필요성이 없어졌고, 적은 수의 소자를 사용한다는 것이 증명되었다. 그리고 CMOS DDA와 DDA 차동 적분기를 2㎛ CMOS 공정기술을 적용하여 layout 하였다.

앞으로의 연구과제는 설계된 CMOS DDA의 동적 범위(dynamic range)가 협소하므로 이를 확장시켜 성능을 개선해야 할 것으로 사료된다.

참 고 문 헌

1. P.R. Gray and R.G. Meyer, ANALYSIS AND DESIGN OF ANALOG INTEGRATED CIRCUITS, New York : Wiley, 1977.
2. B.Gilbert, "A high-performance monolithic multiplier using active feedback," IEEE J. Solid-State Circuits, vol. SC-9, pp.364-373, Dec. 1974.
3. R.R. Torrance, T.R. Viswanathan and J.V. Hanson, "CMOS voltage to current transducers," IEEE Trans. Circuits and Systems, vol. CAS-32, pp.1097-1104, Nov. 1985.
4. Y. Tsividis and P.Antognetti, DESIGN OF MOS VLSI CIRCUITS FOR TELECOMMUNICATIONS, Englewood Cliffs, NJ : Prentice-Hall, 1985.
5. E. Säckinger and W. Guggenbühl, "A versatile building block : the CMOS differential difference amplifier," IEEE J. Solid-State Circuits, vol.SC-22, pp.287-294, april 1987.
6. M. Ismail, S.V. Smith and R.G. Bcale, "A new MOSFET-C universal filter structure for VLSI," IEEE J. Solid-State Circuits, vol. SC-23, pp.183-194, Feb. 1988.
7. M. Banu and Y. Tsividis, "Floating voltage-controlled resistors in CMOS technology," Electronics Letters, vol.18, pp.678-679, July 1982.
8. Y.Tsividis, M.Banu and J.M. Khoury, "Continuous-time MOSFET-C filters in VLSI," IEEE J. Solid-State Circuits, vol. SC-21, pp. 15-30, Feb. 1986.
9. R. L. Geiger and E. Sanchez-Sinencio, "Active filter design using operational transconductance amplifiers : a tutorial," IEEE Circuits and

www.dbpia.co.kr

Devices Magazine, pp.20-32, March 1985.
10. P. R. Gray and R.G. Meyer, "MOS operational amplifier design-A tutorial overview," IEEE J. Solid-State Circuits, vol. SC-17, pp. 969-982, Dec. 1982.
11. P.E. Allen and D.R. Holberg, CMOS ANALOG CIRCUIT DESIGN, New York : Holt, Rinehart and Winston, 1987.
12. R. Gregorian and G.C. Temes, ANALOG MOS INTEGRATED CIRCUITS FOR SIGNAL PROCESSING, New York : John Wiley and Sons, 1986.

柳 喆 魯(Chul Ro Yu) 正會員
1933年 8月 5日生
1958年 2月 : 全北大學校 電氣工學科(工學士)
1977年 2月 : 全北大學校 電氣工學科(工學碩士)
1982年 2月 : 全南大學校 電氣工學科(工學博士)
1980年~1981年 : 日本東京工業大學 客員研究員
1984年~1985年 : 日本東京電機大學 客員教授
1959年~現在 : 全北大學校 電氣工學科 教授
1992年~現在 : 全北大學校 工科大學長

尹 暢 熏(Chang Hun Yun) 正會員
第18卷 第2號 參照

金 東 龍(Dong Yong Kim) 正會員
第18卷 第2號 參照

www.dbpia.co.kr