

선택적 전류공급구조를 갖는 병렬형 A/D 변환기

正會員 楊 正 旭* 正會員 金 旭* 正會員 金 元 燦*

A Selective Current-supplying Parallel A/D Converter

Jung Wook Yang*, Ook Kim*, Won Chan Kim* *Regular Members*

요 약

본 논문에서는 full-flash A/D 변환기에서 전력소모를 줄이는 방법과 그의 회로를 제안하였다. Full-flash A/D 변환기에서 해상도가 증가하면 전압비교기의 수는 지수함수적으로 증가하며 모든 전압비교기가 항상 동작하여 전력 소모가 많으므로, 제안하는 구조에서는 입력 신호의 크기에 따라 그 영역에 해당하는 위치에 있는 전압비교기를 선택적으로 켜줌으로써 전력 소모를 줄인다. 입력 신호의 크기를 판별하기 위하여 입력 신호의 범위를 찾는 회로를 설계하였다. 클리치 잡음을 줄일 수 있는 클럭 발생회로를 설계하여 사용함으로써 전압비교기의 전류원에서 발생하는 잡음을 일반적인 클럭을 사용했을 때와 비교하여 1/4로 줄였다. 설계한 A/D 변환기는 cut-off 주파수가 5GHz인 1.2 μ m의 BiCMOS 공정으로 제작하였다. 이는 350Msamples/s의 변환 속도를 가지며 소모 전력은 900mW이다.

Abstract

A power-reduction technique for full-flash A/D converters is proposed. As the resolution of a full-flash A/D converter increases linearly, the number of comparators increases exponentially. The power dissipation is generally larger than other A/D converter architectures because there are many comparators, and they are operating continuously. In this proposed architecture, only a selected number of comparators are made to operate instead of activating all the comparators of the full-flash A/D converter. To determine which comparators should be activated, voltage level finder circuits are used. A new clock driver is developed to suppress the dynamic glitch noise which is fed back into the input stage of the comparator. By using this clock driver, the glitch noise in the current source is reduced to one fourth of that when the typical clock signal is applied. The proposed architecture has been implemented with 1.2 μ m, 5GHz BiCMOS technology. The maximum conversion speed is 350Msamples/s, and dissipates only 900mW.

*서울대학교 電子工學科
Dept. of Electronics Eng., Seoul National Univ.
論文番號: 93-197

I. 서 론

A/D 변환기의 구조 중 full-flash 변환기는 가장 빠른 구조이고, 변환 속도를 늘리기 위해 많은 노력이 기울여져 왔다[1][2]. 그러나, 플래시 구조에서 높은 전력 소모는 플래시 구조의 단점 중의 하나이다. 8-bit의 해상도를 갖고 수백 MHz의 변환 주파수를 갖는 플래시 변환기들이 최근 개발되고 있으나[3][4], cut-off 주파수가 10GHz가 넘는 고속의 바이폴라 트랜지스터를 사용하여 만들어지고 있으며 소모 전력이 1 watt가 넘으며 2~3 watt 정도를 소모한다.

본 연구에서 350Ms/s의 변환 주파수를 갖는 A/D 변환기를 1.2 μ m 5GHz의 cut-off 주파수를 갖는 BiCMOS 공정을 이용하여 제작하였으며 소모 전력은 900mW이다. 이와 같이 저전력 소모를 이루기 위하여 선택적으로 전류를 공급하는 기법을 고안하였다. 플래시 변환기 구조에서는 전압비교기가 모두 동작을 하여 입력 신호와 자신의 문턱 전압을 비교한다. A/D 변환기가 고속에서 동작하려면 전압비교기에 흐르는 전류를 올려야 하며[5] 전체 소모 전류는 전압비교기의 수에 대략 비례하므로 A/D 변환기를 고속에서 동작시키기 위해서는 전류 소모가 증가한다. 그러나, 필요한 정보는 단지 전압비교기의 출력 신호가 형성하는 thermometer 코드의 변화부분(...1111000...)에서만 얻어지므로, 대부분의 전압비교기 출력 신호는 디지털 출력 신호를 만드는데 사용되지 않는다. 그러므로, 필요한 정보를 형성하는 전압비교기만 동작시키고 다른 전압비교기에는 전류를 공급하지 않아도 필요한 디지털 출력 신호를 만드는 데에는 이상이 없다. 이와 같이, 주어진 입력 신호에 대해 thermometer 코드가 변화하는 위치에 있는 전압비교기를 찾아내어 그곳에만 전류를 흘려주도록 하여 전력 소모를 감소시킨다.

아울러 본 논문에서는 전압비교기에서 잡음을 줄이는 기법을 제시하였다. 클럭 신호 주파수가 높아짐에 따라 전압비교기의 래치의 차동 증폭단에서 발생하는 잡음의 크기도 따라서 커지며[6], 발생한 잡음은 기준전압을 발생시키는 저항열로 넘어가 기준 전압 자체를 변화시킬 수 있으므로 동적 선형성을 떨어뜨리는 요인이 된다. 본 연구에서는 이 잡음을 줄일 수 있는 새로운 클럭 발생기를 고안하여 사용하였다.

이 클럭 발생기는 큰 회로를 필요로 하지 않으므로 전력소모나 칩 크기를 크게 높이지 않는다. 전력 소모를 줄이는 기법 및 회로의 설명은 2장에서 다루어지고, 3장에서는 잡음을 줄이는 기법 및 그의 회로에 관하여 설명한다. 실험 결과는 4장에 나타나 있다.

II. 전력 소모를 줄이기 위한 구조

일반적인 플래시 A/D 변환기의 구조와 본 연구에 사용한 전력 소모 감소 기법의 개념도를 비교한 것이 그림 1에 나타나 있다. 그림 1-(a)에 나타난 것과 같이 N-bit 플래시 A/D 변환기에는 2^N-1 개의 전압비교기가 있으며 입력 신호의 값에 무관하게 이 전압비교기는 항상 동작한다. 전압비교기의 출력신호는 thermometer code를 형성하며 엔코더를 거쳐 디지털 출력 신호를 만들어낸다. 플래시 A/D 변환기의 특성에 따라 모든 전압비교기들이 동시에 동작하여 입력신호와 전압비교기의 문턱 전압값을 비교한다. 그리고, 플래시 A/D 변환기의 변환 주파수는 전압비교기가 입력신호와 문턱전압값의 작은 차이를 크게 증폭하는데 길리는 시간에 의해 결정된다. 입력신호의 크기와 가장 비슷한 문턱 전압값을 갖는 전압비교기가 thermometer code의 전이하는 위치에서 출력을 내주는데, 이 전압비교기에서 입력신호의 크기와 가장 비슷한 문턱전압값을 가지므로 입력신호와와의 차이가 작아서 디지털 회로에서 처리할 수 있는 전압값까지 증폭하는데 가장 많은 시간이 걸린다. 전압비교기의 속도를 늘리기 위해서는 전류를 늘려야 하지만, 플래시 A/D 변환기에서는 전압비교기의 수가 해상도가 늘어남에 따라 지수함수적으로 늘어나므로 전류를 어느 이상으로 늘리는 것은 실제적으로 어렵다.

그러나, 대부분의 전압비교기의 출력은 사용되지 않고, 입력신호와 비슷한 문턱전압을 갖는 전압비교기 몇개만이 필요한 신호를 제공한다고 생각할 수 있다. 본 연구에서 사용한 구조는 그림 1-(b)에 보는 바와 같이 입력 신호와 비슷한 값의 문턱 전압을 갖는 몇개의 전압비교기만이 동작하고 나머지는 동작을 하지 않도록 한다. 이러한 동작은 입력 신호의 크기를 판별하는 회로를 사용하여 입력신호가 가해진 순간 어느 전압비교기가 동작을 하여야 하는가를 결정하도록 하였다. 전압비교기의 전류원에 흐르는 전류

의 크기를 줄여서 전압비교기의 전력 소모를 줄인다.

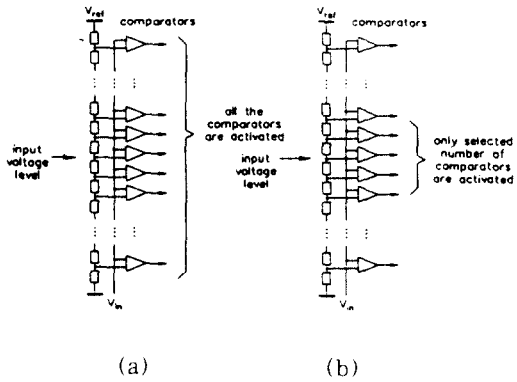


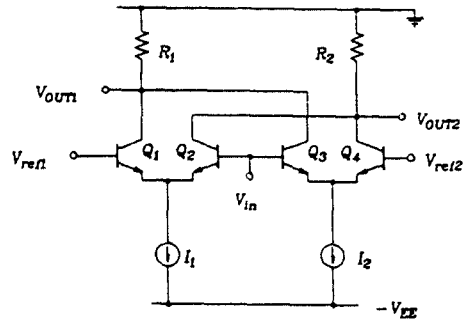
그림 1. 플래시 변환기 구조와 선택적 전류 공급 구조의 비교

• 전압 판별회로

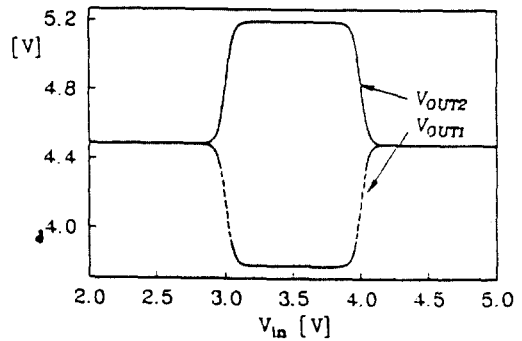
입력 신호의 크기는 그림 2에 나타난 전압 판별회로로 그 크기를 판별한다. 이 회로에서는 기준 전압 발생 저항열에서부터 인가된 두 기준전압의 사이에 신호가 들어가 있는가 벗어나 있는가를 판별하여 입력신호의 범위를 알아낸다. 그림 2에서 V_{in} 이 V_{ref1} 보다 크다고 하고, R_1 과 R 가 같고, I_1 과 I_2 가 같다고 하자. V_{in} 이 V_{ref1} 보다 크면 I_1 은 R_2 를 통해 흐르고 I_2 는 R_1 을 통해 흐르므로 V_{out1} 은 V_{out2} 와 같다. V_{in} 이 V_{ref2} 보다 작다면 I_1 은 R_2 를 통해 흐르고, I_2 는 R_1 을 통해 흐르므로 이 경우에도 V_{out1} 과 V_{out2} 의 값은 같다. V_{in} 의 값이 V_{ref1} 과 V_{ref2} 사이에 위치한다면 I_1 과 I_2 가 모두 R_1 을 통해 흐르므로 V_{out1} 을 'low'로 만들어 V_{out1} 이 V_{out2} 보다 작게 한다.

이 전압 판별회로의 두 기준 전압은 A/D 변환기의 기준전압을 발생시키는 저항열에서 공급한다. 전체 저항열의 기준 전압을 몇개의 범위로 나뉘어 각각의 전압판별회로의 기준전압으로 공급한다. 전압 판별회로의 두 기준전압 범위에 들어가 있는 전압비교기들은 전압 판별회로에 의해 공급 전류가 조절된다.

그림 2.(b)에 전압 판별회로의 출력 신호 파형을 SPICE에 의한 모의 실험 결과를 나타내었다.



(a)



(b)

그림 2. 전압 판별회로

(a) 회로도

(b) 출력 파형

전압판별회로의 출력 신호는 전압비교기의 전류를 조절할 수 있는 신호로 변화시켜야 한다. 이를 위한 회로가 그림 3에 나타나 있다. V_{in} 이 V_{ref1} 과 V_{ref2} 사이에 있으면 V_{out1} 은 V_{out2} 보다 작게 되고 결과적으로 I_1 은 다이오드 D_1 쪽으로 흘러 다이오드 D_3 , D_4 , D_5 를 켜다. 이 경우 출력 신호값이 $2I_{ref}$ 가 되어 전류원을 켜주는 기준전압으로 사용된다. V_{in} 이 V_{ref1} 과 V_{ref2} 범위

외에 있다면 I_1 은 트랜지스터 Q_1 로 흐르고 D_1, D_2, D_3 가 끼지게 되어 출력 신호는 낮아진다.

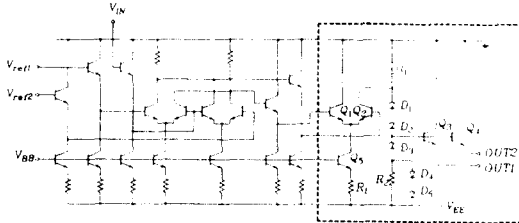
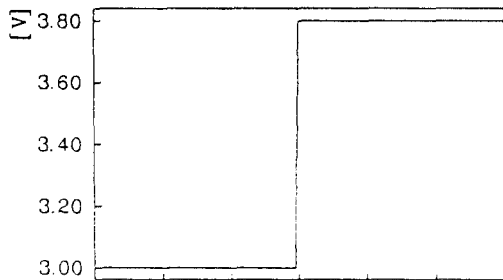
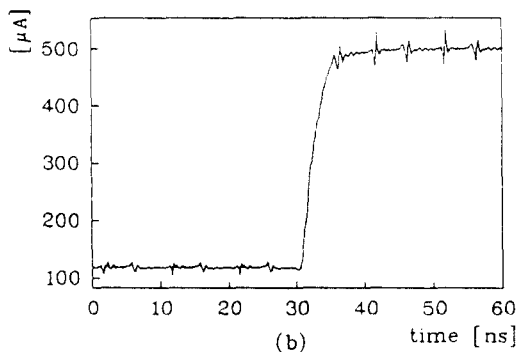


그림 3. 전압 판별회로의 출력 신호에 따른 전류 조절회로

그림 4에 입력신호가 급격히 변화했을 때 전압판별회로에 의해 전압비교기의 전류원이 끼지있는 상태에서 끼지는 상태로 변화하는 과정을 SPICE 모의실험 결과로 나타내었다. 입력 신호가 3V에서 3.8V로 0.5ns 동안 변화하였을 때, 전류파형이 안정된 때까지 걸리는 시간은 5ns이다.



(a)



(b)

그림 4. 전압 조절회로에 의해 변화된 전압비교기의 전류원의 파형

(a) 입력 신호가 0.5ns에 3.0V에서 3.8V까지 변화한 경우

(b) 입력 신호 (a)가 전압 판별회로에 가해졌을 때 전압비교기의 전류원의 파형

• 전압비교기의 설계

본 연구에서 사용된 전압비교기는 네개의 기능적 블록으로 나눌 수 있다. 그림 5에 나타난 것과 같이 프리 앰프, 래치단, thermometer-code에서 1-of-n code로 바꾸어 주는 엔코더, 그리고 후단 래치 부분이다. 래치단 앞에 사용되는 프리 앰프는 래치단에서 걸림에 의해서 발생하는 잡음 성분이 전단으로 넘어가지는 기준 전압이 움직이는 것을 막고, 프리앰프에서 입력 신호를 증폭하여 래치단에 디지털 신호로 완전히 증폭하는데 걸리는 시간을 줄이기 위한 것이나 [7].

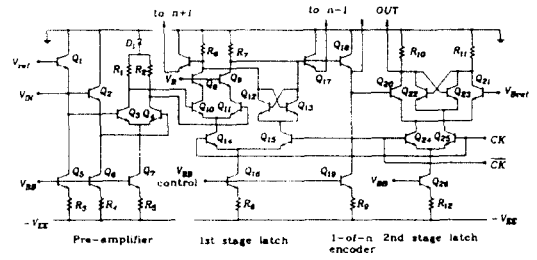


그림 5. 전압비교기의 회로도

전압 판별회로가 이 프리 앰프의 전류원을 조절하도록 한다면 잡음을 막기 위한 기능을 상실하고 오히려 더 큰 잡음을 발생시켜서 기준 전압 저항열로 넘겨줄 것이다. 그러므로, 프리 앰프에는 항상 전류를 흘려주도록 설계하였다.

그림 3에 있는 OUT1과 OUT2 단가가 그림 5에 나타나 있는 래치단과 1 of n 엔코더에 달려 있는 전류원의 기준전압 단상 I_{ref} control에 연결되어 전류를 조절한다.

전압비교기의 동작 속도는 래치단에 공급되는 전

류의 크기와 밀접한 관계가 있기 때문에 래치단의 전류 소모가 다른 부분에 비하여 크다. 제작한 A/D 변환기에서는 이 값을 $500\mu\text{A}$ 로 설계하였다. 전압 판별 회로에 의해 전류가 제한되는 전압비교기에도 완전히 전류를 끄지 않고 $100\mu\text{A}$ 가 흐르도록 설계하였고, 동작시키지 않을 때 래치단에서 $400\mu\text{A}$ 의 전류가 절약되도록 하였다.

1-of-n 엔코더에 wired-OR로 구성된 emitter follower도 전압 판별회로에 의해 전류가 흐르는 양이 조절되도록 설계하였다. 여기서도 마찬가지로 $400\mu\text{A}$ 가 절약되었다. 1-of-n 엔코더는 입력 신호의 크기에 해당하는 위치에 있는 출력 하나만 'low'가 나오도록 하고 나머지는 모두 'high'로 하였다. 전류가 줄어들어 $100\mu\text{A}$ 가 공급되는 1-of-n 엔코더의 출력은 입력 신호의 위치에 'high'의 출력이 나오는 위치에 있으므로 공급되는 전류에 관계없이 $V_{cc} - I_{BE(on)}$ 의 값을 갖게 되어 논리의 구성이 맞는다.

마지막으로 후단 래치는 1-of-n 엔코더의 출력을 클럭에 의해서 증폭 재생하고, 1-of-n 코드를 반전함으로써 이진 엔코더 회로의 입력측에서 요구되는 논리 값을 갖도록 한다.

•전력 소모 감소 기법

앞에서 언급한 바와 같이 전압비교기의 전류를 입력 신호의 범위에 따라 전압판별회로에서 조절한다. 그러나 입력 신호가 전압 판별회로의 기준 전압 근처에 있을 경우에는 전압 판별회로의 출력 신호가 그림 3의 전류 구동회로를 구동할 수 있는 완전한 값을 갖지 못한다. 이를 위해서 전압 판별회로의 출력단에 신호를 래치할 수 있도록 래치를 달았다. 그림 6에 래치단이 있는 전압 판별회로의 회로도를 나타내었다. 이 회로를 사용하면 출력 신호가 충분히 커지기 위해서는 클럭 신호의 한 주기를 기다려야 한다. 결국 A/D 변환을 하기 위하여 클럭 신호의 한 주기를 더 기다려야 한다면 플래시 변환기의 동작을 할 수 없다. 이것을 극복하기 위하여 전압 판별회로의 배치를 그림 7과 같이 하였다. 각 전압 판별회로의 기준전압 범위는 바로 옆의 전압 판별회로와 중첩되어 있다. 그리고, 전류조절 회로의 출력은 바로 옆의 것과 wired OR의 논리로 묶여 있다. 그림 7에서 범위(2)에 입력 신호가 있으면 1번과 2번의 전압 판별회로가

출력을 내어 준다. 입력 신호가 범위 (2)와 (3)의 경계에 있는 기준전압과 같은 값을 갖는다고 하여도 2번 전압 판별회로는 출력을 내어 준다. 이와 같이 기준전압을 중첩함으로써 적어도 하나의 전압 판별회로는 출력을 내어줄 수 있다.

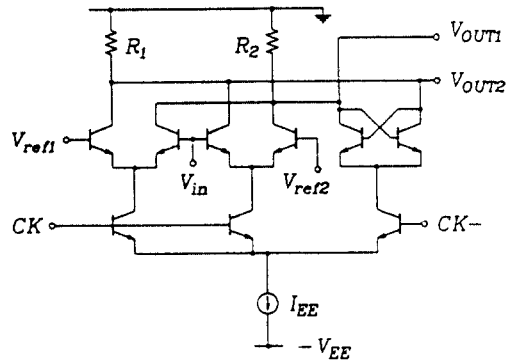


그림 6. 래치단이 있는 전압 판별회로

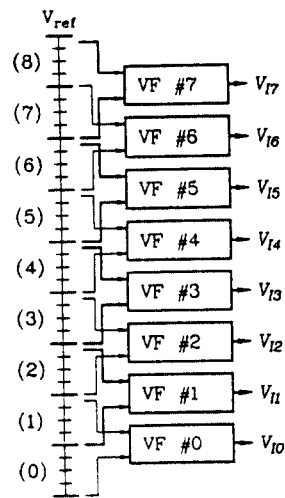


그림 7. 전압 판별회로의 배치도

$$\Delta V < V_F \cdot BF \quad (3)$$

이어야 한다. 여기서 V_F 는 입력 신호가 가해질 수 있는 최대 범위이다. 즉, 기준 전압의 최대치와 최소치 차이이다. 식 (2)와 (3)으로부터 슬루율은

$$SR < f_s \cdot V_F \cdot BF \quad (4)$$

로 표시된다. 주어진 입력 신호로부터 슬루율을 구하기 위해 주파수가 f_m 인 입력 신호는 다음과 같이 표시할 수 있다.

$$V_{IN} = \frac{V_F}{2} \sin(2\pi f_m t) \quad (5)$$

이때 슬루율 SR 은

$$SR = V'_{IN} = V_F \pi f_m \cos(2\pi f_m t) \quad (6)$$

이다. 식 (6)으로부터 $\cos(2\pi f_m t)$ 가 1일 때 슬루율이 최대가 되므로

$$SR_{max} = \pi f_m V_F \quad (7)$$

이다. 식 (4)와 (7)로부터 입력 신호의 주파수가 BF 값에 따라 Nyquist 주파수보다 낮게 될 수 있다는 것을 의미한다. 이와 같은 단점은 입력 신호를 표본화 유지 회로를 통하여 A/D 변환기에 가함으로써 극복할 수 있지만, 고속의 정밀한 표본화 유지 회로를 구현한다는 것 또한 쉬운 일이 아니다. 필요한 것은 단지 입력 신호가 주어졌을 때 전압 판정회로의 출력 신호가 클럭의 한 주기 동안 유지되면 되므로 그림 6의 래치단이 부착된 전압 판별회로로써 해결할 수 있다. 클럭의 표본화 반주기 동안 만든 출력 신호를 나머지 반주기 동안 계속 유지시켜 주므로 입력 신호가 변화하여도 선정된 전압비교기에는 계속 전류가 흐른다.

물론 클럭의 표본화 주기 동안에도 전압 판별회로의 출력 신호는 사용된다. 이것은 전압 판별회로의 기준 전압을 서로 중첩되도록 하였기 때문에 앞에서

언급한 바와 같이 충분히 출력 신호가 증폭된 전압 판별기는 어느 순간에도 최소한 하나는 존재하기 때문이다. 그러므로 전압 판별회로에 클럭 신호를 인가하여 사용하지만 전압 판별회로의 출력 신호를 사용하기 위하여 한 클럭 주기를 기다려야 하는 것은 아니라는 것을 주목하여야 한다. 그리고, 이 전압 판별회로에 사용되는 클럭은 A/D 변환기에 사용되는 클럭과 동일하므로 여분의 클럭 발생회로가 필요한 것은 아니다.

본 연구에서 제작한 A/D 변환기는 $BF=32/256$ 으로 설계하였고 전압 판별회로의 기준전압 중첩 구조에 의하여 16개의 기준 전압이 중첩되도록 하였다. 그러므로 48개의 전압비교기가 항상 동작하고 나머지 208개의 전압비교기에 흐르는 전류를 절약하였다. 전압비교기 하나에서 절약되는 전류원은 래치단의 전류원과 1-of-n 엔코더의 전류원, 모두 2개인데 여기에는 각각 $500\mu A$ 의 전류가 흐른다. 전압비교기가 선택되지 않았을 때에는 최소 $100\mu A$ 의 전류를 흘려 주도록 설계를 하였으므로 결국 전압비교기 하나에서 절약되는 전류는 $800\mu A$ 이다. 전체 절약된 전류는 $800\mu A \times 208 = 166A$ 이므로 소모 전력은 $-5.2V$ 공급 전원에서 $166mA \times 5.2V = 860mW$ 이다.

III. 잡음 발생을 억제하기 위한 회로

앞절에서 언급한 바와 같이 래치를 이용한 전압비교기에서 클럭 신호가 기준 전압 발생저항형에 잡음을 발생시킬 수 있다[6]. 그림 9에 클럭이 인가되는 기본적인 래치단의 회로를 나타내었다. 일반적인 클럭 신호에서는 CK 와 $CK-$ 의 신호가 그림 10-(a)와 같이 두 논리 레벨의 중간 부분에서 교차한다. 클럭이 인가되는 래치단의 공통 에미터 단자는 차동 증폭단의 클럭이 인가되는 두 베이스 전압중 큰 쪽의 전압값을 따라 V_m 만큼 낮은 전압값으로 설정된다.

그림 10-(b)에 클럭이 인가되었을 때 'A' 단자의 전압 파형을 나타내었다. 'A' 단자의 전압은 높은 주파수에서 전류원으로 사용되는 트랜지스터의 콜렉터 전압을 움직인다. 일반적인 바이폴라 트랜지스터의 Early 전압은 충분히 크기 때문에 이와 같은 현상으로 발생하는 전압 변화에 의해 전류원에 큰 값의 차이를 가져오지는 않는다. 그러나 'A' 단자에 결부된

기생 용량에 의해 전류원의 전류값을 크게 변화시킬 수 있다. 그림 10 (c)에 클럭이 인가되었을 때의 전류원 I_t 값을 나타내었다. 이 전류변화가 전압비교기에 잡음을 발생시키 A/D 변환기의 동작인 선형성을 나쁘게 하여 결국 A/D 변환기의 최대 변환주파수를 제한하는 요소가 된다.

이러한 현상에 의해 만들어지는 잡음을 줄이기 위하여 공동 에미터 노드의 전압이 일정하게 유지되어야 한다. 공동 에미터 노드의 전압을 두 배이스 전압 값 중 큰 쪽을 따라서 두 전압 중 하나는 항상 일정한 높은 전압으로 유지되도록 하면 된다. 이러한 과정은 그림 10 (d)에 나타난 것과 같은 중첩된 클럭 신호이다. 이 신호를 사용하면 CK 와 $CK-$ 중 어느 하나는 항상 높은 전압값을 갖게 된다. 이 신호가 래치에 인가되면 공동에미터 단자는 그림 10 (e)에 나타난 것과 같이 일정하게 유지된다. 그림 11 (a)는 일반적인 클럭 발생기의 회로이고 그림 11 (b)에 중첩된 클럭 신호를 발생시키기 위한 클럭 발생기 회로의 분리도를 나타내었다. 중첩된 클럭 신호는 단지 nonoverlapping 클럭 신호를 만듦으로써 얻을 수 있으므로 nonoverlapping 클럭 발생기의 회로에 인버터를 연결함으로써 구현한다. 그림 10 (c)에 나타난 것과 같이 일반적인 클럭 발생회로가 인가되었을 때 전류원의 전류변화는 $60\mu A$ 이고, 중첩된 클럭 신호를 인가한 경우 그림 10 (f)에서 보듯이 전류원의 전류 변화는 $15\mu A$ 로써, 약 1/4 정도로 전류의 변동을 줄였다.

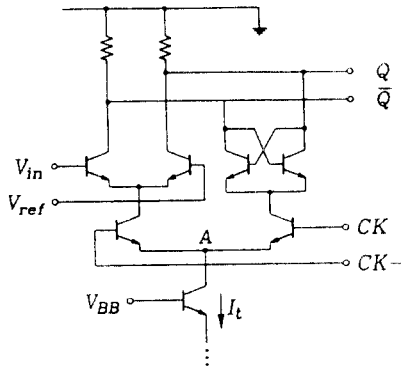


그림 9. 클럭 신호가 인가된 기본적인 전압비교기 회로

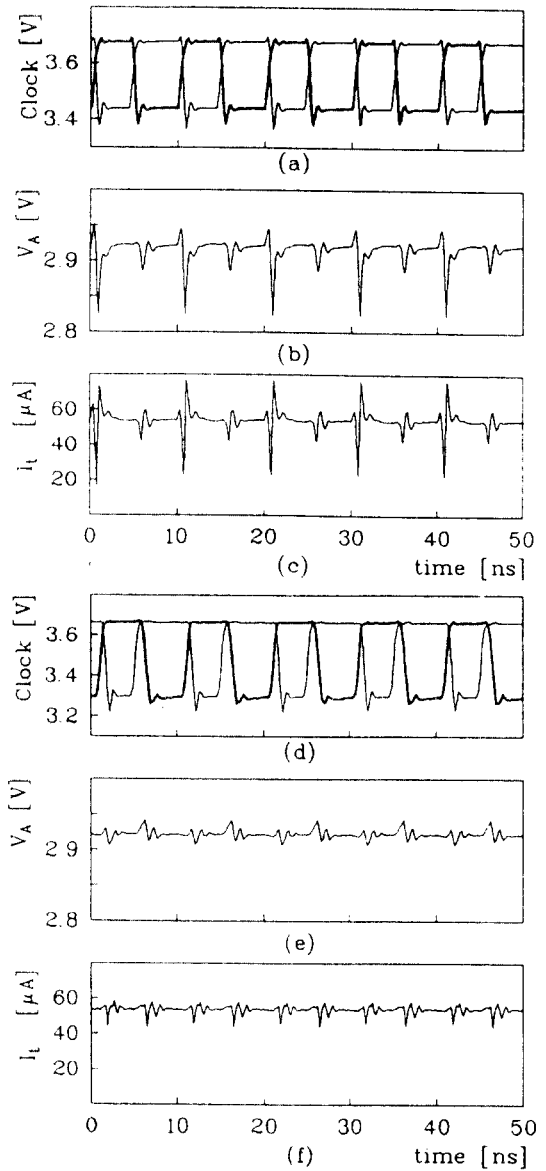


그림 10. 클럭신호가 인가되었을 때의 래치단의 전압과 전류 변동
 (a) 일반적인 클럭신호의 과정
 (b) 클럭 (a)가 인가되었을 때 'A' 단자의 전압과 형태
 (c) 클럭 (a)가 인가되었을 때 래치단의 전류원의 회형
 (d) 중첩된 클럭신호의 과정
 (e) 클럭 (d)가 인가되었을 때 'A' 단자의 전압과 형태
 (f) 클럭 (d)가 인가되었을 때 래치단의 전류원의 회형

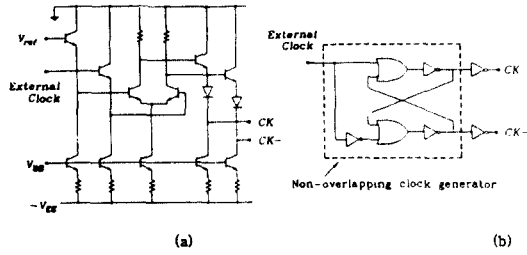


그림 11. 클럭발생회로
 (a) 일반적인 클럭발생회로
 (b) 중첩된 클럭발생회로

IV. 측정 결과

전류 감소 기법을 적용한 A/D 변환기를 이중 메탈 배선을 갖는 최소선폭 1.2 μ m의 BiCMOS 공정으로 제작하였다. 이 공정에서 사용된 트랜지스터의 최소 에미터 크기는 2.8 \times 5.6 μ m²이다. 사용한 대부분의 트랜지스터는 바이폴라 트랜지스터이므로 바이폴라 공정으로도 레이아웃을 약간 수정함으로써 제작이 가능하다. 트랜지스터의 최대 cut-off 주파수는 5GHz이다. 레이아웃 설계는 CALMA layout editor와 동일한 명령체계를 갖는 본 저자들이 개발한 layout editor를 사용하여 full custom으로 설계하였다. 표 1에 npn 트랜지스터의 파라미터를 나타내었다. 칩의 크기는 4.7 \times 4.3mm²이고 \pm 5.2V의 단일 전원에서 900mW를 소모한다. 사용한 공정은 비슷한 변환 주파수를 갖는 기존의 A/D 변환기[3][4]를 제작하는데 사용한 공정보다도 트랜지스터의 f_t 가 절반 이하의 느린 공정으로 제작하여 소모 전력은 약 반 이상의 절감을 가져왔다. 그림 12에 제작한 칩의 사진을 나타내었다. 아날로그 회로 부분과 디지털 회로부분은 서로 완전히 분리하였고 전원도 분리하여 사용하였다. 아날로그와 디지털 신호선은 서로 교차하지 않도록 설계하였고 전압 판별회로는 전압비교기 열과 열 사이에 넣어 배치하였다. 기준 전압용 저항열에서 전압비교기 입력단의 베이스 전류를 공급하여야 하므로 이에 의해 선형 오차의 크기가 증가하는 현상이 나타나는데[1], 이 현상에 의한 선형 오차의 크기가 0.5LSB보다 작도록 하기 위하여 한 단의 저항 값을 0.8 Ω 으로 설계하였다. 전체 저항열의 값은 205 Ω 이다. 이와 같은 낮은 저항값을 만들기 위하여 저항열

은 메탈선으로 설계하였다. 기준 전압은 칩의 외부에서 만들어서 가하여 준다. 전압비교기 열은 모두 32개의 전압비교기로 구성하였으며 모두 8개의 전압비교기 열이 있다.

표 1. 바이폴라 npn 트랜지스터의 파라미터

h_{fe}	80
f_{max}	5GHz
C_c	25fF
C_{cs}	35fF
C_{cb}	120fF
A_b	2.8 \times 5.6 μ m ²

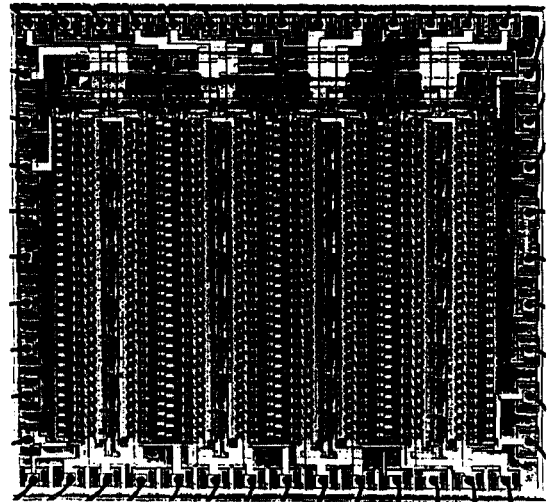


그림 12. 칩 사진

그림 13에 20Ms/s의 변환 주파수에서 측정된 차동 비선형 오차를 나타내었다. 1MHz의 정현파를 입력 신호로 가하였을 때 230Ms/s로 A/D 변환을 한 디지털 신호를 논리 분석기로 받아 표본화된 디지털 데이터로부터 출력한 파형이 그림 14에 나타나 있다. 그림 15에는 20Ms/s의 변환 속도에서 3.18kHz의 입력 신호를 가하였을 때 얻어진 주파수 스펙트럼이다. 측정 결과는 논리분석기로 디지털 데이터를 받아서 FFT를 한 결과이다. 얻어진 신호대 잡음비는 46dB이다. 변환 주파수에 대한 SNR의 측정 결과를 그림

16에 나타내었다. 변환 주파수가 300MHz일 때 43dB를 얻었고 350MHz에서 38dB를 얻었다. 표 2에 제작한 칩의 성능을 표시하였다.

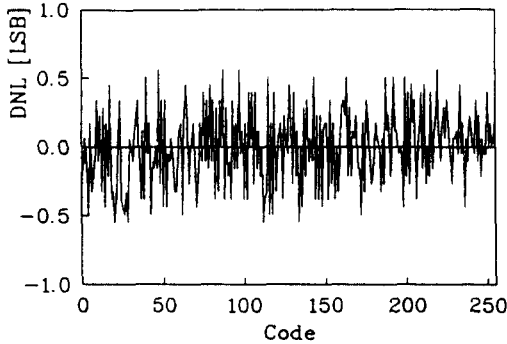


그림 13. 코드에 대한 자동 비선형 오차

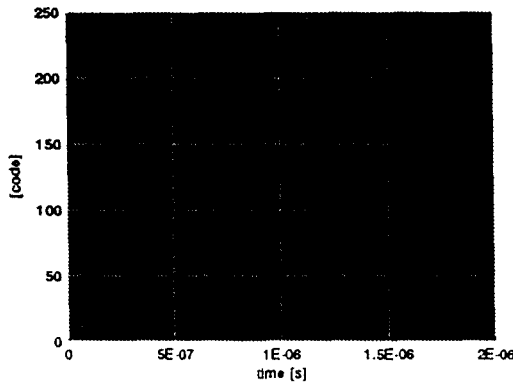


그림 14. 1MHz의 정현파 입력 신호를 230MSPS로 A/D 변환한 파형

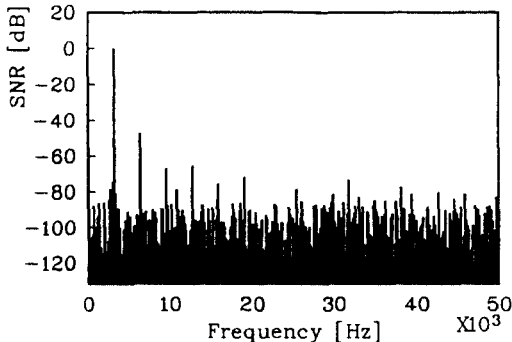


그림 15. 20MHz의 샘플링 주파수에서 3.18KHz의 입력 신호를 가했을 때 얻은 FFT 그래프

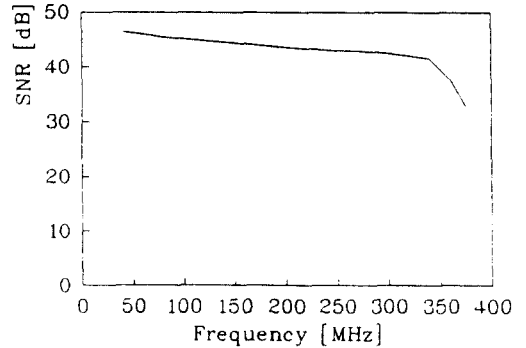


그림 16. 변환 주파수에 대한 S/N 비

표 2. A/D 변환기의 특성

해상도	8 bit
최대 변환 주파수	350MHz
선형 오차	± 0.5 LSB
입력 신호 범위	0V ~ 2V
전력 소모	900mV
공급 전압	-5.2V
사용 공정	1.2 μ m BiCMOS
최소 에미터 크기	2.8 \times 5.6 μ m ²
사용된 트랜지스터의 수	15k
트랜지스터 f_{max}	5GHz
칩의 크기	4.6 \times 4.3mm ²

V. 결 론

전류 감소 기법을 사용한 8bit, 350Ms/s의 A/D 변환기를 제작하여 측정하였다. 최소 선폭 1.2 μ m의 BiCMOS 공정을 사용하였으며 트랜지스터의 최대 cut-off 주수는 5GHz이다. 소모 전력은 900mW로써 1Watt 미만으로 구현하였다. 칩의 크기는 4.7 \times 4.3mm²이다. 전류 감소 기법을 사용하기 위하여 전압 판별회로를 제시하였고 전압 판별회로의 출력 신호로써 전압비교기의 전류를 제어한다. 전압비교기의 잡음을 줄이기 위하여 새로운 클럭 발생기를 사용하였으며, 이 클럭 발생기를 사용하여 글리치 잡음을 1/4로 줄일 수 있었다. 제작한 A/D 변환기의 구조는 기본적으로 플래시 구조이므로 플래시 변환기의 장점을 모두 갖고 있다. 그리고 플래시 변환기의 단점인 높은 전력 소모를 반으로 줄임으로써 플래시 변

환기의 변환 주파수와 선형성에 영향을 미치지 않고 저전력 소모를 실현하였다.

REFERENCES

1. T. Takemoto, M. Inoue, H. Sadmamsu, A. Matsuzawa, K. Tsuji, "A Fully Parallel 10-Bit A/D Converter with Video Speed," *IEEE J. Solid-State Circuits*, vol. SC-No. 6, pp. 1133-1138, Dec. 1982.
2. B. Peetz, B. D. Hamilton, and J. Kang, "An 8-bit 250Msample per Second A/D Converter : Operation Without a Sample and Hold", *IEEE J. Solid-State Circuits*, SC-21, No. 6, pp.997-1002, Dec. 1986.
3. Y. Akazawa, A. Iwata, T. Wakimoto, T. Kamato, H. Nakamura, H. Ikawa, "A 400MSPS 8b Flash AD Conversion LSI," in *ISSCC Dig. Tech Papers*, Feb. 1987, pp 98-99
4. Y. Gendai, Y. Komatsu, S. Hirase, M. Kawata, "An 8b 500MHz ADC," in *ISSCC Dig Tech. Ppacsrs*, Feb. 1991, pp. 172-173
5. Y. Yoshii, K. Asano, . Nakamura, C. Yamada, "An 8 Bit, 100 ms/s Flash ADC," *IEEE J. Solid-State Circuits*, vol. SC-19, No. 6, pp. 842-846, Dec. 1984.
6. I. Lee, J. Yang, W. Kim, "An Analysis of Clock Feedthrough Noise in Bipolar Comparators," *IEEE ISCAS*, vol. III, pp. 1392-1395, May 1992.
7. M. Hotta, K. Maio, N. Yokozawa, T. Watanabe, "A 150-mW 8-bit Video-Frequency A/D Converter," *IEEE J. Solid-State Circuits*, vol. SC-21, No. 2, pp. 318-323, A 1986.
8. Michihiro Inoue, "a Parallel A/D Converter," Japanese Patent 55-115724, Feb., 1979
9. M. K. Mayes, and Sing W. Chin, "A Multistep A/D Converter Family with Efficient Architecture," *IEEE J. Solid-State Circuits*, vol. 24, No. 6, pp. 1492-1497, Dec. 19.



楊正旭(Jung Wook Yang) 정회원
 1962年 2月 17日生
 1984年 : 서울대학교 전자공학과 졸업
 1986年 : 서울대학교 전자공학과 석사학위 취득
 1988年 ~ 현재 : 서울대학교 전자공학과 박사과정 재학

※주관심분야 : 아날로그 신호 처리, A/D 변환기, CAD 등임

金旭(Ook Kim)

정회원

1963年 4月 10日生

1986年 : 서울대학교 전자공학과 졸업
 1988年 : 서울대학교 전자공학과 석사학위 취득
 1988年 ~ 현재 : 서울대학교 전자공학과 박사과정 재학
 ※주관심분야 : D/A 변환기, 아날로그 신호 처리, 기억 소자 등임

金元燦(Won-Chan Kim)

正會員

1944年 11月 7日生

1972年 2月 : 서울대학교 전자공학과 졸업
 1976年 : 독일 아헨대학교 전기공학과 석사학위 취득
 1981年 : 독일 아헨대학교 전기공학과 박사학위 취득
 1982年 ~ 현재 : 서울대학교 공과대학 전자공학과 교수로 재직중

※주관심분야 : 기억 소자, 데이터 변환 회로, 퍼지 칩, 화상 신호 처리 칩 등임.