

병렬 처리 구조를 이용한 최적 정합 방식 CAM 설계에 관한 연구

正會員 金 相 福* 正會員 朴 魯 京** 正會員 車 均 鉉***

A Study on the CAM Designed by Adopting Best-Match Method using Parallel Processing Architecture

Sang Pok Kim*, Nho Kyung Park**, Kyun Hyon Tchah*** *Regular Members*

要 約

본 논문에서는 연상 메모리 소자에 대한 데이터와의 병렬 처리 최적 정합 방식을 적용하여 계산 효율과 처리율을 높인 단일 PE 아키텍처를 이용하여 CAM을 설계하였다. 설계한 CAM은 크게 3개의 기능 블록(입력 MUX, 최적 정합 CAM, 제어부)으로 구성되어 있다. 데이터 처리는 병렬 입력 및 병렬 비교를 하여 고속으로 데이터를 처리하는 전 병렬 방식을 채택하였다. 이러한 특성을 갖는 CAM은 회로 및 논리 시뮬레이션을 통하여 ETRI 3 μm n-well 공정 설계 규칙을 사용하여 설계하였다. 본 논문에서 설계된 CAM의 최대 동작 주파수는 20 MHz이다.

ABSTRACT

In this paper a content addressable memory (CAM) is designed by adopting best-match method. It has a single processing element(PE) architecture with high computational efficiency and throughput. It is composed of three main functional blocks(input MUX, best-match CAM, control part). It support fully parallel processing. Logic simulation is completed by using QUICKSIM, Circuit simulation is performed by using HSPICE. Its layout is based on the ETRI 3 μm n-well process design rules. Its maximum operating frequency is 20 MHz.

I. 서 론

RAM을 사용했을 경우에 어떤 데이터를 탐색하려

면 어드레스에 따라 순차적으로 데이터를 탐색해야 하므로 데이터 탐색속도가 매우 느리다. 그러므로, 데이터 플로우 컴퓨터, 패턴 인식, 테이블 룩업, 고속 변환 데이터 베이스의 정보 저장 및 수정, 레이다 신호의 추적과 처리, 영상 처리 등과 같이 광범위한 분야에서 요구되는 빠른 데이터 탐색 속도를 뒷받침해 줄 수 없다. 그러므로 지금까지 여러 응용분야에서 이용할 수 있는 다양한 종류의 연상 메모리 소자인

* 韓國技術教育大學 情報通信工學科
 ** 湖西大學校 情報通信工學科
 *** 高麗大學校 電子工學科
 論文番號 : 9408
 接受日字 : 1994年 1月 13日

CAM(Content Addressable Memory)이 연구되어 왔다. 이러한 연상 메모리의 연구 추세는 크게 두 갈래로 나누어질 수 있다. 첫째로, CAM은 대형 컴퓨터의 캐쉬 메모리안의 고속 룩업 테이블(Look-up table)에 사용되는 것처럼 입력 데이터와의 완전한 정합을 확인하기 위해 사용된다. 이러한 것의 예로는 고속 병렬 처리 시스템에 이용하기 위한 CAM 등이 있다. 둘째로는 인식(Recognition)을 위해 입력 데이터와 메모리 내용을 비교하여 가장 근사한 데이터를 찾는 것이다. 이러한 것의 예로는 파이프라인 개념을 이용한 문자 인식, 패턴 인식에 사용하기 위한 연상 메모리 등이 있다.^[1]

입력 데이터와 메모리 내용을 전-병렬 방식으로 비교하여 가장 근사한 메모리 내용을 찾기 위해 최적 정합 방식을 적용하여 병렬 처리할 수 있는 CAM을 설계하였다. 또한 이 설계는 높은 계산 효율과 처리율을 얻기 위해서 파이프라인 개념을 이용하여 구성하였다. 전체 칩 면적을 9 비트 × 16 워드로 설계하여 회로 및 논리 시뮬레이션을 통해서 성능을 평가하였고, ETRI 3 μm CMOS n-well 설계 규칙을 사용하여 최적 정합 CAM 레이아웃을 설계하였다.

II. CAM 구조

2.1 기존의 CAM 구조

CAM은 다음 세가지 기능을 수행한다.

- 1) 모든 메모리 위치에 대해 탐색하여 입력 데이터와 비교 일치 여부를 고속으로 알리는 기능
- 2) 메모리에 저장된 모든 단어와 입력 데이터와의 개별적인 비교 기능
- 3) 탐색 인자와 정합된 모든 데이터와 연관된 정보를 다시 모아 순차적으로 읽는 기능

기존의 CAM 블록도가 그림 1에 있다. 무정의상태(Don't care) 열에 대해서는 마스크하지 않고 저장된 단어의 배열과 입력 워드를 병렬로 비교한다. 출력은 정합된 메모리 단어의 어드레스로서 메모리를 기록할 때 표준 RAM으로 작동하므로 동적 기억 소자를 사용하여 고밀도 집적회로를 설계할 수 있다.^[2] 마스크 레지스터의 비트를 선정하면 전체 입력 공간을 탐색하여 입력과 가장 가깝게 매칭된 저장 단어를 찾을 수 있다. 실제 탐색 시간은 매우 예측하기 힘들지만, 평균 탐색 시간은 길다.^{[2][3][8]} 더욱 훌륭한 방법은 단어를 병렬로 비교하여 탐색 시간을 짧게 하는 것으로

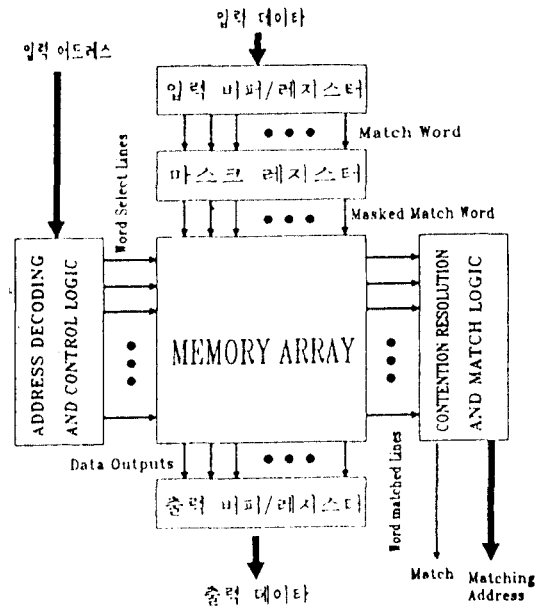


그림 1. 기존의 CAM 블록도
Fig. 1. Block diagram of conventional CAM

이는 본 논문에서 사용한 방식이다.

2.2 최적 정합 CAM 구조

기존의 CAM이 원하는 데이터가 CAM 셀(cell)에 저장되어 있을 경우에만 데이터를 관독할 수 있었으나, 최적 정합방식 CAM은 원하는 데이터 CAM 셀에 저장되어 있는 경우 뿐만 아니라 저장되어 있지 않은 경우에도 원하는 데이터와 상관관계가 가장 가까운 데이터를 사용자가 관독할 수 있게 설계된 구조이다. 따라서 본 CAM 구조는 전부 디지털로 구성되며 기존의 VLSI 공정을 사용하여 9비트 × 16워드로 설계한다. 많은 PE를 단일 IC 위에 담을 수 있을 정도로 PE(processing element)는 작다. 계산 효율과 높은 처리율을 얻기 위해 파이프라인(pipe line)을 이용하였다.

각각의 PE가 병렬로 연결되는 파이프라인의 입력으로는 입력 어드레스, 해밍 거리 입력, 입력 데이터, 제어 명령이 있다. 또한 출력은 출력 어드레스, 해밍 거리 출력, 출력 데이터, 출력 제어로 구성된다. 파이프라인으로 구성된 최적 정합 CAM 블록도는 그림 2에 나타났다. 각 PE는 병렬로 연결되기 때문에 칩상에서 상호배선에 사용된 면적을 최소화시키는 것은 중요하다. 각각의 PE는 현재의 입력과 메모리가 비

교되며, 이들 사이의 거리를 측정하며, 측정된 결과는 압축 기능을 통해서 압축되어 전달된다. 최적 정합 메모리와 압축된 결과의 데이터의 비교에 따른 비교기의 최종결과가 현재 어드레스와 이전의 어드레스를 결정하여 어느 한쪽의 어드레스를 선택한다.

각각의 PE가 동시에 N개의 입력 단어와 메모리 단어를 비교할 수 있으므로 N개의 입력 단어를 길이가 N인 파이프 라인으로 동시에 비교할 수 있다. 이와같이 매 PE주기마다 한번씩 결과가 나온다. 입력시킨 다음 최적 정합 결과를 얻으려면 N개의 PE 주기가 필요하다.

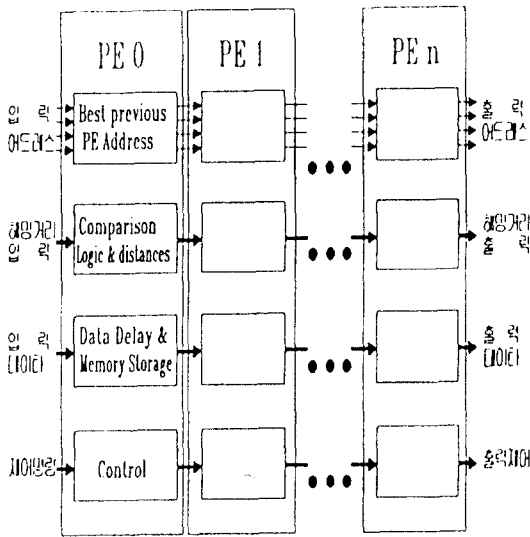


그림 2. 최적 정합 CAM 블록
Fig. 2. Block diagram of best match CAM

2.3 기존의 CAM과 최적 정합 CAM의 비교

2.1절과 2.2절에서 설명한 바와 같이 기존의 CAM의 상단심을 비교하여보면 표1과 같다.

표 1. 기존의 CAM과 최적 정합 CAM의 비교
Table 1. Comparison of conventional CAM and best match CAM

기존의 CAM	최적 정합 CAM
제어부가 없음	제어부가 있음
회로가 복잡함	회로가 간단함
처리 속도 느림	처리 속도 향상

기존의 CAM은 제어부와 메모리 어레이가 따로 떨어져 있으므로 제어부의 기능을 따로 설계해야 한다. 그러나 최적 정합 CAM은 PE 단위로 함께 묶어서 설계함으로써 개선할 수 있다. 또한 기존의 CAM은 부가적인 회로가 복잡하게 구성되어 있다. 예를 들면 어드레스 디코더, 어드레스 인코더, 감지 증폭기, 데이터/마스크 레지스터, 읽기/저장제어 회로 등으로 구성되어 복잡하지만, 최적 정합 CAM은 단일 블럭인 PE를 병렬 구성함으로써 간단해진다. 또한 게이트 수를 효과적으로 줄일 수 있으므로 처리 속도면에서도 향상됨을 알 수 있다.

2.4 최적 정합 CAM의 직렬 처리 PE 비교

기존의 최적 정합 CAM의 직렬 처리방식^[2]과 본문에서 제안한 병렬 처리 최적 정합 CAM한 것에 대한 비교는 표2와 같다. 즉, 직렬 처리 방식은 입력 데이터비트를 직렬로 읽고 저장하기 때문에 데이터 처리 속도가 늦으나, 칩 면적은 데이터를 직렬로 처리함으로써 게이트의 수가 감소하여 칩 면적은 감소된다. 그리고, 단일 PE를 제어하는 PE 클럭수는 13클럭이 된다. 반면에 본 논문에서 제시한 병렬 처리 방식의 최적 정합 CAM은 입력 데이터를 병렬로 읽고 저장함으로써 데이터 처리 속도가 빨라지나 데이터를 병렬처리함으로써 칩 면적은 커진다. 그러나, 단일 PE를 제어하는 제어부의 클럭수는 3클럭으로 감소하였다.

표 2. 최적 정합 CAM의 직렬 처리 비교
Table 2. Comparison of series parallel processing in best match CAM

성능	직렬 처리	병렬 처리
처리 속도	18.5 Mbit/2	37.2 Mbit/s
칩 면적	작다	크다(설계한 칩 크기 4184μm × 5252μm)
PE 주기	13 클럭	3 클럭
지연 시간	500ns	35.7ns

Ⅲ. 병렬 처리 최적 정합 CAM 구조의 설계

3.1 PE 구성

병렬 입력 데이터를 받아들이는 쉬프트 레지스터는 D 플립플롭으로 설계하여 데이터/메모리 쉬프트 레지스터를 병렬로 처리하도록 하였다. 9비트의 병렬

데이터 입력은 데이터 레지스터에 축적된 데이터를 쉬프트시킴으로써 입력제어 신호에 따라 출력으로 9비트의 병렬 형태로 데이터/메모리 비트 방식 비교기에 보내진다. 병렬 입력 데이터는 동시에 메모리 레지스터에도 전송되며, 단지 2진식 정보를 일시적으로 기억시키기 위해 사용한다. 따라서 정보를 레지스터에 전송하거나 읽어낼 때에 필요한 관련 회로들과 함께 메모리 레지스터의 집합체로서 존재한다. 입력 장치에서 받아들인 9비트 2진 정보가 먼저 메모리 레지스터에 기억되고, 출력 장치에 전송되는 정보는 기억 장치의 레지스터로부터 취해진다.

3.1.1 비교기(Comparator)

주어진 최선의 데이터와 디지털 응답간의 실질적인 차이를 동시에 측정하기 위해서는 해밍 거리(hamming distance)가 사용된다.^[1] 4비트를 갖는 2개의 레지스터 데이터의 크기를 비교하기 위하여 비교기가 사용된다. 비교기 회로에 의해서 선택된 4bit 데이터는 MUX를 통해서 최적 정합 어드레스 및 최적 거리 출력을 발생시킨다. 비교기는 한수가 다른 수보다 큰가, 작은가 또는 같은가를 결정하는 블럭이다. 즉, 크기 비교기는 두개의 데이터를 비교하여 그들의 상대적 크기를 결정하는 조합 회로이다. 2개의 n 비트의 수를 비교하기 위한 회로는 2^{2n} 개의 경우를 갖는 진리표를 갖고 있으며, 비교기는 어느 정도 규칙성을 가지고 있도록 설계된다. 비교기 회로는 그림 3에 나타났다.

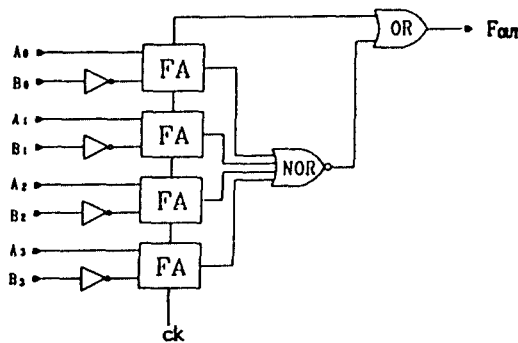


그림 3. 비교기
Fig. 3. Comparator

3.1.2 압축기(Compressor)

전가산기(full-adder)를 이용하여 9비트를 4비트화 하는 압축기(compressor)는 병렬 처리 PE 설계에 중요한 부분이다.^[4] 클럭을 포함하여 첫단의 9비트는 3개의 전가산기를 통해서 6비트화되어 압축되며, 다시 6비트는 2개의 전가산기를 통해서 4비트로 압축된다. 그러므로 1개의 전가산기는 2진 3비트를 입력으로 하여 출력으로 2비트의 출력이 전달됨을 알 수 있다. 압축기 회로는 그림 4에 나타났다.

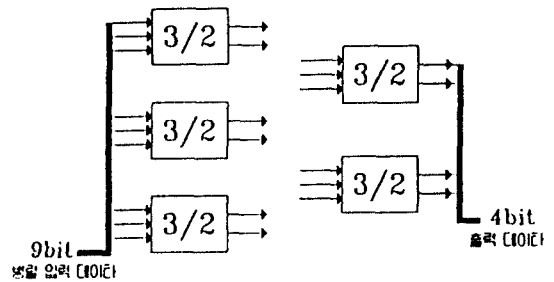


그림 4. 압축기
Fig. 4. Compressor

3.2 PE 설계

파이프라인의 입력으로는 명령 그리고 정합/저장 벡터가 있다. 정합 연산과 저장 연산은 산재되어 있다. 저장할 때 처음에는 사용하지 않는 어드레스에 저장하기 때문에 어드레스 지정이 없는 연산이며 연산의 출력으로 이런 어드레스를 내보낸다. 정합 연산에서 파이프라인의 출력으로는 최적 정합 메모리의 어드레스와 선택된 어드레스의 데이터에 대한 해밍거리가 있다. 입력 데이터와 동일하게 정합되는 어드레스가 2개 이상 발생했을 때 가장 최근의 어드레스가 출력이 된다. 그래서 가장 최근에 기록된 데이터가 이전에 기록된 데이터 보다 우선권을 갖는다.

각각의 PE는 가장 가까운 2개의 이웃에만 연결되기 때문에 칩상에서 상호배선에 사용된 면적은 최소가 된다. 그러한 구조는 데이터를 병렬로 다룬다. 각각의 PE가 메모리와 현재의 입력을 비교한 다음, 2개 사이의 거리를 측정하여 이것과 이전의 PE에서 얻은 거리를 비교한 다음, 최적 정합 어드레스를 계속 내보내는데 필요한 논리를 각각의 PE가 포함하고 있다. 최적 정합 PE 메모리의 어드레스가 전달되는 순서와 마찬가지로 데이터도 파이프라인을 따라 전

달된다. 각각의 PE가 요구하는 논리는 최소이므로 많은 PE에 그러한 방법을 적용할 수 있다. 각각의 파이프라인 출력으로는 출력 데이터, 최적 정합 어드레스, 그리고 최적거리 출력에 대한 비교가 있다.

각각의 PE는 다음과 같은 주요 기능 블록을 갖는다.

- 1) 데이터 및 메모리 쉬프트 레지스터
- 2) 압축기
- 3) 최적 거리 쉬프트 레지스터
- 4) 최적 정합 어드레스 레지스터
- 5) 해밍 거리 크기 비교기
- 6) 제어부

데이터 쉬프트 레지스터와 메모리 쉬프트 레지스터의 병렬 출력 모두를 비교함으로써 데이터와 메모리를 비교한다. 그리고 이 결과를 최적 거리 입력과 쉬프트 레지스터를 비교하기 위해서 9비트를 4비트의 출력 데이터로 변환하는 압축 기능을 보여 주었다. 해밍 거리의 크기를 비교한 데이터 값은 다음 PE의 최적 입력으로 전달되도록 MUX를 제어하며, 또한 어떤 어드레스와 거리를 전달할 것인지 제어한다. 현재의 PE 어드레스에 있는 메모리의 내용이 더욱 작거나 동일한 해밍 거리를 가진다면 파이프라인의 다음 PE로 보내진다. 그렇지 않으면, 이전 최적 어드레스와 거리가 전달된다.

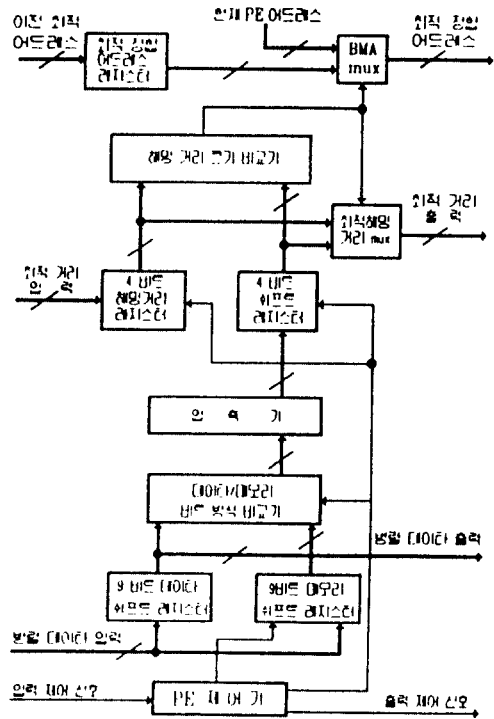


그림 5. PE 기능 블록도
Fig. 5. Block diagram of PE

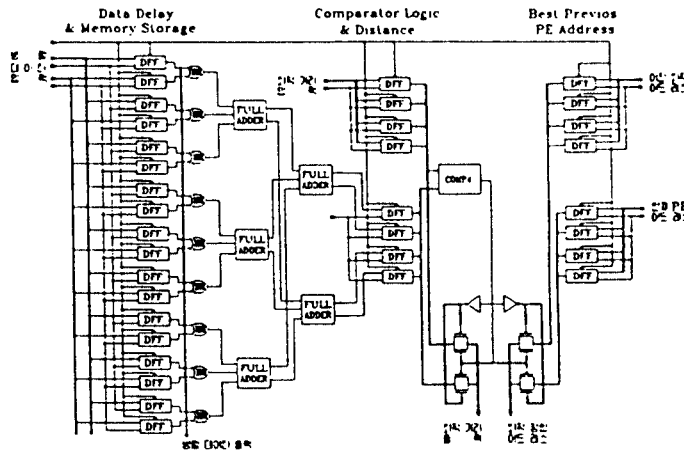


그림 6. 단일 PE 전체 블록도
Fig. 6. Block diagram of single PE

각각의 PE는 작은 제어부 블록을 갖는다. 16PE를 동시에 3클럭으로 제어하는데, 1클럭은 메모리 스위프트 레지스터와 데이터 스위프트 레지스터, 그리고 어드레스, 1클럭은 비교기에 사용되며, 나머지 1클럭은 최적 해밍 거리에 사용된다. PE의 기능 블록도는 그림 5에 나타났다. 또한 단일 PE 전체 블록도는 그림 6에 나타났다.

3.3 PE의 특징

단어의 크기와 용량을 임의로 바꿀 수 있으며 서로 함수 관계가 있는 것은 아니다. 더우기, 일정한 설계에 따라 갖고 있는 PE의 수에 항상 기초하기 때문에 용량은 저장된 데이터와 관계가 없다. 그래서 메모리 포화를 예측하여 발견한다는 것은 간단한 문제이다. 다중 소자를 사용하여 여러가지 방법으로 각각의 IC 칩이 갖고 있는 용량을 증가하여 용량을 증가시킬 수 있다. 첫번째, IC는 많은 칩을 사용하여 가용한 메모리 워드의 수를 증가시킴으로써 IC를 병렬로 종속 연결하여 각각의 벡터의 유효 길이를 증가시킨다. 이를 이루는 효율적인 간단한 방법은 출력을 병렬로 상호 연결하는 것이다. 더욱 효율적인 방법은 또다른 파이프라인을 사용하여 많은 파이프라인 출력을 결합하여 상호연관시키는 것이다. 상관된 파이프라인은 높

은 레벨의 데이터 추출을 말한다.

설계에 따른 응용 분야의 특성을 고려하여 거리 측정 척도를 선택한다. 그래서 거리 측정 척도의 가용성은 정합과 정의 출력에 대한 데이터의 정보를 말해 주듯이 호스트(host) 시스템에 큰 혜택을 가져다 준다. 모든 시뮬레이션은 거리 측정 척도에 비취볼때 결과가 어느 정도 정확한가를 보여준다. 그러한 입력 데이터를 처리할때 호스트 시스템은 다른 유용한 정보를 이용한다.

여러가지 거리 측정이 존재한다. 효율적인 내용 변지 지정 메모리(CAM) 시스템을 해결해주는 열쇠가 선택성이 있듯이 모든 측정은 유사성 또는 비유사성을 가리는 측정 척도이다. 시스템이 밀접하게 관련된 데이터를 연관시켜야 하는 반면에 시스템은 거리가 멀거나 관련되지 않은 입력을 구별해야 한다. 거리 측정은 해밍거리이다. 해밍 거리는 가장 많이 알고 있으면서 가장 널리 사용되는 2개의 항목사이의 비유사성을 측정하는 척도이다. 이는 임의의 항목으로 구성된 벡터(순서 집합)를 비교하는데 응용된다.

IV. 시뮬레이션 및 레이아웃

4.1 시뮬레이션

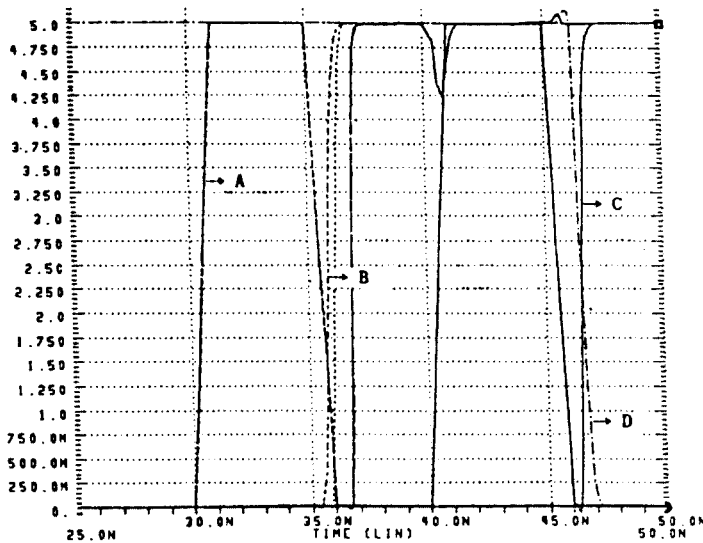


그림 7. 회로 시뮬레이션
Fig. 7. Circuit simulation

단일 PE에 대해서 회로시뮬레이션 및 논리 시뮬레이션을 수행하였으며, 각각의 블록별 지연시간을 구하였다. 논리 시뮬레이션은 QUICKSIM을 이용하여 전체적인 논리 시뮬레이션을 수행하였다. 회로 시뮬레이션은 HSPICE를 이용하였으며, 회로 시뮬레이션 결과는 그림 7에 나타내었다. 또한 메모리 쉬프트 레지스터, 비교기, 압축기, MUX에 대해서 각 블록별로 시뮬레이션을 하였으며, 각 블록별 회로 시뮬레이션 결과는 표 3에 나타냈다. 논리 시뮬레이션 결과는 그림 8에 나타냈다.

표 3. 각 블록별 회로 시뮬레이션 결과
Table 3. Circuit simulation results

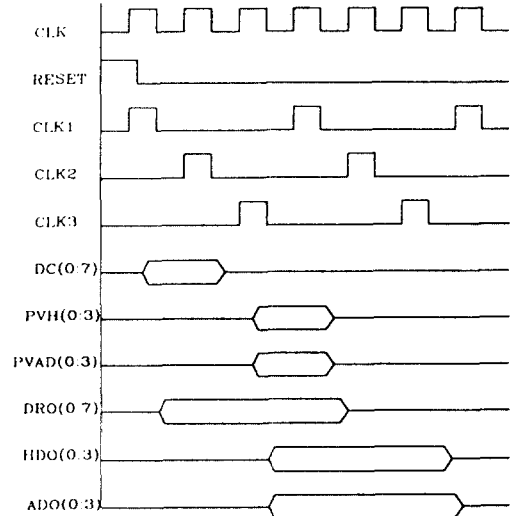
회로명	시 간	지연시간	총 지연시간
병렬 데이터 출력		35.7 ns	35.7 ns
압축기		4.6 ns	40.3 ns
해밍 거리 크기 비교기		6 ns	46.3 ns
최적 해밍 거리 MUX 및 최적 정합 어드레스		3.7 ns	50 ns

4.2 레이아웃

레이아웃은 ETRI 3 μ m COMS n-well 설계 규칙에 따라 블록별로 레이아웃을 하였고, 이를 단일 PE 블록으로 배열시켜서 단일 PE의 간격을 최소화하여 배치 및 배선을행하였으며, 전체 칩의 용량은 9미트 \times 16위드이며, 칩의 총 면적은 418 μ m \times 5252 μ m 이고, 단일 PE의 내부 사용 면적은 705 μ m \times 945 μ m 이다. 이에 따른 최종적인 전체 레이아웃은 그림 9과 같다.

V. 결 론

주어진 입력에 가장 가깝게 매칭하는 저장 정보를 빠른 시간 내에 찾아내는 메모리 시스템은 많은 패턴 인식 작업에 기본적으로 필요하다. 본 논문에서는 연상 메모리 소자에 대해 데이터와 일치하거나 일치하지 않는 경우 원하는 데이터와 가장 근접한 데이터를 출력 시키는 최적 정합 병렬 처리 방식을 적용하여 계산 효율과 처리율을 높인 파이프라인 CAM을 설계하였다. 이런기능을 수행하는 메모리 아키텍처는 병렬 입력 및 병렬 비교를 하여 고속으로 데이터를 처리하는 전-병렬 처리 방식을 채택함으로써 성능을 향상시켰다. 선택된 어드레스의 저장 정보에 대한 해밍



DC : 데이터 입력 HDO : 해밍 거리 출력
PVAD : 이진 어드레스 입력 DRO : 데이터 출력
PVH : 이진 해밍 거리 입력 ADO : 어드레스 출력

그림 8. 논리 시뮬레이션
Fig. 8. Logic simulation

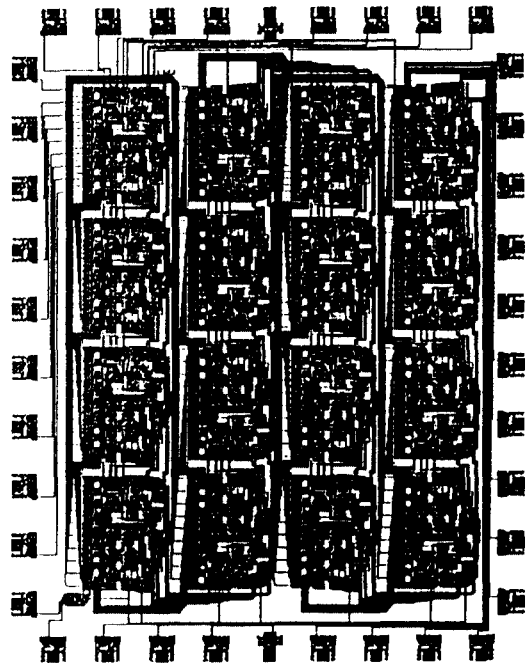


그림 9. 전체 CAM 레이아웃
Fig. 9. CAM layout

거리를 측정하여 비교함으로써 최적 정합 결과를 효율적으로 수행하였다. 이러한 특성을 갖는 CAM은 ETRI 3 μ m COMS n-well 설계 규칙을 사용하여 최적 정합 CAM을 설계하였다. 회로/논리 시뮬레이션에서 데이터의 직렬 처리시보다 병렬 처리시에 면적은 커졌지만, 시뮬레이션 수행결과 처리 속도는 37.2 Mbit/s로 직렬 처리 방식보다 2배 이상 향상되었으며, 최대 동작 주파수는 20MHz로 확인됐다.

참 고 문 헌

1. T. Kohonen, Content Addressable Memories, New York : Springer-Verlag, 1980.
2. 차균현, 박노경 외, "연상 메모리 설계 및 제작에 관한 연구," 한국통신학회 논문지 제 16 권 제 2 호, 1991.
3. 차균현, 박노경 외, "Content Addressable and Reentrant Memory(CARM)의 설계에 관한 연구," 한국통신학회논문지 제 16 권 제 1 호, 1991.
4. N. Weste and K. Eshraghian, "Principles of CMOS VLSI Design," Addison Wesley, 1985.
5. H. Liu and K. Fu, "VLSI arrays for minimum-distance classification," in VLSI for Pattern Recognition and Image Processing, K. Fu, Ed. New York : Springer-Verlag, 1984, pp. 45-63.
6. J. Wade and C. Sodini, "Dynamic cross-coupled bit-line content addressable memory cell for high-density arrays," IEEE Journal of Solid-State Circuits, vol. sc-22, pp.119-121, Feb. 1987.
7. K. Hwang and F. Briggs, Computer Architecture and Parallel Processing, New York : McGraw-Hill, 1985.
8. L. Clark, Master's Thesis, Dept. Elec. and Computer Eng., Arizona State Univ., Tempe, Jan. 1987.
9. L. T. Clark et al., "A pipelined associative memory implemented in VLSI" IEEE Journal of Solid-State Circuits, vol. 24, NO. 1, Feb. 1989.



金相福(Sang Pok Kim) 정회원
1963년 4월 2일생
1987년 2월 : 호서대학교 정보통신공학과 졸업
1993년 2월 : 호서대학교 공학석사 학위 취득
1993년 ~ 현재 : 한국기술교육대학교 정보통신공학과 조교

朴魯京(Nho Kyung Park) 정회원
1958년 1월 8日生
1984년 2월 : 高麗大學校 電子工學科 卒業
1986년 2월 : 高麗大學校 工學碩士學位 取得
1990년 2월 : 高麗大學校 工學博士學位 取得

1988년 ~ 現在 : 湖西大學校 情報通信工學科 副教授
※主關心分野 : VLSI/CAD, 通信 回路 및 시스템 自動設計 등



車均鉉(Kyun Hyon Tchah) 정회원
1939년 3월 26日生
1965년 : 서울大學校 工學士
1967년 : 美國일리노이大學校 工學碩士學位 取得
1976년 : 서울大學校 工學博士學位 取得
1987년 ~ 現在 : 高麗大學校 電子電算工學科 教授

※主關心分野 : CAD 및 通信시스템等