

패킷 전송용 무선 모뎀 구현에 관한 연구

準會員 廉智雲* 正會員 趙聖培** 正會員 趙炳錄*** 正會員 崔炯辰**

A Study on the Implementation of Wireless Modem for Packet Transmission

Jee Woon Youm* *Associate Member*, Seoung Bae Cho** Byung Lok Cho***
Hyung Jin Choi** *Regular Members*

要約

본 논문은 패킷전송을 위한 협대역 무선모뎀의 구현과 설계에 대해 다루었다. 모뎀은 송신부, 수신부 그리고 제어부로 구성되어 있다. 송신부는 협대역 필터링과 함께 BPSK 변조를 사용하였다. 수신부는 반송파 복구, 비트동기, lock 검출부 등의 기능적인 모듈로 구성되어 있다. 본산 패킷 무선망을 위해 3개의 모뎀을 구현하여 패킷 데이터의 전송을 평가하였다. PC의 RS-232C 포트를 통해 패킷화된 데이터의 전송을 확인하였으며 측정장비를 이용하여 실험 결과 데이터를 그림으로 나타내었다.

본 논문에서 구현된 모뎀은 무선 LAN을 제작하는데 유용하리라 기대된다.

ABSTRACT

This paper presented the implementation and design of narrowband wireless MODEM for packet transmission. The MODEM consists of transmitter, receiver, and the control unit. The BPSK modulation with narrowband filtering is used. The receiver consists of functional modules such as carrier recovery, bit synchronization, lock detector, etc.

We evaluated the performance of packet transmission with three MODEM sets implemented in distributed packet radio network. We confirmed the transmission of packetized data through RS-232C port of PC. Also, we presented results of experimental data by using measuring instruments.

The implemented MODEM in this paper is expected to be useful for the design of wireless LAN system.

1. 서론

고도 정보화 사회가 다가옴에 따라 무선통신의 수요가 급증하고 있으며 그중에서도 특히 이동 무선통신 서비스가 급증하고 있다. 따라서 본 논문에서는

* 삼성정보통신 이동통신 연구단

** 成均館大學校 電子工學科

Dept. of Electronic Engineering, Sung Kyun Kwan University

*** 順川大學校 電子工學科

論文番號: 9457

接受日字: 1994年 2月 24日

이동이 가능하고 휴대용 컴퓨터 등에 연결하여 무선으로 데이터를 주고 받을 수 있는 모델을 구현하였다.

본 논문에서는 채널 링크제어 프로토콜로 HDLC(High-level Data Link Control)방식을 사용하고, 변조방법으로 BPSK(Binary Phase-Shift Keying)를 사용하여 패킷 전송용 무선 모델을 구현하였다. 프로그램은 PC로부터 down 받은 데이터를 패킷화하여 전송하며 다른 PC에서 그 패킷을 정확히 전송되었는지 확인하는 소프트웨어를 개발하고, 모델 설계는 구현이 용이하고 패킷전송에 적당한 새로운 회로방식으로 설계하였다. 또한 본 연구실에서 구현한 RF 단[1]을 연결하여 시스템의 성능을 무선 채널환경에서 개발된 프로그램과 함께 평가하였다.

본 시스템의 송/수신 환경은 IF 주파수를 550KHz로 설계하였으며 시스템 구성은 모뎀 제어부, 송신부, 수신부로 되어 있다. 모뎀 제어부의 성능 평가는 설계된 하드웨어에 알맞게 프로그램 되었는가를 PC를 연결, 모니터상으로 직접 평가한다. 송신기의 성능은 변조된 송신신호의 전력 스펙트럼으로 성능을 평가하고 수신기는 반송파 복원, 클럭 복원, sample & hold 회로로 구성되어 성능평가를 각 블록별로 한다.

II. 시스템 구성 및 고려사항

2.1 시스템의 전체적인 구성

본 시스템은 크게 PC와 연결되어 변복조부와 데이터 신호를 주고 받은 모뎀 제어부, 모뎀 제어부에서 나온 출력신호를 변조하는 변조부, RF로부터 나온 신호를 복조하는 복조부로 나누어 진다. 모뎀 구현은 IF 단 까지만을 구현 목표로 하였다. RF 단까지의 구현은 또 다른 물리적 해석과 이론이 적용되므로 본 논문에서는 다루지 않았다. 다만 최종 실험을 위해서 본 연구실에서 직접 제작한[1] RF 단을 이용해 914MHz 주파수 대역에서 무선 송/수신 실험을 하였다.

PC와 모뎀 제어부의 통신은 모두 80C152 마이크로콘트롤러를 통해 이루어 진다. LSC(Local Serial Channel)를 통해 19200Hz의 속도로 PC와 비동기 통신을 하고 모뎀 제어부와 변복조부는 GSC(Grobal Serial Channel)의 HDLC(High-level Data Link Control)방식을 사용해 32KHz의 속도로 통신한다.

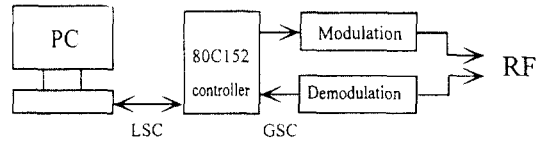


그림 1. 시스템의 전체적인 구성도
Fig. 1. Configuration of system

2.2 링크설계시 고려사항

본 시스템의 환경은 기본적인 이해와 기술습득에 용이한 Gaussian channel을 모델하였고 따라서 전송 매체는 자유공간의 전파(propagation)을 가정하였다. 시스템 파라미터 디자인에서 반송파주파수는 RF 914MHz에서 down conversion하는 가정하에 IF를 550KHz로 설계하였다. Data Rate은 32×10^3 bit/sec로 하여 데이터 전송뿐만 아니라 CVSD(continuously variable slope delta) modulator를 이용한 음성신호 전송도 고려하였다. 최대 요구 BER(bit error rate)은 10^{-7} 로 하여 데이터의 전송에 정확성을 기하였고 이에 따라 coherent BPSK 변복조 시스템에서 최적 요구 SNR과의 관계식은 식 (1)과 같다[2,3].

$$P_e \geq \frac{1}{2} \operatorname{erfc}\left(\frac{E_b}{N_o}\right)^{\frac{1}{2}} \quad (1)$$

식 (1)에서 P_e 의 값을 대입하고 $\frac{E_b}{N_o}$ 에 관해 풀면

$$\begin{aligned} \frac{E_b}{N_o} &\geq 11.3\text{dB} \\ \frac{C}{N} &= \left(\frac{f_b}{BW}\right) \cdot \left(\frac{E_b}{N_o}\right) \quad (2) \end{aligned}$$

여기서 BW는 Nyquist pulse shaping을 고려한 double-sideband radio-frequency noise bandwidth로서 BPSK 변조의 경우 bit rate(f_b)와 같다.

식 (1)에서 식 (2)의 $\frac{C}{N}$ 에 관한식으로 바꾸면

$$\frac{C}{N} \geq 11.3 \text{ dB}$$

$$\begin{aligned} \text{여기서 } f_b &= 32 \text{ KHz} \\ BW &= 32 \text{ KHz} \end{aligned}$$

따라서 수신기에서 요구 SNR(SNR_R)은 11.3dB이다. 또 수신기에서 SNR 손실(SNR_L)은 nonideal 소자사용과 변조왜곡으로 인한 손실로 4dB로 가정 하였다[3]. 이에 따라 최종 수신기에서의 요구입력 SNR

(SNR_t)은 식 (3)에 따라 15.3dB 이상이 요구된다.

$$SNR_t = SNR_L + SNR_R \quad (3)$$

자유공간에서 전파의 유효거리를 207m로 가정하였으며 이에따라 path loss는 isotropic 안테나의 사용을 전제로 하여 식 (4)로 표현된다[16].

$$L_p = 10 \log\left(\frac{P_t}{P_r}\right) = 10 \log\left(\frac{(4\pi)^2 d^2}{\lambda^2}\right) \quad (4)$$

$$= 10 \log\left(\frac{157.9 d^2}{\lambda^2}\right) = 78 \text{ dB}$$

여기서 $P_r = \frac{P_t A_{er}}{4\pi d^2}$, $A_{er} = \frac{\lambda^2}{4\pi}$ ($G=1$)

λ : 파장 (0.328m),

d : 송수신사이의 거리 (207m 가정)

따라서 안테나에서 수신된 전력은 식 (5)와 같다.

$$P_r = P_t - \text{path loss} \quad (5)$$

$P_t = 10\text{mW}(10\text{dBm})$ 이라고 가정하고, 식 (4)를 식 (5)에 대입하면 수신된 전력은 식 (6)으로 주어진다.

$$P_r = -68\text{dBm} \quad (6)$$

III. 시스템 설계 및 구현

3.1 모델 제어부

모델 제어부는 마이크로컨트롤러와 메모리, 이들 하드웨어를 동작시키는 시스템 프로그램으로 이루어져 있다. 본 시스템은 PC와 모델과의 통신 및 모델의 제어를 위해 MSC-51 계열 마이크로컨트롤러인 80C152를 선택하였다. 메모리는 시스템 프로그램용 RAM에 8K, 데이터 저장용 ROM에 32K를 각각 할당하였다. 시스템 프로그램은 80C152와 완벽히 호환을 이루는 8051 어셈블리어로 프로그래밍하였다[4].

3.1.1 마이크로컨트롤러(80C152)

80C152는 인텔사의 MCS 51 계열 마이크로프로세서이다. 이 마이크로프로세서의 가장 큰 특징은 다중 프로토콜 serial communication I/O 포트가 있어 SDLC(Synchronous Data Link Control), HDLC

(High-level Data Link Control) 프로토콜을 지원하는 것이다. 이 포트를 통해 모델과 모델사이에는 GSC의 HDLC 프로토콜을 이용하여 패킷 단위로 데이터를 송/수신하고, PC와 모델사이에는 LSC를 이용해 비동기 방식으로 송/수신하게 된다[4].

3.1.2 메모리부

프로그램을 위해 8 Kbyte의 EPROM을 사용하였고 송수신 데이터 메모리를 위해 32 Kbyte의 RAM을 사용한다. 메모리는 언제든지 확장 가능하다.

3.1.3 시스템 프로그램[5,6,7]

8051 어셈블리어로 구현된 프로그램은 PC와는 19.2Kbps의 속도로 통신하게 하여 데이터의 다운로드된 송/수신 데이터를 모니터에서 최종 확인할 수 있게 한다. 변복조부와는 32Kbps의 속도로 통신이 가능하게 하여 패킷화하여 데이터를 송신하고, 수신 데이터를 패킷 단위로 저장하게 한다.

(1) 패킷 디자인

패킷 통신시스템은 데이터가 비스트형이어서 패킷 단위로 전송되기 때문에 수신기는 일반적으로 수신 가능 상태로 되기까지 약간의 시간(최대 1ms)이 소요되며 따라서 데이터의 안전성을 보장하기 위해 데이터의 전달에 반송파부위, 클럭부위를 위해 전치부호를 첨가하게 된다. 또한 시스템의 유연성 및 안전성, 데이터 및 채널 전송속도를 고려하여 설계하였다. 그림 2는 위의 패킷포맷에 따라 전치부호와 데이터 클럭으로 구성된 패킷의 구조이다.

20 bit	10 bit	1024 bit
반송파복원	비트동기	데이터

그림 2. 송신데이터 패킷 형식
Fig. 2. Transmission data packet format

(2) 프로그래밍[5,6]

시스템 프로그램은 시스템을 초기화시키는 부분, 시스템의 운영을 제어하는 부분, 채널 제어 부분, 데이터를 송수신하는 부분으로 되어 있다.

시스템 초기화 부분에서 PC와의 통신은 비동기식으로 하고 송수신부와의 통신은 HDLC 방식을 선택

했다. 또한 데이터 코딩 방식으로 NRZI(Non Return to Zero Inversion)를 택하여 신호의 모호성을 없게 하였다. 시스템의 운영을 제어하는 부분에서 데이터 저장은 전자 사서함 형태로 구성하여 언제든지 이용할 수 있도록 프로그램 하였다. 초기상태는 항상 수신모드이며 송신 요구가 있을 때만 송신 모드가 결정되고 HDLC 방식으로 전송하게 된다. 데이터 송신시 송신의 동작은 다음과 같다. 송신 데이터를 일단 패킷으로 만들고 그 패킷을 전송한 후 타이머를 가동시켜 주어진 시간내에 NACK 패킷이 수신되지 않으면 패킷이 성공적으로 전송한 것으로 간주하고 다음 패킷 전송 준비를 한다. NACK 패킷을 수신한 경우는 재전송을 시작한다. 이에 대한 흐름도는 그림 3과 같다. 데이터 수신시 수신 동작은 다음과 같다. 초기에는 수신 모드에서 수신 버퍼를 검사하여 수신 버퍼에 데이터 입력되면 자신의 주소와 일치하는지 판단한다. 자신의 주소인 경우 데이터 패킷인가 NACK 패킷인가를 분류한다. 데이터 패킷인 경우 다음 패킷을 수신할 준비를 하고, NACK 패킷인 경우 전송에 실패한 패킷을 재전송하게 한다. 이에 대한 흐름도는 그림 4와 같다.

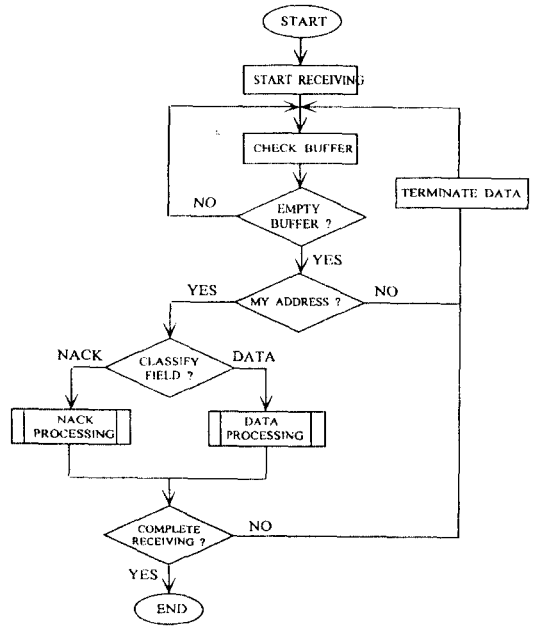


그림 4. 데이터 수신 제어 순서도
Fig. 4. Flowchart of data reception

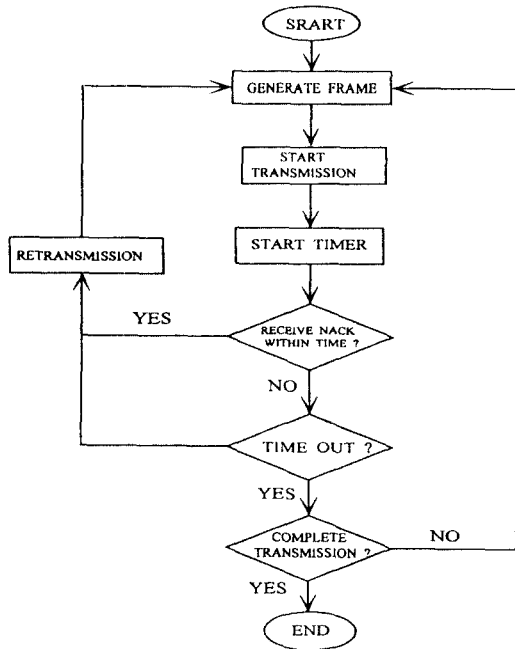


그림 3. 데이터 송신 제어 순서도
Fig. 3. Flowchart of data transmission

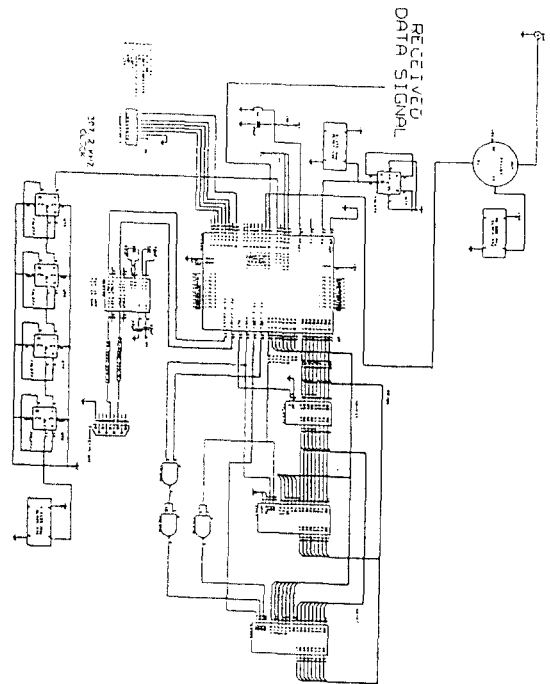


그림 5. 모뎀 제어부 및 전송부 전체 회로도
Fig. 5. Circuit of modem control unit and transmitter

3.2 송신부

모뎀 제어부에서 출력된 32KHz의 NRZI 데이터 신호와 70MHz 오실레이터에서 나온 반송파 신호는 PM-103 BPSK 변조기를 통해 직접 변조된다. 70MHz의 중심 주파수를 가지는 송신 신호는 다시 RF 부를 거쳐 914.5MHz의 중심 주파수를 가지고(가정) 안테나를 통해 방출으로 전파된다.

그림 5는 모뎀 제어부와 송신부 전체 회로도들 나타낸 것이다. PM-103은 넓은 대역폭과 우수한 선형성으로 변조기 및 복조기로서 널리 사용되어지는 소자이다. 80C152 마이크로컨트롤러, 62256 RAM, 2764 ROM, PM-103 BPSK 변조기와 그림에 제어부와 송신부를 구성하기 위한 주변 소자들을 볼 수 있다.

3.3 수신부

수신기는 대역통과필터, 반송파복원 회로, 클럭복원 회로, Sample & Hold 회로로 구성되며 수신기는 중간주파수를 기준으로 하여 550KHz로 설계하였으며 차후 heterodyne 방식의 응용을 가정하였다. 첫단의 수신 입력 대역통과 필터는 송신 대역통과 필터와 동일하다. 그림 6에 수신기의 블럭도를 나타내었다.

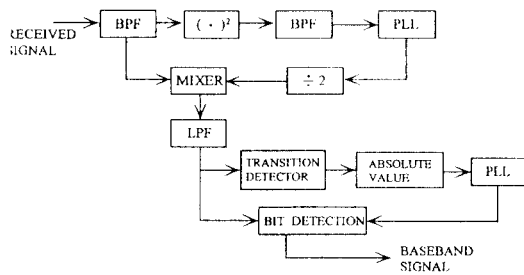


그림 6. 수신기 블럭도
Fig. 6. Block diagram of receiver

3.3.1 대역통과필터(Band-Pass Filter) [8]

VCVS(Voltage Controlled Voltage Source Filters) 2차 대역통과 필터로 중심주파수는 550KHz이고 BW=67KHz 이다. 간단히 OP AMP로 구현하였으며 아래 회로로부터 중심주파수(ω_0)에 대한 식은

$$\omega_0 = (1/R_5 C_2 C_1 (1/R_1 + 1/R_3)) 0.5 \quad (7)$$

통과대역의 이득(G)와 Q 값과 R_1, R_3, R_5 와의 관계

식은

$$R_1 = Q/G C_1 \omega_0 \quad (8)$$

$$R_3 = Q/(2Q^2 - Q) C_1 \omega_0 \quad (9)$$

$$R_5 = 2Q/C_1 \omega_0 \quad (10)$$

G에 관한 R과 C의 수식은

$$G = R_5 / (R_1 (1 + C_1 / C_2)) \quad (11)$$

위의 식에 따라 사용된 회로소자의 값은 그림 7의 회로도에 나타내었다.

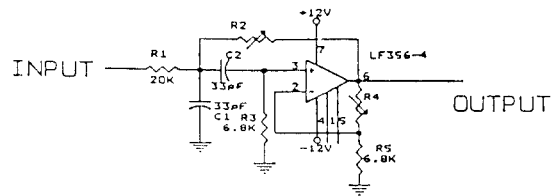


그림 7. 수신 대역통과필터 회로도
Fig. 7. Circuit of receiver band pass filter

3.3.2 반송파 복원회로

Squaring loop를 이용하여 수신기에서의 coherent detection을 위해 동기화된 순수 반송파신호를 제공한다. 반송파 동기포착 또는 추적은 그 시스템을 길게하는 여러 조건에 따라 그 특성이 매우 달라지며 따라서 사용자의 목적에 맞는 시스템의 설계가 특히 중요하다. 여기서 사용된 PLL은 PD(Phase Detector), VCO(Voltage Controlled Oscillator), 1차의 loop filter로 이루어진 2차 PLL이다. 먼저 시스템의 설계를 위해 acquisition 관점과 tracking 관점의 두 조건을 만족하는 B_L 을 계산한다.[2, 9, 10, 11]

- Acquisition 관점에서 B_L 의 설계 [12, 13, 14]

신호의 부정확성(발진기의 instability)은 $\pm 0.5KHz$ 이하로 가정하였으며 차송한 후의 부정확성은 그 값이 두배가 되어 $\pm 1KHz$ 이하이며 따라서 시스템이 정확히 동기를 포착하기 위해서는 동기포착 범위가 1KHz 이상이 요구된다. Steady state phase error를 3° 이하로 가정하면 loop gain(K)는

$$K \geq \frac{\Omega_0}{\sin\theta} = 1.2 \times 10^5 \text{ rad/sec} \quad (12)$$

여기서 $f_0 = \pm 1 \text{ KHz}$
 $\Omega_0 = 2\pi \times 1000 \text{ rad/sec}$
 $\sin\theta = \sin 3^\circ$ ($\sin 3^\circ$: steady state phase error)

$$B_L = \frac{K}{4} \quad (13)$$

식 (12)와 같이 되고 따라서 식 (13)에 의해서 B_L 은 4.8KHz 보다 커야 한다.

• Tracking 관점에서 B_L 의 설계[14]

Phase jitter(σ^2_ϕ)을 9° ($(0.157)^2 \text{ rad}$)로 가정하여 설계한다.

$$\sigma^2_\phi = \left[\frac{B_L}{P_s/N_0} \right] \left[1 + \frac{B_i}{2} \left(\frac{1}{P_s/N_0} \right) \right] \quad (14)$$

여기서 B_L : onside loop bandwidth
 B_i : input bandpass filter noise bandwidth
 $\sigma^2_\phi = 3.63 \times 10^{-6} B_L \leq (0.157)^2$

Phase jitter(σ^2_ϕ)와 loop SNR에 관한 수식을 정리하면

$$\text{Loop SNR} = \frac{1}{\sigma^2_\phi} = \frac{P_s}{N_0 B_L} \quad (15)$$

식 (15)와 같이되고 이식에 phase jitter(σ^2_ϕ)의 값의 값을 대입하면 loop SNR은 17.1dB ($10\log(355.2/6.88)$)로 구해진다. 따라서 B_L 은 6.88kHz (tracking 제한)보다 작아야 한다.

• Acquisition & Tracking의 두조건을 만족한 B_L 을 결정하면

$$4.8\text{KHz}(\text{acquisition 제한}) \leq B_L \leq 6.88\text{KHz}(\text{tracking 제한}) \quad (16)$$

(16) 식과 같이 구할수 있다.

위의 조건을 만족하여 XR-215(PLL IC)를 이용하여 그림 8에 반송과 복원 회로도를 나타내었다.[11, 15]

3.3.3 복조회로부

복조기(MC1495)와 LPF로 구성되어 있으며 반송과복구회로의 출력과 입력신호를 곱하여 기저대역신호를 만든후 LPF(3dB BW = 35.2KHz)를 통과시킨

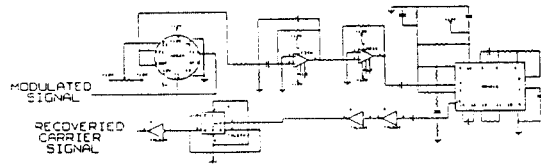


그림 8. 반송과 복원 회로도
 Fig. 8. Carrier recovery circuit

다. MC1495(복조기)는 100MHz라는 넓은 대역폭과 우수한 선형성으로 복조기 및 평형 변조기로서 널리 사용되어 진다. 복조 회로도도 그림 9와 같다.

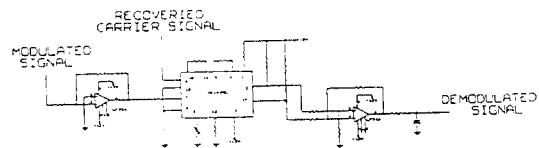


그림 9. 복조회로도
 Fig. 9. Demodulation circuit

3.3.4 클럭복원 회로[14]

본 시스템에서는 DTTL(Data Transition Tracking Loop)로서 미분기와 절대값 회로로 구성된 edge 검출기와 아날로그 PLL(XR-215)로 구성되어 진다. edge 검출기는 미분기와 절대값회로로 구성되며 미분기는 데이터가 천이되는 부분을 검출하고 그 값을 절대값으로 만든 다음 아날로그 PLL로 입력하여 데이터의 천이 부분을 추적하여 데이터 클럭신호를 복원할 수 있는 데이터 클럭 복원회로는 그림 10과 같다[10, 14].

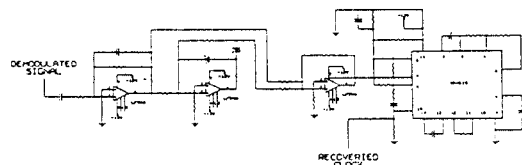


그림 10. 클럭복원 회로도
 Fig. 10. Clock recovery circuit

3.3.5 Sample & Hold 회로 [15]

부조된 기저대역신호를 클럭복구회로에 의해 만들어진 클럭(32 KHz)에 따라서 D flip flop(74LS74)을

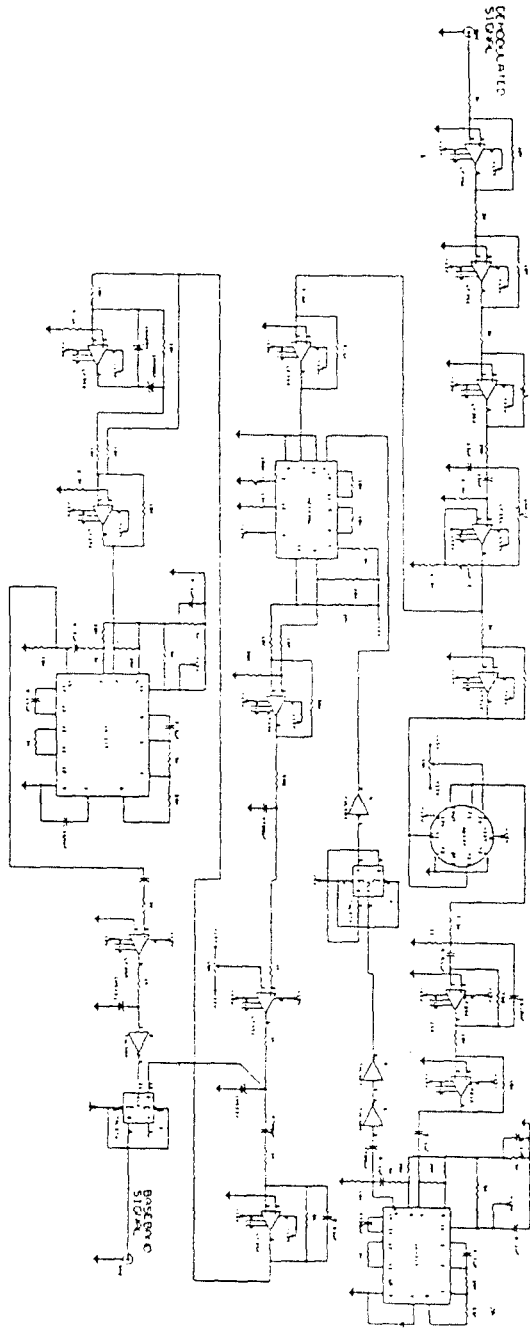


그림 11. 수신부 전체 회로도
Fig. 11. Receiver circuit

이용하여 falling edge에서 sample한 후 다음 falling edge까지 sample한 값을 유지한다. Sample & Hold 회로는 그림 11 수신부 전체 회로도에 나타나 있다.

IV. 실험평가 및 검토

4.1 개요

그림 13의 구현된 무선 모델은 최종적으로 PCB화 한 것이다. 각각의 모델은 분상망의 실험을 위해 모두 3대를 제작하였다. 송신부의 실험결과는 송신 스펙트럼으로 할 것이고 수신부는 각 모델별로 스펙트럼과 오실로스코프의 파형으로 한다[1].

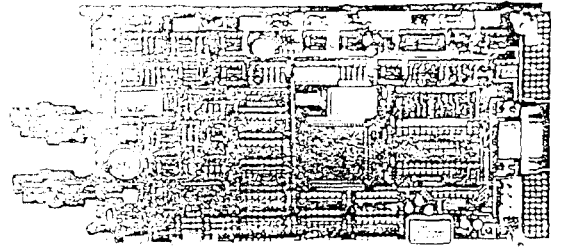


그림 12. 구현된 무선 모델
Fig. 12. Configuration of implemented MODEM

4.2 송신기 실험평가

여기서 주요관심은 순수잡음성분 및 잡음과 전송 신호를 나한 성분의 전력 스펙트럼을 비교하고, 광대역 잡음내에 전송신호가 잘 감추어 짐을 확인한다. 전파의 그림에서 전송신호가 광대역에 걸쳐 마치 잡음처럼 균일하게 분포됨을 볼 수 있다.

변조된 신호의 전력스펙트럼으로 신호의 변조과정 성능을 고찰할 때 아래와 같은 중요한 몇가지 관점에 서 결과를 분석할 수 있다.

- ① 스펙트럼의 대칭성
- ② 스펙트럼의 정확성 (반송파주파수, 반송파주파수 ± 기저대역)
- ③ 스펙트럼의 main lobe와 side lobe

그림 13과 14에서 먼저 스펙트럼의 대칭성을 보면 정확한 대칭성을 보이고 있으며 둘째로 스펙트럼의 정확성 또는 반송파주파수에 의한 대역이동과 mainlobe와 side lobe의 위치와 폭을 확인할 수 있다.

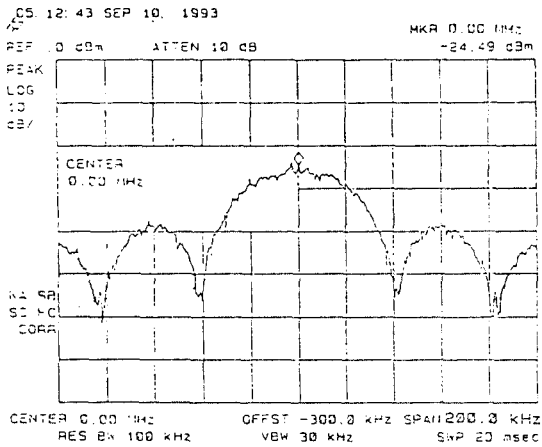


그림 13. 송신된 데이터의 스펙트럼
Fig. 13. Spectrum of data before transmission

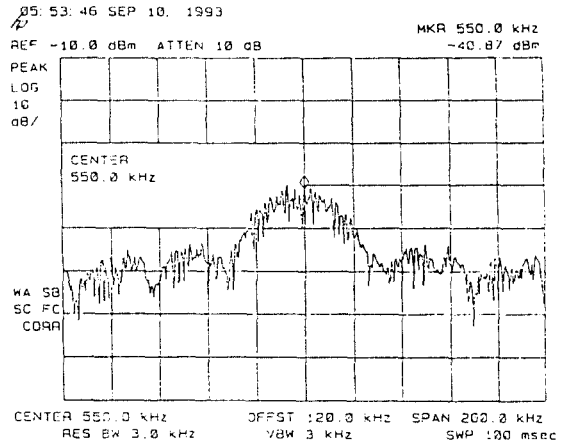


그림 15. 수신부 첫단의 스펙트럼
Fig. 15. Spectrum of data in first reception stage

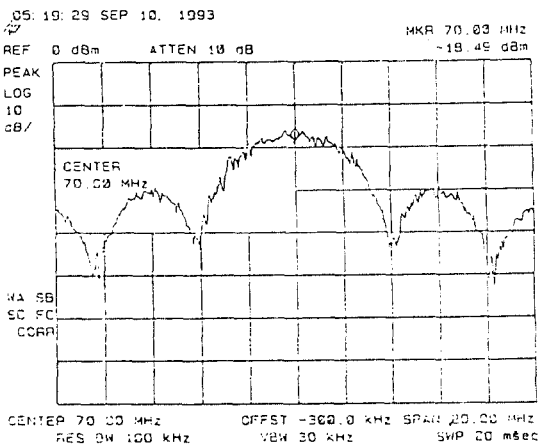


그림 14. IF 단으로 변조된 데이터의 스펙트럼
Fig. 14. Spectrum of data after modulation of IF stage

4.3 수신부 실험평가

그림 15는 수신 첫단의 스펙트럼을 나타내었다. BPF로 sidelobe가 감소됨을 볼 수 있다. 수신부는 각 회로별로 결과를 검토한다.

4.3.1 반송파 동기포착 및 추적회로

반송파 동기포착 및 추적회로는 반송파역압 신호 파형에서 신호대잡음비가 향상된 순수반송파 성분을 추출하기 위한 squaring loop으로 구성된다. 반송파

동기포착 및 추적회로에서 전단의 대역통과 필터는 가능한 좁은대역통과 필터를 사용하며 반송주파수는 동기포착에서의 false lock을 줄이기위해 대략 data rate의 10배 정도가 이용된다. 반송파 동기추적채널은 실험적으로 lock range가 548.6KHz에서부터 551.5KHz이며 이는 이론치인 550KHz±1KHz와는 약간의 차이가 남을 실험을 통해 나타냈다.

그림 16은 송신부 데이터 신호와 수신부의 수신 BPSK신호이다. 송신 신호와 약간의 지연을 가지고 데이터의 edge 부분에서 BPSK 변조가 되어 있음을 볼 수 있다. edge 부분에서 신호의 크기가 작아진 것은 수신단에서의 필터링 때문이다.

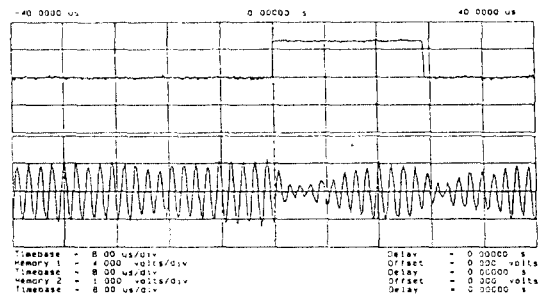


그림 16. 송신 데이터 신호와 수신부의 BPSK 신호
Fig. 16. Signal of transmitted data and BPSK signal in receiver

그림 17은 수신된 신호와 수신부의 제곱기, BPF ($f_0 = 1.1\text{MHz}$)를 통과한 2배 주파수신호를 나타내었으며 여기서 BPSK 변조성분이 제거된 2배의 순수 반송파 클럭신호가 만들어진다.

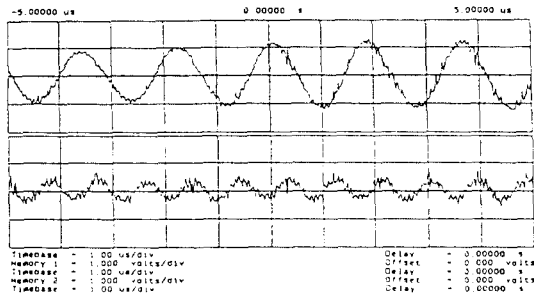


그림 17. 수신신호와 2배 주파수신호
Fig. 17. Received signal and signal of twice frequency

그림 18은 수신신호와 수신부의 PLL을 통과한 복원된 반송파신호로 1 값일 경우 두 신호는 동상이고 0 값일 경우 위상이 180° 차이남을 확인할 수 있다.

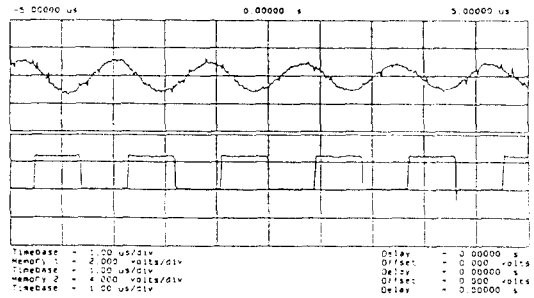


그림 18. 수신신호와 복원된 반송파 신호파형
Fig. 18. Received signal and recovered carrier signal

4.3.2 복조회로

복조회로는 수신신호와 동기가 맞추어진 반송파신호를 수학적으로 곱하는 과정으로서 그림 19에는 송신 데이터 신호와 수신부에서 복조된 신호를 나타내었다. 송신신호가 1일 경우 0.5V 정도의 값을 갖고 0의 경우는 -1.5V 의 값을 갖고 이 신호를 LPF($f_c = 35.2\text{KHz}$)를 통과 시키면 복조된 데이터 신호를 얻을 수 있다.

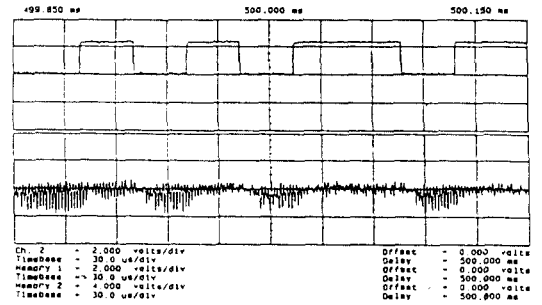


그림 19. 송신 데이터 신호와 수신부의 복조신호
Fig. 19. Signal of transmission data and demodulated signal in receiver

4.3.3 클럭복구회로

그림 20은 클럭복구회로 중에서 기저대역신호를 미분한다음 edge 감출기를 통과한 신호의 파형이다. 이신호가 XR-215 PLL 칩을 구동시켜 원하는 클럭복구된 신호를 복원하게 된다. 그림 21은 복원된 클럭과 복조신호를 시간에 대해 반복적으로 중첩되게(약 3초간) 나타낸 것이며 여기서 약간의 오차는 있으나 모든 경우에서 한 bit 전제는 놓치지 않음을 확인할 수 있다.

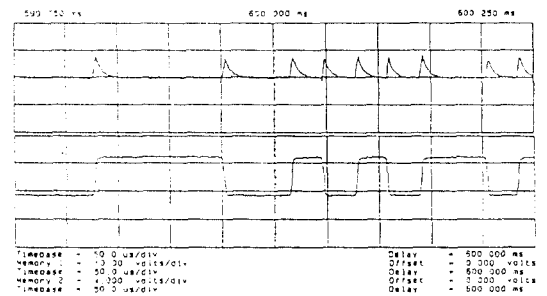


그림 20. edge 감출기의 출력신호와 복원된 데이터신호
Fig. 20. Output signal of edge detector and recovered data signal

그림 22는 어느 한 순간의 기저대역 신호와 복구된 클럭을 나타내었다. 복원된 클럭은 기저대역 신호에 비해 약 90° 의 위상차를 가지면서 정확히 비트동기를 찾아감을 볼 수 있다.

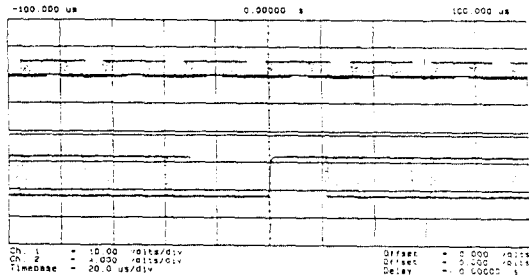


그림 21. 복원된 클럭신호와 기저대역신호의 중첩비교
Fig. 21. Overlay comparison of recovered clock and baseband signal

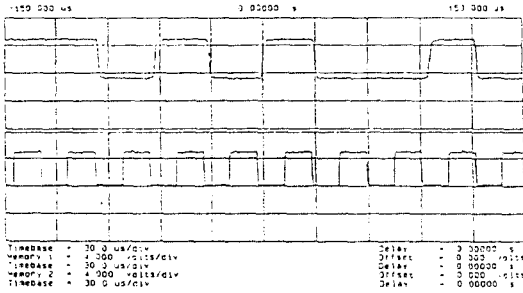


그림 22. 기저대역신호와 복원 클럭
Fig. 22. Baseband signal and recovered clock

4.3.4 Sample & Hold 회로

수신부에서 복원된 클럭으로 복조된 신호를 sample 하는 부분으로 그림 23에 기저대역신호와 최종 수신 신호를 나타내었다. 여기서 기저대역신호는 각 bit 마다 주기가 다르지만 최종 수신신호는 모든 bit의 주기가 같음을 볼 수 있다.

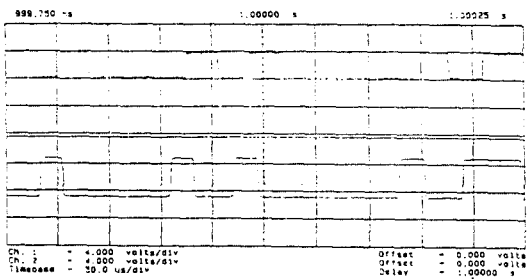


그림 23. 복조된 기저대역신호와 최종 수신신호
Fig. 23. Demodulated baseband signal and last receive signal

그림 24는 송신 첫단의 데이터신호와 수신 끝단의 데이터신호를 비교하였다. 송수신간에 약간의 지연이 있지만 각각의 비트는 정확히 전송된다. 시스템의 전체적인 지연시간은 약 35ms 정도로 나타났다.

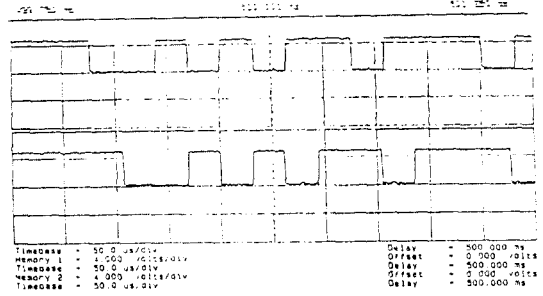


그림 24. 최초 송신 데이터신호와 최종 수신 데이터신호
Fig. 24. Transmitted data signal and receive data signal

4.4 분산망에서의 무선 송수신기 실험평가

구현된 모델에 RF부를 연결, 3대로 분산망을 구성하여 패킷 데이터를 예러없이 전송하는가를 살펴보고, 패킷이 충돌하여 에러가 발생하는 경우는 재전송이 이루어 지는가도 살펴 보았다. 또한 시스템 3대에 각각의 address를 주어서 지정된 address에만 패킷을 받는지 확인하고 필요시는 broadcasting으로 전체 분산망에 패킷을 송/수신하는것도 확인하였다.

구현한 시스템으로 구성된 분산망은 그림 26과 같다. 시스템간의 거리는 상호 약 1m~5m 정도로 설정하였고 실험에 의한 확인된 사항은 다음과 같다.

- 패킷화 데이터의 전송을 monitor로 확인함.
- 동기를 잃어 패킷이 깨지는 경우도 간혹 있었으나 깨진 패킷은 재전송함.
- 수신측에서는 순서대로 패킷이 수신되지 않는 경우 패킷이 깨진것으로 간주하고 해당 순서 패킷에 대해 재전송함을 확인함.
- 타이머 가동시간 내에 패킷이 도착하는 경우 패킷을 데이터 패킷과 NACK 패킷으로 분류하여 처리함을 monitor로 확인함.
- 터미널이 3대인 환경에서 터미널 2대가 보낸 데이터를 분류하여 addressing 처리함을 monitor로 확인함
- DTE로 패킷단위의 전송 데이터는 PC에 완전하게 파일로 저장됨을 확인함.

문제점으로는 만약 preamble 도중에 신호의 반송 파동기와 비트동기가 맞지 않다면 패킷 앞단의 address를 인식할 수 없기 때문에 패킷을 수신 못하는 경우가 생길 수 있다. 또한 송신 전력이 미약하기 때문에 장애물이나 전파방해로 수신기가 전혀 동작하지 않는 경우도 생길 수 있다.

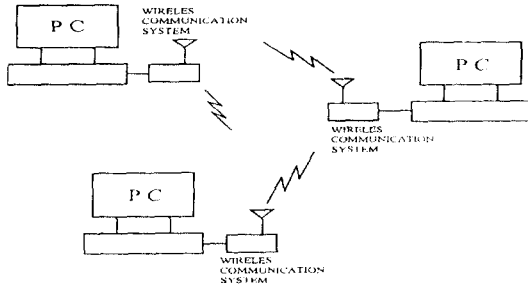


그림 25. 구현한 무선 모델로 구성된 분산망
Fig. 25. Distributed network configuration with implemented system

V. 결 론

본 논문에서는 디지털 변복조 기법중에서 가장 기본적이고 설계 및 구현이 용이한 BPSK 변조기법을 이용하여, 패킷 통신이 가능한 80C152 통신용 마이크로콘트롤러를 이용하여 패킷 전송용 무선 모델을 구현하였다.

시스템의 구성은 분산망 실험을 위해 기본적으로 3개의 무선 모델을 구현하였다. 각 송/수신기의 포트와 PC의 RS-232C 포트를 접속하여 PC 간 데이터 화일을 패킷 단위로 송/수신함을 확인하고 동작 순간들을 계측기를 사용하여 실험결과를 최종 평가하였다.

본 논문의 시스템 구현은 IF 단 까지만을 목표로 하였으며 RF 부분은 주파수 대역이 맞는 시스템을 구하여 본 시스템과 연결, 최종적인 실험을 하였다. 앞으로 무선 단말기의 수요가 급격히 늘어날 것을 예상하여 본 시스템에서 회로의 단순화, 신뢰도 향상, 성능 향상을 위한 작업을 좀 더 꾸준히 진행한다면 ASIC 까지도 가능하며, 높은 품질과 성능의 회로가 완성되리라 본다.

감사의 글

본 논문의 상공부에서 시행한 공업기반기술개발사업의 일부분으로 본 연구를 지원해 주신 상공자원부에게 사의를 표한다.

참 고 문 헌

1. 성균관대학교, 디지털 이동 무선시스템 기술개발, 상공부, 1993. 11.
2. J.K. Holmes, "Tracking Performance of the Filter and Square Bit Synchronizer," IEEE Trans. on Comm., August 1980.
3. Jack K. Holmes, Coherent Spread Spectrum Systems, John Wiley, 1982.
4. intel, Embedded Microcontrollers and Processors Volume 1, 1992.
5. John D. Spragins, Telecommunications protocols and design, Addison-Wesley Publishing Company Inc. 1991.
6. Fred Halsall, Data communications, computer networks and open systems, Addison-Wesley Publishing Company, 1992.
7. F.A. Tobagi and L. Kleinrock, "Packing switching in radio channel: Part I Carrier Sense Multiple Access Modems and their Throughput Delay Characteristics," IEEE Trans. Commun, vol. COM 23, pp. 1400-1416, Dec. 1975.
8. M.E. Van Valkenburg, Analog Filter Design, CBS College Publishing, 1982.
9. F.M. Gardner, "Characteristics of Frequency Tracking Loops," IEEE Pressbook on Phase Locked Loops, IEEE Press, 1986.
10. PLL(위상동기루프) 응용회로, 도서출판 세운 권집부권, 1988.
11. Roland E. Best, Phase-Locked Loops, McGraw-Hill Co., 1984.
12. EXAR DATA BOOK, EXAR Corporation, 1990.
13. 최형진외 5인 "직접대역확산 방식 패킷 무선통신 시스템의 구현에 관한 연구," JCCI, April, 1993.
14. Ziemer, R.E., and Peterson, R.L., Digital Communication and Spread Spectrum System, Macmillan Publishing Co., New York, 1985.

- 15. M.K. Simon, and W.C. Lindsey, "Optimum Performance of Suppressed Carrier Receivers with Costas Loop Tracking," IEEE Trans. on AES, February, 1977.
- 16. Bernard Sklar, Digital Communications Fundamentals and Applications, Prentice-Hall International, Inc., 1988.



廉 智 雲 (Jee Woon Youm) 準會員
 1967年 12月 17日生
 1992年 2月: 成均館大學校 電子工學科 卒業
 1994年 2月: 成均館大學校 大學院 電子工學科 卒業(工學碩士)
 1994年 3月 ~ 현재: 삼성정보통신 연구소 이동통신연구단에 서 근무중

※주관심분야: 통신이론, 이동통신



趙 聖 培 (Seoung Bae Cho) 準會員
 1964年 11月 15日生
 1990年 2月: 成均館大學校 電子工學科 卒業
 1992年 2月: 成均館大學校 大學院 電子工學科 卒業(工學碩士)
 1992年 3月 ~ 현재: 成均館大學校 大學院 電子工學科 博士課程 中

※주관심분야: 대역확산통신, 디지털통신, 개인휴대통신



趙 炳 錄 (Byung Lok Cho) 正會員
 1962年 9月 4日生
 1987年 2月: 成均館大學校 電子工學科 卒業
 1990年 2月: 成均館大學校 大學院 電子工學科 卒業(工學碩士)
 1994年 2月: 成均館大學校 大學院 電子工學科 卒業(工學博士)

1987年 1月 ~ 1988年 3月: 三星電子(株) 綜合研究所
 1994年 3月 ~ 현재: 순천대학교 전자공학과 전임강사
 ※주관심분야: 통신이론, 이동통신, 데이터 통신, 컴퓨터 네트워크 등임



崔 炯 辰 (Hyung Jin Choi) 正會員
 1952年 8月 30日生
 1974年 2月: 서울대학교 전자공학과 졸업(학사)
 1976年 2월: 한국과학기술원 전기전자공학과 졸업(석사)
 1976年 3월 ~ 1979年 7월: 주식회사 금성사 중앙연구소 근무(연구원)

1979年 9월 ~ 1982年 12월: 미국 University of Southern California 전기공학과 박사(Ph.D)

1982年 10월 ~ 1989年 2월: 미국 LinCom Corp. 연구원으로 근무

1989年 3월 ~ 현재: 성균관대학교 전자공학과 근무(부교수)
 ※주관심분야: 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화이론을 포함한 Modem기술 등임