

# Programmable 12bit CMOS FIR 디지털 필터의 設計

準會員 洪 國 泰\*    正會員 李 成 大\*\*    正會員 鄭 康 敏\*

## The Design of Programmable 12-bit CMOS FIR Digital Filter

Kuk-Tae Hong, Seong-Dae Yi, Kang-Min Chung *Regular Members*

### 要 約

본 논문에서는 고주파 통신시스템에 적용 가능한 프로그램 가능한 고속 FIR 디지털 필터를 설계하였다. 고속 FIR 필터를 실현하기 위하여 CSD 계수를 프로그래머블하도록 하기 위하여 2개의 디코더와 레지스터를 추가하였으며, 이 레지스터의 기억 내용으로 입력 데이터의 자리이동 과정이 수행되도록 함으로서 프로그래머블하지 않은 경우에 필적하는 속도가 유지된다.

### ABSTRACT

In this paper, a programmable high-sample-rate FIR digital filter was designed for a high-bandwidth communication system. A fully parallel bit-level pipelined transpose-form carry-save architecture using CSD coefficients was adopted for high-speed operation. In this system, multiplication can be translated to simple shift-addition processes. For programmability of filter coefficients, two decoders and a few registers are added, and the shifting processes of input data are controlled according to the data registered. Therefore, the speed performance of filter designed is comparable to the case of a non-programmable filter.

### 1. 서 론

\* 成均館大學校 電子工學科  
 論文番號: 94121  
 接受日字: 1994年12月29日  
 \*\* 安山工業專門大學校 電子科  
 論文番號: 94121  
 接受日字: 1994年12月29日  
 論文番號: 94121  
 接受日字: 1994年5月3日

본 연구에서는 고주파 통신시스템에 적용가능한 프로그래머블 high-sample-rate FIR 디지털 필터의 설계를 목적으로 한다. 일반적으로 프로그래머블 기법의 도입이 어려웠던 고속필터(>50MHz)에 프로그래머블 개념을 도입하기 위하여 non-programmable 경우의 고속필터의 기법<sup>[1][2]</sup>에 두 개의 디코더와 이들의 출력으로 제어되는 스위치들의 적당한 논리동작으로 고

속필터의 기법을 활용한 프로그래머블 범용 고속필터를 설계하고자 한다. 본 논문에서 채택한 고속필터의 기법은 필터의 계수를 canonic signed digit(CSD)<sup>[3]</sup><sup>[4]</sup><sup>[5]</sup>를 이용하여 양자화는 기법으로 실제 회로상에서 승산은 자리수이동-가산(shift-addition)으로 대체된다.

프로그래머블 디바이스를 실현하는 기법으로서는, 초기에 설정된 디코더의 출력으로 기억소자단의 내용을 정의해준 후에 이 내용으로 입력 데이터가 정해진 만큼의 자리수이동을 행하여 가산기로 입력되도록 설계하였다. 또한, 실시간 신호처리 시스템에서 요구되는 고처리율(high throughput rate)을 만족시키기 위하여 위하여 파이프라인 기법(pipeline)<sup>[6]</sup>을 도입, 회로의 처리율이 크게 증가되었다. 또한 프로그래머블 필터의 구조상 고정되는 탭수와 CSD 「0이 아닌 항(non-zero term)」의 갯수에 대하여 여러가지 경우를 설정한 뒤 각각의 주파수응답을 고찰하여 선택된 구조에 대해 타당성을 보였다.

### 2. 디지털 필터의 구성

디지털 필터의 연산은 선형 차분방정식을 표현하기 위한 가산, 승산 및 1 샘플링주기 지연의 3가지로 이를 실현하기 위해서 가산기(adder), 계수 승산기(coeffcient multiplier), 지연소자(unit delay)로 구성한다. 디지털 필터의 내부는 이러한 소자의 상호접속에 의해서 구성되어 있다. 이를 실제 회로로 구현할 때, 회로의 속도를 제한하는 요소는 승산과정이 되므로 승산속도를 향상시킴으로서 전체 필터회로의 처리속도의

향상을 기대할 수 있다.

### 3. 고속필터의 설계 기법

설계된 디지털 필터는 21 탭(tap) 전치형 FIR 구조<sup>[7]</sup>로써, 회로 성능을 제한하는 임계 경로를 가산의 연속적인 연결 경로에서 1개의 승산-가산 경로로 변환되도록 하였고, 속도를 제한하는 승산과정은 각 탭의 계수를 CSD 계수로 표현함으로써 자리이동-가산으로 대체되어 승산기없는 회로로 동작한다. 회로내 가산과정은 캐리저장가산(carry-save-addition)을 사용함으로써 캐리신호와 합신호가 병렬로 진행하여, 각각의 탭내에서 발생하는 캐리전파로 인한 지연이 없도록 설계하였다. 또한, 입·출력 레지스터를 사용하여 패드지연(pad delay)을 임계경로에서 제외시킨다. 입·출력 데이터의 어장(wordlength)은 12비트, 내부 어장을 오버플로우를 고려하고, 내부 절삭(truncation)으로 인한 양자화 오차가 한정된 입·출력 어장으로 인한 양자화 오차보다 작도록 하기 위하여 각각 14비트로 진행토록 하였다. 마지막 탭을 거친 캐리벡터와 합벡터는 pipelined 캐리전파가산기(carry propagation adder : CPA)에서 회로에 부가적인 대기시간(latency) 없이 필터 출력을 생성할 수 있도록 하였다. 또한, 동일 탭내의 가산기단 사이에 파이프라인 레지스터를 삽입하여 bit-level 파이프라이닝을 구현, 전체 회로의 처리속도를 증가시킨다. 그림 2는 설계된 디지털 필터 회로의 전체적인 구조를 나타내고 있다.

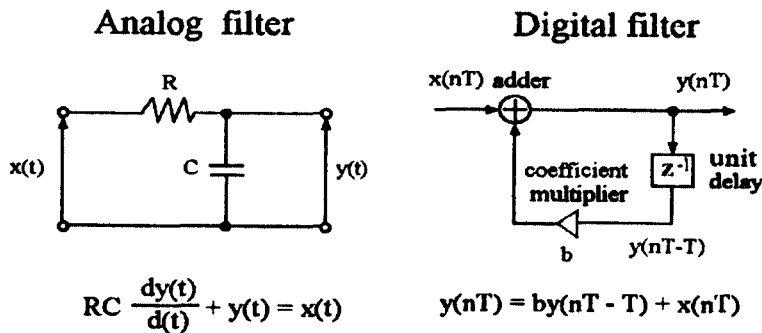


그림 1. 아날로그 필터와 디지털 필터  
Fig. 1. Analog filter and digital filter

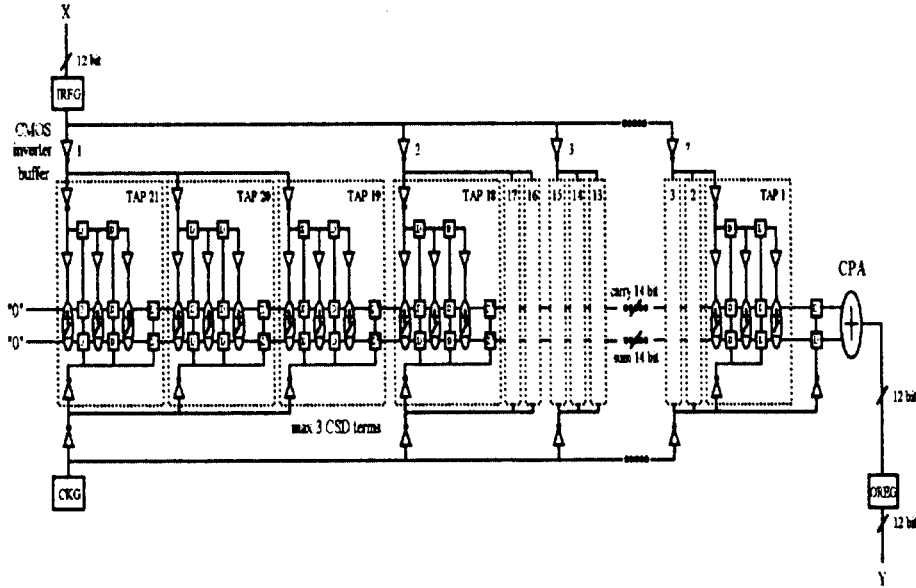


그림 2. 고속필터의 전체적인 구조  
Fig. 2. overall structure of high-speed filter

3.1. 승산기없는 디지털 필터<sup>[8]</sup>

각 탭의 계수를 2의 멱승의 합 또는 차로 표시하면 각 탭의 승산과정은 몇 개의 가산기와 하드웨어상의 물리적인 자리수 이동으로 구현할 수 있고, 고속 저복잡도의 디지털 필터를 실현할 수 있다. 이때, 주파수 응답상의 저하(degradation)를 피할 수 없지만 이는 고속 구현에 따른 이점에 비해 미세한 손실이다. CSD 양자화를 사용하면 승산을 적은 수의 가산으로 행할 수 있으므로 이를 필터 설계에 적용하면 실시간 구현이 용이하여 진다.

어떤 수  $x \in [-2^{n-1}, 2^{n-1}]$ 의 주어진 n-digit 표현에 대하여 이의 2의 보수형태 CSD는 다음과 같이 정의된다.

$$x = -x_n 2^{n-1} + \sum_{i=0}^{n-2} x_i 2^i \equiv \sum_{i=0}^{n-1} c_i 2^i \quad (1)$$

여기서  $x_i = (0, 1)$  이고  $c_i = (0, +1, -1)$  이다. canonical digit  $c_i$ 가 0이 아닌 값을 가지게 될 확률은,

$$P(|c_i| = 1) = \frac{1}{3} + \left(\frac{1}{9^n}\right)[1 - (-\frac{1}{2})^n] \quad (2)$$

이며 n이 충분히 큰 값이라면 이 확률은 1/3이 된다. 즉, 각 digit가 0일 확률은 2/3가 된다. 또한 radix-2 코드에 비해 음(negative)의 디지털의 추가로 인하여 훨씬 적은 수의 [0이 아닌 항]으로서 대부분의 수를 표현 가능하다. 이를 필터 계수를 양자화하는데 적용하면 다음 식과 같다.

$$X = \sum_{k=1}^L S_k 2^{-P_k} \quad (3)$$

여기서,  $S_k \in [-1, 0, 1]$  이고,  $P_k \in [0, 1, \dots, M]$  이다. 위 식으로 표현되는 코드는 M+1개의 디지털에 L개의 [0이 아닌 항]을 갖는다. 각 코드에서 [0이 아닌 항]의 갯수는 필터 구현시 필요한 가산기의 갯수와 비례하며 자리수이동-가산으로 이를 실현할 수 있다. 이 결과, 전체적인 처리율을 더욱더 증가시킬 수 있다. CSD 코드로 표현할 때 생길수 있는 회로의 속도는 증가될 수 있으며 각 탭내 가산기단 사이에 파

이프라인을 적용, 전체적인 오차는 「0이 아닌 항」의 갯수를 증가시키거나 가능한 자리이동의 횟수, 즉 디지털의 수를 증가시킴으로서 감소시킬 수 있으나, 이

로 인한 하드웨어 복잡성과의 trade-off를 충분히 고려하여 결정해야 한다.

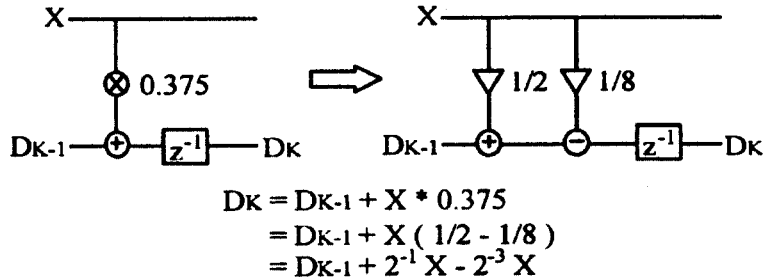


그림 3. 계수의 CSD 표현

Fig. 3. CSD representation of filter coefficient

### 3.2. 탭의 구현

그림 4는 파이프라인을 적용한 non-programmable 한 경우의 탭의 기본구조이다. 각 탭내에서의 승산은 hard-wiring으로 자리수이동-가산을 직접 표현할 수 있다. 즉, 입력데이터가 정해진 비트수만큼 자리수이동되어 가산기에 입력되며 n비트 자리수 이동은 1/2<sup>n</sup>의 스케일링 (scaling)을 나타낸다.

### 3.3. 캐리저장가산 (carry save addition)

각 탭내의 가·감산기에서의 캐리전파에 따른 지연을 피하기 위하여 캐리저장가산을 사용함으로써 필터 내부에서 캐리 (carry) 신호와 합 (sum) 신호는 각각 병렬로 전파한다. 그림 5는 회로 전체에 사용된 전가산기로서 트랜스미션 함수이론 (transmission function theory)를 이용하여 설계되었으며 입출력단에 증폭단을 가지고 있다.<sup>[9]</sup> 이 전가산기는 일반적인 CMOS 전가산기<sup>[10]</sup>에 비해 MOS 트랜지스터의 수가 4개 적은 22개이며, 캐리출력의 상승부에서 0.99ns의 최대 지연을 가진다. 본 논문에서는 따로 감산기를 구성하지 않고 XOR 게이트와 가산/감산 제어신호를 사용하여 가산기가 필요시에 감산기로 동작할 수 있도록 설계하였다.

### 3.4. 캐리전파가산 (carry propagation adder)<sup>[11][12]</sup>

결과적인 2의 보수출력을 얻기 위하여 마지막 탭 다음에 위하는 VMA (vector merge adder)에 캐리벡터와 합벡터가 더해진다. 이 VMA내의 캐리리플지연은 전체 필터구조의 임계경로에 포함되게 된다. 이러한 이유로 본 논문에서는 캐리전파가산기를 사용하여 입력에서 출력까지 모두 파이프라인이 적용되도록 설계하였다. 그림 6은 캐리전파가산 과정을 구현한 것으로서 래치의 역할을 하는 CMOS 전달게이트를 인접한 반가산기 사이에 삽입함으로써 파이프라이닝을 구현하였다.

## 4. 프로그래머블 고속필터의 설계

앞절에서 보았듯이 고속필터에서의 승산은 적은 수의 가·감산으로 수행하였으며, 이 과정에서 필터계수값에 해당하는 자리수이동은 적절한 hard-wiring으로 구현되었다. 이러한 경우 한번 결정된 계수값은 하드웨어로 고정되므로 차후의 변경이 불가능하다. 본 연구에서는 앞절에서 살펴 본 고속필터의 기법에 회로 성능을, 특히 속도의 저하없이 프로그래머블의 개념을

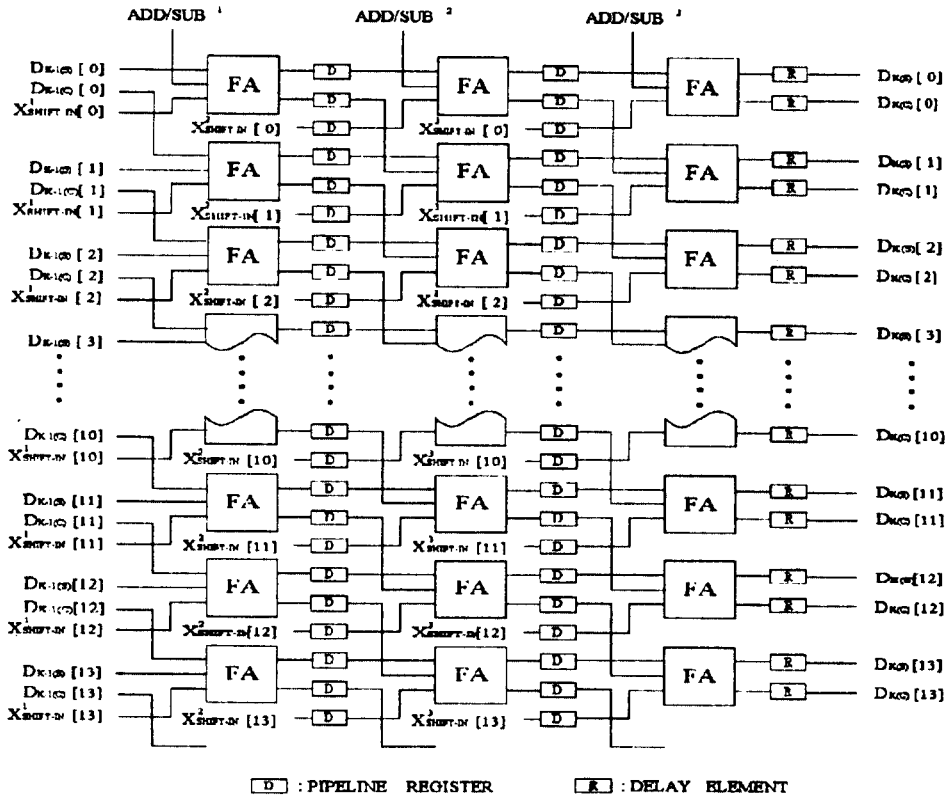


그림 4. 탭의 기본구조

Fig. 4. Basic Structure of tap

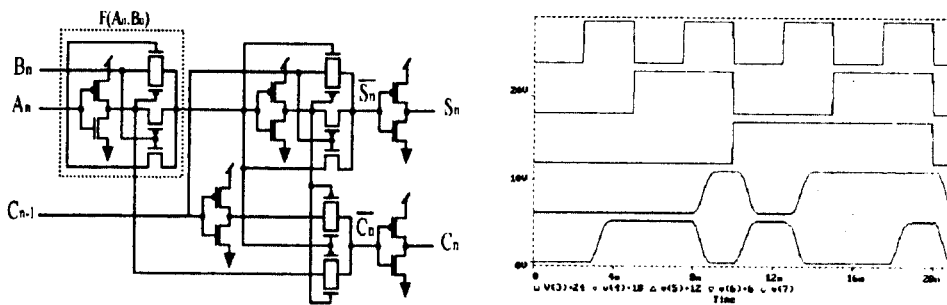


그림 5. 트랜스미션 함수이론을 이용한 구동단을 가진 전가산기

Fig. 5. Full adder with driver using transmission function theory

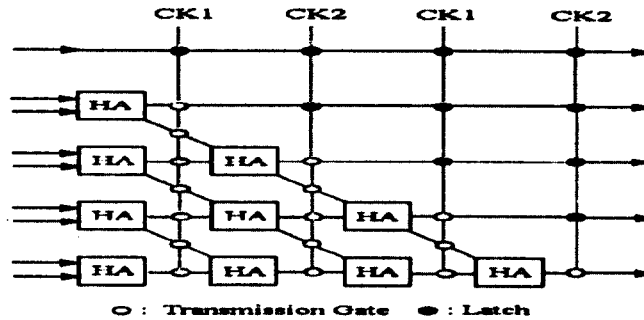


그림 6. 캐리전파가산

Fig. 6. carry propagation adder

도입하고자 한다. 즉, CSD로 표현되는 필터의 계수값을 차후에 변경할 수 있도록 하기 위하여 계수값에 해당되는 자리수이동 연결이 가변적일 수 있도록 즉, 「shift-selection-wiring」 형식으로 설계하였다. 입력은 버스로 구성하여 진행시키고, 각 입력 비트와 가산기 입력사이에 상보형 스위치(transmission gate : TG)를 삽입하며, 이 스위치는 외부 제어단자에서 입력되는 신호의 디코딩 출력으로 스위칭된다. 이 디코딩 출력은 CSD 계수에 해당되는 자리수이동을 실현하게 되는데 이 값은 초기화 과정에서 각 가산기단별로 입력되어 해당 레지스터에 저장된다.

#### 4.1. 프로그래머블 필터구조

본 논문에서 채택한 21탭 구조에 대하여 프로그래머블 구조를 실현시키기 위하여는 2개의 디코더가 요구되며, 이는 각 가산기단을 선택하는  $6 \times 64$  디코더(A)와 이의 자리수이동 내용을 결정시켜 주기 위한  $4 \times 16$  디코더(B)이다. 그리고 각 가산기단의 가·감산여부를 결정하여 주는 1개의 제어신호가 필요하다. B 디코더의 출력과 가·감산 제어출력이 결정되면 A 디코더에 의해 선택된 해당 가산기단의 레지스터단에 이를 기억하고, 레지스터의 출력은 정해진 자리수이동을 행한 입력데이터를 선택하여 가산기에 입력으로 연결하게 된다. 그림 7는 한 탭에 대한 구조를 나타내고 있다. 설계된 회로에서 모든 탭들은 모두 동일한 구조를 가지게 되므로 이를 모듈화하면 설계가 간단해지는 잇점을 얻을 수 있다.

#### 4.2. 가산기 입력선택

기억된 디코더 B의 출력내용에 의해 입력 데이터 버스에서 적절한 데이터를 선택하여 해당 가산기로 입력시키는 방법에는 두 가지가 있다. 그림 8에서와 같이 기본적으로 14개의 스위치를 사용하면 모든 가산기의 입력데이터 라인 선택을 행할 수 있으나(FA1 ~ FA5), FA6에서는 12개, FA7에서는 10개만을 가지고도 선택을 행할 수 있다. 이러한 방식으로 FA11에서는 단 2개의 스위치로 선택을 행하며, FA12 ~ FA14는 항상 입력의 MSB, 즉 sign extention이 입력되어야 하므로 선택할 필요가 없다. 위의 방법으로 최대 13비트까지 자리이동을 할 수 있으며, 자리이동된 입력데이터는 2의 보수연산을 행하기 위하여 그림 9와 같이가·감산 선택신호와 함께 XOR 게이트를 통과하여 가산기로 입력되므로 별도의 감산기를 설계할 필요가 없다.

만약 CSD 계수로 한 필터계수를 표현한 결과, 「0이 아닌 항」 한 두개로도 충분한 경우에는 신호는 한 탭내 3개의 가산기열 모두 진행할 필요가 없으므로, 이러한 경우에는 디코더 B의 출력중의 하나로 동작하는 레지스터 R[0]에 신호의 통과유무를 기억시켜 만약 통과시켜야 할 경우 내부신호는 해당 가산기단을 거치지 않고 통과하도록 설계하여 불필요한 대기시간의 발생을 방지하였다.

#### 4.3. 디코더와 래치

앞에서 설명한 바와 같이 디지털 필터에 프로그래머

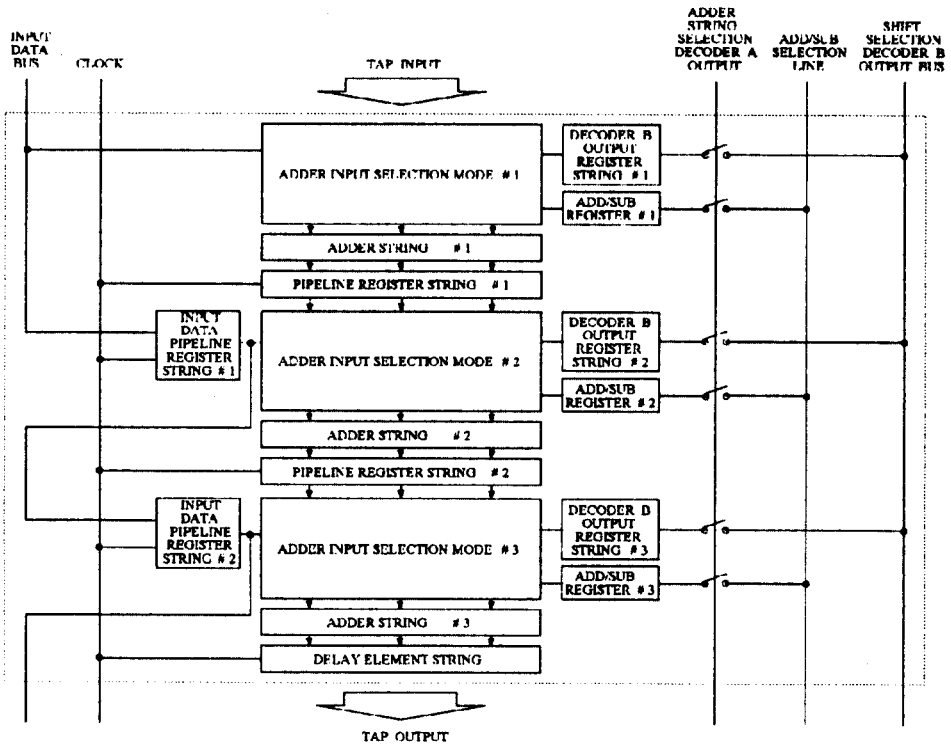


그림 7. 프로그래머블 고속필터의 블록 다이어그램

Fig. 7. Block diagram of programmable high-speed filter

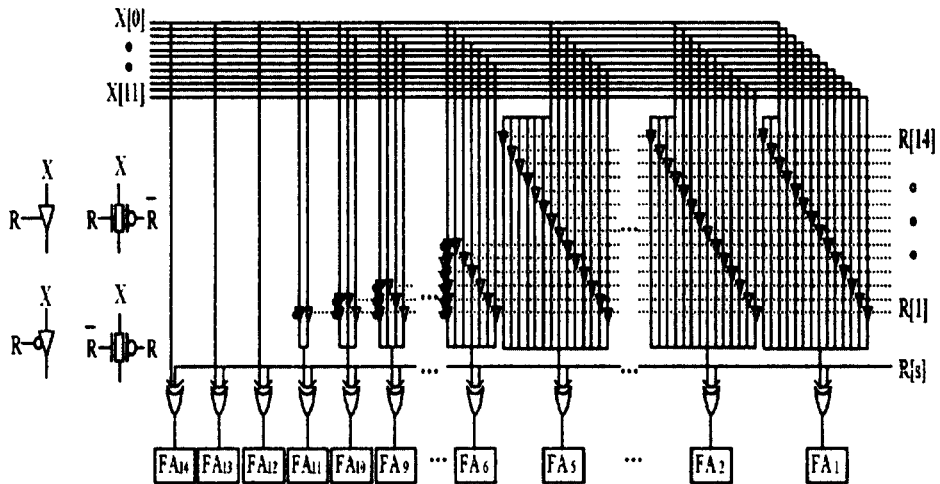


그림 8. 기억소자에 의한 가산기 입력선택

Fig. 8. Adder input-selection using register

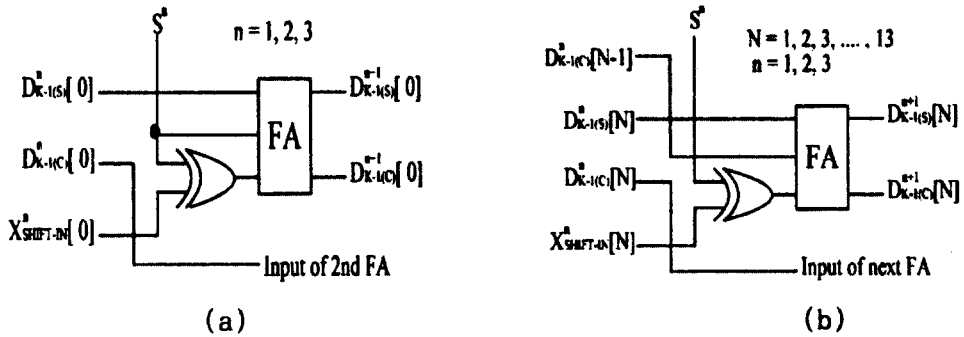


그림 9. 가산기의 입력 (a) LSB (b) 나머지 비트  
 Fig. 9. Input of adder (a) LSB (b) other bit

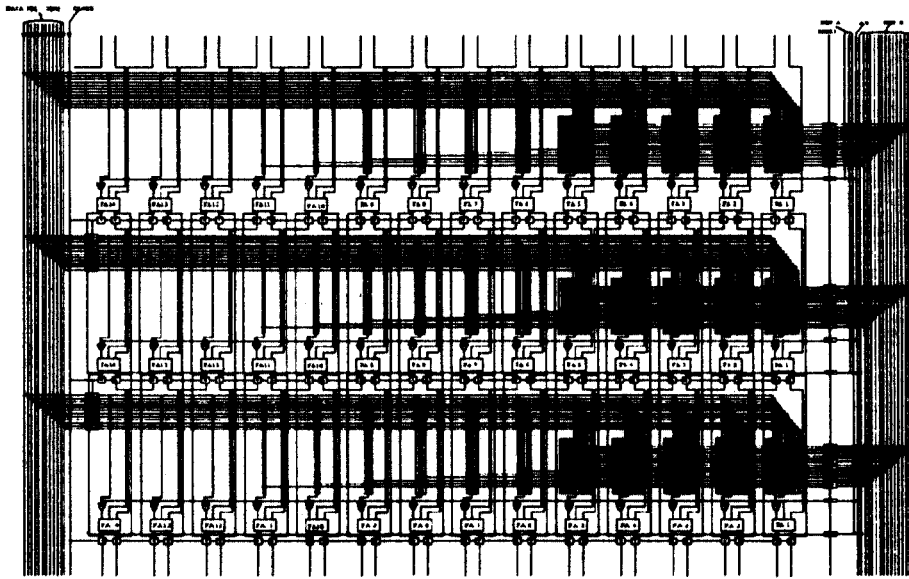


그림 10. 탭 floorplan  
 Fig.10. Tap floorplan

블 개념을 도입하기 위하여 본 논문에서는 2개의 디코더가 요구된다. 즉, 각 탭내 어느 가산기단에 입력할 것인가를 선택하는  $6 \times 64$  디코더 (A)와 그 가산기 열의 자리이동의 내용을 결정하기 위한  $4 \times 16$  디코더 (B)가 그것이다. 이 두 디코더는 설계의 용이와 단수 (stafe)를 줄이고, 모든 출력라인이 같은 지연을 가지

도록 그림 11과 같이 모두 매트릭스 형태의 디코더를 사용하여 설계하였다. 또한, 파이프라인 구현을 위하여 각 단계사이에 삽입되는 래치는 Race 상태를 방지하고 안정된 동작을 위하여 그림 12와 같이  $\phi 1$ ,  $\phi 2$ 의 2상클럭을 사용하는 주종 (master-slave)의 형태를 가지며, 최대지연시간은 약 0.41 ns이다.



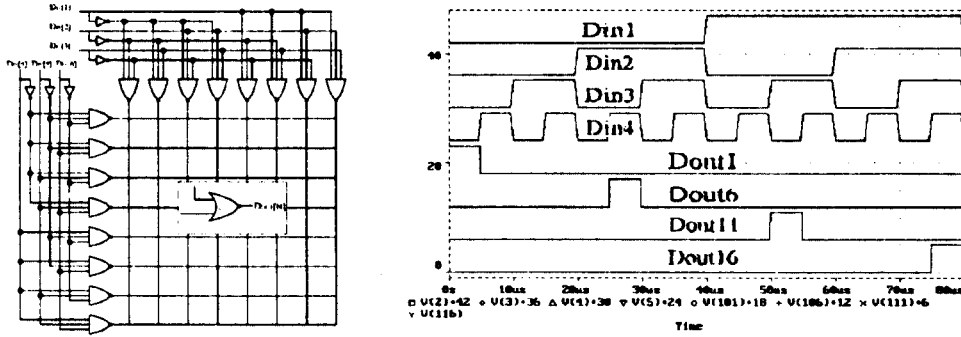


그림 11. 6 × 64 매트릭스형태 디코더와 4 × 16 디코더의 시뮬레이션  
 Fig. 11. 6 × 64 matrix decoder and simulation of 4 × 16 decoder

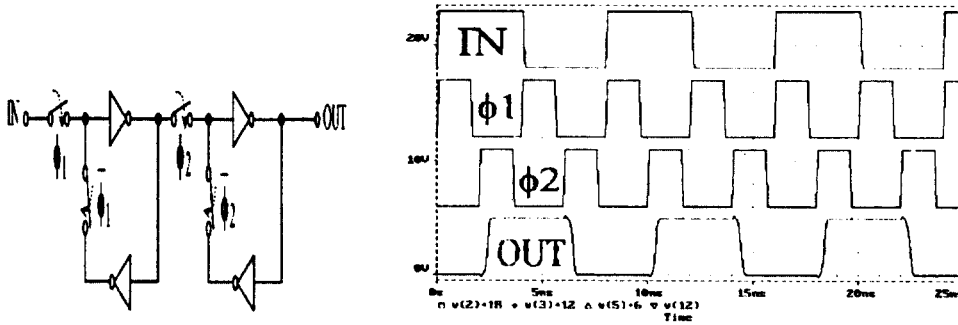


그림 12. 주종 래치  
 Fig. 12. Master-Slave Latch

5. 레이아웃

디지털 필터회로의 레이아웃은 미국 "ORBIT

Semiconductor Inc."의 1.2μ 설계규칙에 따른 CMOS N-well 2층 금속 공정기술이 이용되었으며, 표준셀 (standard cell) 방식으로 설계하였다. 그림 13 은 설계된 구조에서의 한 탭의 레이아웃을 보인다.

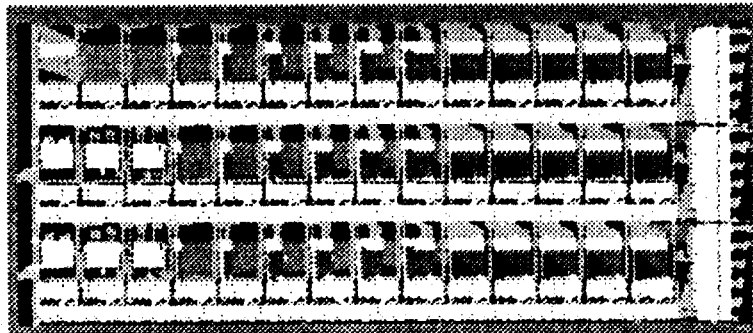


그림 13. 한 탭의 레이아웃  
 Fig. 13. Tap Layout

### 6. CSD 코드 생성 프로그램

본 연구에서 설계하고자 하는 프로그래머블 필터구조에서 탭의 수와 탭내 가산기단의 수, 즉 CSD 코드에서의 [0이 아닌 항]의 수는 특성상 고정되며 각각 21 탭, 최대 3개의 [0이 아닌 항]을 가질 수 있도록 하였다. 이는 한 필터계수가 3개의 2의 멱승형태의 합 또는 차로 표현됨을 나타낸다. 보통 CSD 코드내 각각의 [0이 아닌 항]은 필터특성에서 약 20dB의 저지대역 감쇠(attenuation)에 기여하는 것으로 알려져 있다.<sup>[4]</sup>

〈설계에〉 21 탭 FIR 선형위상 저역통과 디지털 필터를 설계한다. 필터의 스펙은 표 1 과 같으며, 이상적

인 필터계수는 이상적인 필터의 단위샘플 응답에 카이저창(Kaiser window)<sup>[13]</sup>을 걸쳐 구하였다. 이렇게 얻어진 필터 계수를 프로그램<sup>[14]</sup>을 이용하여 13 개 디지털, 최대 3개의 [0이 아닌 항]을 가지는 CSD 코드로 바꾸어 출력한 내용이 그림 14에 나타나 있다.

표 1. 설계예의 필터스펙

Table 1. Filter spec. of design example

	Band 1	Band 2
Lower band edge	.0000KHz	10.0000KHz
Upper band edge	7.0000KHz	50.0000KHz
Nominal Gain	1.0000	.0000
Nominal Ripple	.2200	.2200

num	CSD_code	sign	value	CSD_value	error
0	340	340	-0.0257503000	-0.0253906250	0.0003596750
1	480	480	-0.0352091200	-0.0351562500	0.0000528700
2	4a0	4a0	-0.0360005900	-0.0361328125	0.0001322225
3	340	340	-0.0255588600	-0.0253906250	0.0001682350
4	70	70	-0.0033311060	-0.0034179688	0.0000868628
5	450	50	+0.0289015400	+0.0288085938	0.0000929462
6	8a0	0	+0.0671887800	+0.0673828125	0.0001940325
7	1280	280	+0.1060504000	+0.1054687500	0.0005816500
8	1220	20	+0.1394682000	+0.1396484375	0.0001802375
9	1480	0	+0.1620286000	+0.1601562500	0.0018723500
10	1600	0	+0.1700000000	+0.1718750000	0.0018750000
11	1480	0	+0.1620286000	+0.1601562500	0.0018723500
12	1220	20	+0.1394682000	+0.1396484375	0.0001802375
13	1280	280	+0.1060504000	+0.1054687500	0.0005816500
14	8a0	0	+0.0671887800	+0.0673828125	0.0001940325
15	450	50	+0.0289015400	+0.0288085938	0.0000929462
16	70	70	-0.0033311060	-0.0034179688	0.0000868628
17	340	340	-0.0255588600	-0.0253906250	0.0001682350
18	4a0	4a0	-0.0360005900	-0.0361328125	0.0001322225
19	480	480	-0.0352091200	-0.0351562500	0.0000528700
20	340	340	-0.0257503000	-0.0253906250	0.0003596750

그림 14. CSD 코드 출력예

Fig. 14. Output example of CSD code

그림 14에서 CSD 코드와 그의 부호코드는 각각 16진수 4비트로 표현되고 있고, 부호코드의 경우 1인 곳은 -임을 나타낸다.

프로그래머블 구조에서 디코더 A, 즉 가산기단을 선택하는 디코더의 입력을 6비트로 고정할 때 64개의 출력을 가지므로 한 탭의 CSD [0이 아닌 항], 즉 한

탭내의 가산기단의 수를 2, 3, 4 개로 고정하면 이의 최대 탭 수는 각각 32, 21, 16 개로 된다. 표 1의 필터스펙에 대하여 각각의 경우에 대하여 FFT를 수행하여 나타난 주파수응답 특성이 그림 15, 16, 17이며 이상적인 계수에 대한 각각의 특성이 표 2에 나타나 있다. 공통적으로 모든 경우에 대하여 CSD 디지털의 수는 공히

13개이다. 일반적으로 디지털 필터를 구현할 때에 탭의 수를 증가시키면 main-lobe의 폭을 줄일 수 있으며, 우수한 side-lobe의 감쇠특성을 얻을 수 있다. 그러나, 본 연구에서의 특성상 하드웨어적인 복잡성을 고려하면 탭의 수를 증가시키면 이상적인 필터계수를

양자화하는 CSD 계수의 [0이 아닌 항]의 갯수가 감소하여, 충실히 이상적인 계수를 따르지 못하게 되어 그림 16과 같은 불안정한 주파수특성을 나타낸다. 이리하여, 본 논문에서는 이 두가지 경우를 감안하여 21 탭 3개의 [0이 아닌 항]을 가지는 구조를 채택하였다.

표 2. 각각의 이상적인 경우에 대한 필터 특성

Table 2. Filter characteristic of each ideal case

Structure	16tap		21 tap		32tap	
	Band 1	Band 2	Band 1	Band 2	Band 1	Band 2
Maximum Ripple	.2747	.3022	.1775	.1768	.818	.0903
Ripple in dB	2.1078	-10.3931	1.4190	-15.0518	.6827	-20.8905

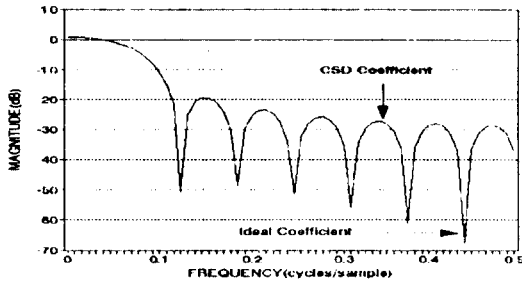


그림 15. 16 탭 4 개의 [0이 아닌 항]을 가진 CSD 계수 필터의 주파수 응답

Fig. 15. Frequency response of 16 tap 4 non-zero term CSD coefficient filter

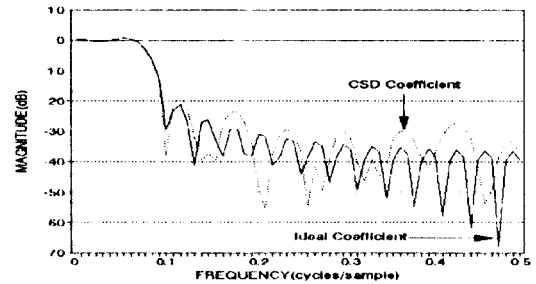


그림 16. 32 탭 2 개의 [0이 아닌 항]을 가진 CSD 계수 필터의 주파수 응답

Fig. 16. Frequency response of 32 tap 2 non-zero term CSD coefficient filter

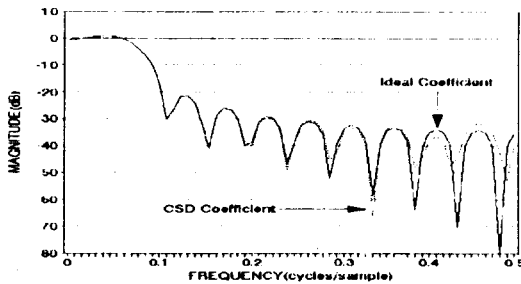


그림 17. 21 탭 3 개의 [0이 아닌 항]을 가진 CSD 계수 필터의 주파수 응답

Fig. 17. Frequency response of 21 tap 3 non-zero term CSD coefficient filter

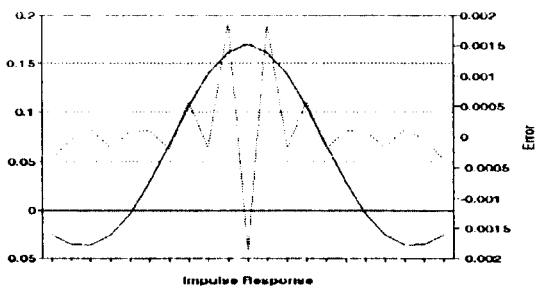


그림 18. 설계된 필터의 임펄스응답과 오차

Fig. 17. Impulse response and error of filter designed

### 7. 결 론

본 연구에서는 고주파 통신 시스템에 적용가능한 21 탭 프로그래머블 FIR 디지털 필터의 설계를 목적으로 하였다. 이는 전치형 구조에 필터계수를 CSD로 표현하여 승산기없는 구조를 채택함과 더불어 파이프라인 기법을 도입하여 고속처리에 적합하도록 설계하였으며, 각 파이프라인단에서의 최대지연은 1.5ns 이하로써 200MHz에서도 동작이 가능하다.

표 3. 파이프라인 한 단에서의 지연시간  
Table 3. delay time of one pipeline stage

소 자		지 연 시 간	
		상승출력	하강출력
EX-OR		0.069 ns	1.100 ns
가 산 기	캐 리	0.991 ns	0.735 ns
	합	0.741 ns	0.722 ns
Latch		0.347 ns	0.410 ns
Worst-case 총지연시간		1.501 ns	

필터계수를 프로그래머블하게 하기 위하여 기억소자와 디코더를 추가하고, 초기에 설정된 기억소자단의 내용에 의하여 표현된 CSD 계수만큼 입력데이터가 자리이동되어 해당 가산기로 입력되게 함으로써 프로그래머블하지 않은 경우의 처리속도가 그대로 유지되도록 설계하였다. 마지막으로, 하드웨어의 복잡성을 고려할 때, 제안된 프로그래머블 필터의 구조상 고정되는 탭수와 CSD [0이 아닌 항]의 갯수에 따른 여러가지 경우를 설정한 뒤 각각의 주파수응답을 고찰하였으며, 가장 좋은 특성을 나타낸 21 탭 3개의 [0이 아닌 항]을 가지는 구조를 채택하여 전체 회로를 설계하였다.

### 참 고 문 헌

[1] T. Yoshino et al., "A 100MHz 64 Tap FIR Digital Filter in 0.8  $\mu$ m BiCMOS Gate Array," IEEE J. Solid-State Circuits, vol. 25, no. 1, pp. 1494-1501, Dec. 1990.

[2] T. Lin and H. Samueli, "A 200MHz CMOS  $x/\sin(x)$  Digital Filter for Compensation D/A Converter Frequency Response Distortion," IEEE J. Solid-State Circuits, vol. 26, no. 9, pp. 1278-1285, Sept. 1991.

[3] G. Ma and F. Taylor, "Multiplier Policies For Digital Signal Processing," IEEE ASSP Magazine, pp. 6-19, Jan. 1990.

[4] H. Samueli, "An improved search algorithm for the optimization of the FIR filter coefficients represented by a canonic signed-digit code," IEEE Trans. Circuits Syst., vol. CAS-34, pp. 1192-1202, Sept. 1987.

[5] F. J. Taylor, Digital Filter Design Handbook, Marcel Dekker, Inc., NYC, 1984.

[6] M. Hatamian and G. L. Cash, "Parallel bit-level pipelined VLSI designs for High-speed signal Processing," Proc. IEEE, vol. 75, pp. 1192-1202, Sept. 1986.

[7] A. Oppenheim and R. Schaffer, Discrete-Time Signal Processing, Englewood Cliffs, NJ: Prentice-Hall, 1989.

[8] H. Samueli, "The design of multiplierless FIR filters for compensating D/A converter frequency response distortion," IEEE Trans. Circuits Syst., vol. 35, pp. 1064-1066, Aug. 1988.

[9] N. Zhuang and H. Wu, "A New Design of the CMOS Full Adder," IEEE J. Solid-State Circuits, vol. 27, no. 5, pp. 840-844, May. 1992.

[10] 정강민 역, CMOS VLSI 설계의 원리, 도서출판 신성, 1991.

[11] W. Ulbrich and T. G. Noll, "Design of dedicated MOS digital filters for high-speed applications," in Proc. IEEE Int. Symp. Circuits Syst., 1985, pp. 255-258.

[12] T. G. Noll, D. Schmitt-Landsiedel, H. Kar, and G. Enders, "A pipelined 330-MHz multiplier," IEEE J. Solid-State Circuits, vol.

21, pp. 411-416, June. 1986.

- [13] J. Kaiser, "Design Methods for Sampled Data Filters," Proc. 1st annual Allerton conf. on Circuit and System Theory, 1963.
- [14] Y. C. Lim and S. R. Parker, "FIR Design

Over a Discrete Powers-of-Two Coefficient Space," IEEE Trans. of Acoustics, speech, and signal processing, vol. ASSP-31, No. 3, June 1983.



洪圖泰 (Kuk Tae Hong) 準會員  
1986년 ~ 1992년 성균관대학교 전자공학과 (공학사)  
1992년 ~ 1994년 성균관대학교 대학원 전자공학과 (공학사)  
1994년 ~ 현재 성균관대학교 대학원 전자공학과 박사과정 재학중  
관심분야: VLSI 신호처리, DSP 시스템 설계



李成大 (Seong Dae Yi) 正會員  
1983년 ~ 1987년 성균관대학교 전자공학과 (공학사)  
1989년 ~ 1991년 성균관대학교 대학원 전자공학과 (공학석사)  
1991년 ~ 1995년 성균관대학교 대학원 전자공학과 (공학박사)  
1995년 ~ 현재 안산공업전문대학교 전자과 전임강사  
관심분야: 고속 A/D·D/A 변환기 설계, DSP 시스템 설계



鄭康敏 (Kang Min Chung) 正會員  
1967년 ~ 1971년 서울대학교 전기공학과 (공학사)  
1975년 ~ 1976년 미 TEXAS 주립대학 (AUSIN) 전기공학과 (공학석사)  
1976년 ~ 1979년 미 TEXAS 주립대학 (AUSIN) 전기공학과 (공학박사)  
1979년 ~ 1983년 미 AT & T MTS  
1983년 ~ 1985년 미 SPERRY COMPUTER 연구교수  
1985년 ~ 현재 성균관대학교 전자과 교수  
관심분야: 저전압 CMOS 회로의 설계, DSP 시스템 설계