

Field Programmable Gate Array Chip으로 구현한 공유메모리형 Self-Routing 스위치

正會員 張 海 成*, 正會員 鄭 峻 建*, 正會員 池 龍*

Self-Routing Switch of the Shared Memory Structure Constructed with Field Programmable Gate Array Chips

Hae Seong Jang*, Jun Gun Chung*, Yong Jee* Regular Members

본 연구는 94년도 통신학술연구육성지원국의 연구 지원비에 의해 수행되었음

要 約

본 논문에서는 공유 메모리 구조를 이용하여 ATM 셀프 라우팅 스위치 회로 모듈을 구성하였다. 이 스위치 회로는 셀프 라우팅 스위치 회로, SIPO 변환 회로, PISO 변환 회로, 그리고 메모리 회로로 구성되어 있다. 이 스위치 회로는 FPGA 칩으로 구성되었으며, 구성된 FPGA ATM 스위치는 신호 지연 시간이 22ns, 최대 동작 주파수가 15MHz임을 보여주었고 다양한 입력파형에 대해서도 스위치 회로가 데이터 충돌없이 잘 동작함을 보여주었다.

ABSTRACT

In this paper, we constructed a ATM (Asynchronous Transfer Mode) self-routing switching circuit module by using a shared memory structure. This switching circuit consisted of self-routing switching circuits, SIPO (Serial-in and Parallel-out) conversion circuits, PISO (Parallel-in and Serial-out) conversion circuits, and memory circuits. We examined its feasibility and electrical characteristics with a FPGA chip. The constructed FPGA ATM switch showed that circuit delay time was 22ns and the maximum operating frequency was 15MHz and switching circuits operated without data blocking for the various input waveforms.

* 西江大學校 工科大學 電子工學科 전자 패키징 연구실
Department of Electronic Engineering, Sogang University,
Electronic Packaging Lab
論文番號 : 94278
接受日字 : 1994年 10月 10日

I. 서 론

ATM 교환기술은 HDTV, 동화상, 고속 파일 등의 전송을 자유롭게 수행하는 고속 광대역 ISDN 시스템의 실현에 있어서 핵심기술로서 현재의 복잡 다양한 통신 서비스들의 통합과 미래의 광대역 통신 서비스를 수용할 수 있는 기술로 등장하여 이미 기술 확산 단계를 지나 광대역 통신망에 적용하기 위한 기술 개발 단계로 접어들어 가고 있다^(1,2). 이와 같은 기능을 수용할 수 있는 전자 교환기를 제작할 경우에는 시스템 구조의 개량이나 시스템 용량의 확장이 용이하도록 구성되어야 하고 ATM 교환기에서 요구하는 조건들을 만족시켜야 한다⁽³⁾. 이때 제작되는 모듈은 고속 ATM의 사용자 정보대역에 맞추어서 구성되어야 하는데, 이를 구성하기 위해서는 먼저 155.52Mbps 혹은 622.08Mbps 전송능력이 되도록 비트 타임이 6.4ns 혹은 1.6ns가 되는 고속 전자 시스템에 대한 고려가 이루어져야 하고, 다양한 서비스와 다량의 트래픽을 처리할 수 있는 능력과, 수요의 불확실성으로 인한 사용자 규모의 변화에 따라 능동적으로 대처할 수 있는 소용량에서 대용량으로의 확장이 가능한 구조가 되어야 한다.

ATM 스위치 회로는 ATM 교환 시스템의 핵심요소로서 기본 단위 스위치로 β -엘리먼트라고 명칭이 붙여진 2입력 \times 2출력 스위치 모듈을 확장시켜 교환 시스템을 구성하게 된다. ATM 스위치의 입출력 단자속도는 155 Mbps일 때 53 bytes/cell로 전송되어야 하며 따라서 한 셀의 지속시간은 2.73 μ sec 이어야 한다. 하지만 매 셀 지속시간마다 스위치망을 현재의 회선교환 스위치와 같이 시스템 컴퓨터로 재구성한다는 것은 거의 불가능하다. 그러므로 ATM 스위치 시스템은 각 셀이 스위치망에 입력되기 이전에 스위치망 내부에서 루팅헤더를 참조하여 하드웨어 논리에 의하여 출력단자까지의 경로를 찾는 self-routing 스위칭 방식을 이용해야만 한다. 이와 같은 요구를 만족시키는 방법은 여러가지 제시되고 있다⁽⁷⁾. 그 가운데 공유메모리형 self-routing 스위치를 각 구성요소별로 모듈화하는 것이 효율적인 방법으로 제시되고 있다⁽⁸⁾. 즉 회로를 동작 기능 요소별로 모듈을 구성하고 이것을 ASIC화하여 하나의 칩으로 구현하는 것이 바람직하겠다.

본 논문에서는 이와 같은 공유메모리형 self-routing 스위치를 설계 구성하고자 공유메모리형 스위치 회로를 각 구성요소별로 설계하고 FPGA(Field Programmable Gate Array)칩을 이용하여 확장이 용이한 기본단위 모듈인 4 \times 4 self-routing 스위치 모듈을 구현하였고 이를 통해서 스위치 동작 특성과 그 전기적 특성을 살펴 보았다. 2장에서는 공유메모리형 스위치 회로 구조에 대해서 기술하였고 3장에서는 각 회로부를 구현시키는 방법을 살펴보았으며 4장에서는 FPGA칩을 이용하여 구성한 결과와 그 전기적 특성을 조사하였고 5장에서 결론을 맺었다.

II. 공유메모리형 스위치 회로

공유 메모리형 스위치구조는 회선교환 타입 스위치와 유사하게 메모리를 시분할적으로 운용하나, 다른 공간 분할 스위치에 비해서는 입력 트래픽에 따라 변동적으로 사용되고, 자원공유(resource sharing)에 의해 하드웨어 효율이 높은 특징이 있다. 이 공유 버퍼형 스위치는 버퍼를 공유하는 방식에 따라 입출력 버퍼형 스위치, 다수 소규모 버퍼 공유형 스위치, 그리고 공유 메모리를 큐로 운용하는 스위치로 나눌 수 있다⁽⁹⁾. 그 가운데 다수의 소규모 버퍼형 스위치는 읽기/쓰기할 수 있는 셀 버퍼를 패킷 단위로 공유함으로써 하드웨어 절감 및 버퍼 동작 속도를 상대적으로 감소시킬 수 있다. 다수 소규모 버퍼 공유형의 장점을 이용하여 대용량 ATM 시스템을 구성하면 대용량 교환 시스템에서 생기기 쉬운 access 시간 지연 문제, 메모리 용량 증가 문제 등을 해결할 수 있고 이 스위치 구조를 모듈 단위로 구성할 수 있기 때문에 단위 모듈을 확장시켜 대용량으로 확장시킬 수 있다.

그림 1에 나타난 공유메모리형 self-routing 스위치 구조⁽¹⁰⁾는 입력단 스위치 회로부의 입력단자로 들어오는 직렬 형태의 데이터가 입력단 스위치 회로부에서 정해진 출력주소로 스위칭된 후 SIPO(Serial in Parallel out) 변환회로부를 거쳐 8bit 병렬 형태로 변환되어 공유메모리에 저장되도록 한다. 메모리에 저장된 데이터는 다시 헤더비트 신호에 의해서 지정된 출력단으로 출력하게 된다. 이 때 메모리에서 나오는 데이터는 8bit 병렬형태이기 때문에 공유버퍼와 출력 스위칭 회로부 사이의 PISO(parallel in-

serial out) 변환 회로부를 거쳐 직렬형태의 데이터로 출력단 스위치 회로부로 출력하게 된다. 이와 같은 self-routing 기능을 수행할 수 있도록 각 회로부를 아래와 같이 형성하여 ATM self-routing 스위치 모듈을 구성하였다.

Ⅲ. FPGA self-routing 스위치의 구현

공유메모리형 4×4 ATM 스위치를 FPGA 소자로 구현하기 위하여 먼저 74HC 계열 칩을 이용하여 4×4 self-routing 스위치 회로부, SIPO 변환회로부, PISO 변환회로부 그리고 메모리 회로부로 나누어 구성요소별로 회로를 구성하고 모듈화한 후 각 회로부를 서로 연결시켰다.

ATM 스위치 구조 및 동작원리

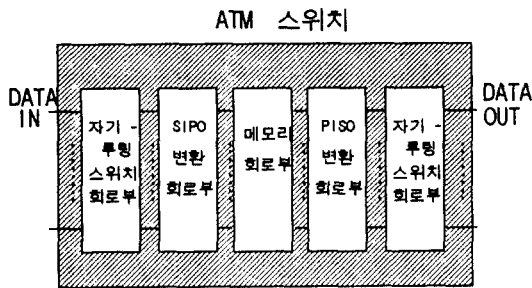


그림 1. 공유메모리형 self-routing 스위치 블록도
Fig.1. A Block diagram of self-routing switch of the Shared Memory Structure

구성한 모듈을 이용하여 실험한 결과 self-routing 스위칭 기능이 수행됨을 알 수 있었고, 최대동작주파수는 13MHz로 나타났다. 따라서 확인된 self-routing 스위치 회로를 이용하여 공유메모리형 4×4 self-routing 스위치를 FPGA 소자로 구현되도록 logic simulation과 translation, activation 프로그램을 수행하여 회로가 FPGA unit cell로 구현이 되도록 하였다.

1. Self-routing 스위치 회로부

Self-routing 스위치 회로부의 기능은 β -엘리먼트를 단위스위치로 하여 기하구조적으로 네트워크를 구성함으로써 소프트웨어의 개입없이 self-routing 스

위치 기능을 갖게 하는 것이다. 여기서 β -엘리먼트는 그림 2에 나타난 바와 같이 2입력×2출력을 갖는 스위치 엘리먼트를 말하는 것이다⁽¹⁴⁾. 입력단과 출력단은 4개의 래치로 이루어져 있고 기준 클럭의 상승 펄스에서 데이터를 보내는 기능을 수행하며 기준 클럭의 주기는 순환회로부의 동작시간(processing time)에 의해 결정된다. 순환회로부에서는 데이터의 헤더비트 신호를 받아서 스위칭 상태('pass' 혹은 'cross')를 발생하는 신호비트(S)를 추출하고 이 신호를 스위칭 회로부로 전송한다. 스위칭 회로부에서는 이 신호비트(S)에 따라 경로를 결정하고 다음 헤더비트가 인가될 때까지 이 경로를 따라 데이터를 전송하여 self-routing 스위치 기능을 수행하게 된다. 4×4 스위치 회로부는 위에서 기술된 2입력×2출력 β -엘리먼트를 이용하여 그림 3과 같이 구성할 수 있다. 입력신호들은 각각 첫번째 비트와 세번째 비트에 헤더비트를 포함하고 헤더비트인지 정보비트인지를 알려주는 신호 H1과 H3는 두 개의 클럭 주기 사이에 두고 신호를 공급받게 한다.

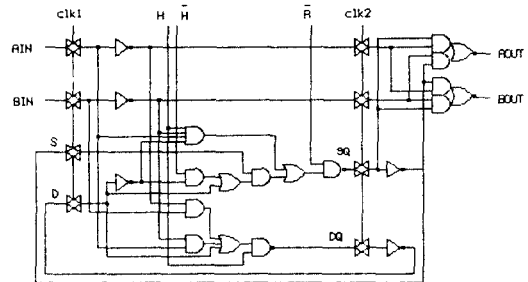


그림 2. β -엘리먼트 schematic
Fig. 2. β -element schematic

FPGA 소자구현에 있어서는 SRAM 방식의 FPGA에 비해 동작속도면에서 우수한 특성을 지닌 ACTEL사의 antifuse 방식 FPGA를 이용하였다. 공유메모리형 4×4 self-routing 스위치 회로부를 구현하는 과정에서는 schematic design tool을 이용하여 회로를 구성하였고, 이 회로도를 이용하여 logic simulation 프로그램을 수행하여 구성된 회로에 대한 해석과 점검을 실시하였다. Logic simulation을 실시한 후에 에러가 없을 경우 자동 배치와 배선을 실시하고 timing 분석을 실시하여 FPGA 소자구현을 실시하였다.

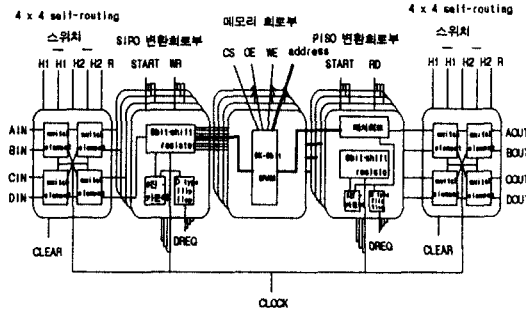


그림 3. 공유메모리형 4x4 self-routing 스위치의 구성
Fig. 3. A Construction of 4x4 self-routing of the Shared Memory Structure

그림 4는 β -엘리먼트 4개를 연결하여 4x4 스위치 회로로 확장하는 구조를 나타내고 있다. 입력, 출력 단자가 각각 4개이며 출력되는 주소를 지정하는 헤더 비트는 2개로 구성되어 있다. 제어신호 H1은 입력신호의 첫번째 헤더 비트와 조합하여 첫번째 단(stage)에서의 출력 주소를 결정하고 제어신호 H2는 두번째 헤더 비트와 조합하여 두번째 단에서의 출력 주소를 결정한다. 4x4self-routing 스위치 회로부는 ACTEL사의 A1010B FPGA 소자로 구현하였다.

2. SIPO, PISO 변환회로부와 메모리 회로부

SIPO(Serial In Parallel Out) 변환회로부는 연속하는 직렬 데이터를 8 bit의 병렬 데이터로 변환하여 메모리로 전송시키는 기능을 수행한다. SIPO 변환회로부의 구성은 클럭펄스의 상승 에지에서 데이터를 한 비트씩 트리거시켜 각 레지스터마다 신호가 저장될 때까지 임시 저장하는 직렬 입력 8 bit 시프트 레지스터와 시프트 레지스터에 저장된 데이터를 8 bit의 병렬 형태로 출력시키라는 신호(OE)를 보내기 위해 3개의 J-K 플립플롭으로 구성된 8진 카운터와 그리고 새로운 데이터의 입력을 요구하는 신호(DREQ)를 위한 2개의 D-플립플롭으로 이루어진다.

PISO 변환회로부는 메모리로부터 받은 8bit 병렬 형태의 데이터를 직렬 형태의 데이터로 변환하여 후단 4x4 스위치 회로부로 전송하는 기능을 수행하는 회로부이다. PISO 변환회로부는 메모리로부터 받은 8bit 병렬 형태의 데이터를 입력으로 하여 클럭의 상승에지에서 동시에 출력하는 기능을 수행하는 8개의 D-플립플롭으로 이루어진 래치회로와 래치로부터 받은 8bit 병렬 형태의 데이터를 직렬 형태의 데이터로 변환하는 8단 병렬 입력/직렬 출력 시프트 레지스터, 그리고 SIPO에서와 같이 새로운 데이터의 입력을 요구하는 신호(DREQ)를 발생시키는 2개의 D형 플립

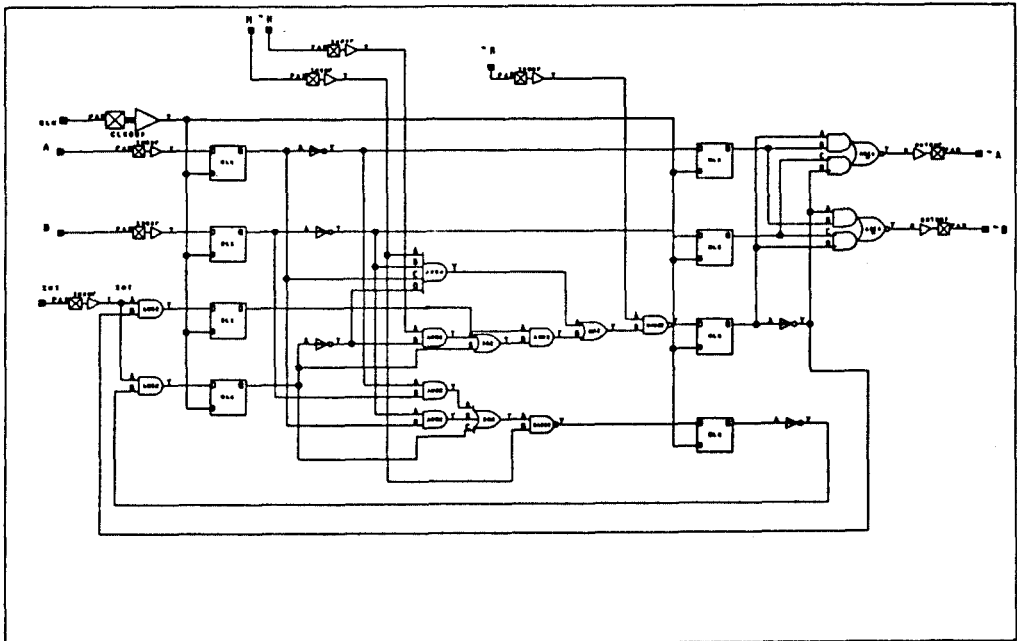


그림 4. FPGA 4x4 스위치 회로도
Fig. 4. FPGA 4x4 switch circuits diagram

플롭과 시프트 레지스터 데이터의 입력형태가 직렬인지 병렬인지를 판별하는 신호(P/S)를 발생시키기 위한 8진 카운터 회로로 구성된다.

메모리 회로부는 SIPO 변환회로로부터 전송받은 8bit 병렬 형태의 데이터를 입력 데이터로 하고 이것을 저장한 후 PISO 변환회로로부터 출력하는 기능을 수행하는 SRAM으로 구성된 공유버퍼의 역할을 담당한다. SRAM cell들은 집합 누설 전류에 따른 cell 특성 변화가 적어서 대기시 소비 전력이 적고 동작온도 범위가 넓으며 cell 안정도가 높아 전원 보완이 가능한 장점이 있다. 따라서 SRAM 칩의 단자들은 SRAM cell array가 동작될 수 있도록 구성되어 있다. 동작상태는 주소단자에 의해서 데이터의 입출력 주소가 선정되고 제어신호에 의해서 데이터가 입출력 된다.

IV. 실험결과

FPGA로 구성된 4×4 self-routing 스위치 회로는 self-routing 스위칭 기능을 원활히 수행함을 보여 주었다. SIPO, PISO 회로부는 logic simulation tool에 의해서 동작상태가 점점된 후 그림 5와

같이 “β-엘리먼트+SIPO변환회로부, PISO변환회로부+β-엘리먼트 회로”의 구조로 A1020B FPGA 소자에 구현되었다. 하나의 SIPO, PISO 변환회로부는 55개의 logic cell이 필요하기 때문에 β-엘리먼트+SIPO변환회로부, PISO변환회로부+β-엘리먼트를 구현할 수 있도록 281개의 logic cell과 50개의 I/O cell 그리고 1개의 클럭 cell을 이용할 수 있는 A1020B FPGA 소자(547 logic cell)의 51.4%를 이용하여 구성하였다. 4×4 self routing 스위치의 경우 120개의 logic cell과 17개의 I/O cell 그리고 1개의 클럭 cell이 필요하므로 회로를 구현한 결과 A1010B FPGA 소자(295 logic cell) cell의 40.7%를 이용하게 되었다. 구현된 소자의 동작 특성을 시험하기 위해 입력단자에 여러가지 모양의 파형을 인가하고 그 결과를 오실로스코프로 관찰하였다.

사용한 파형 발생기는 HEWLETT PACKARD의 HP8116A였고 오실로스코프는 LECROY의 9410기기를 사용하였다. 구성된 FPGA 스위치의 최대 동작 주파수는 15MHz, 동작 전원전압은 1.7~6V, 전달 지연시간은 22nsec로 나타났다. 이것은 74HC 계열 소자를 이용하여 측정된 최대동작주파수 13MHz, 전달지연시간 28ns정도보다 감소한 모습을 보여 주었다.

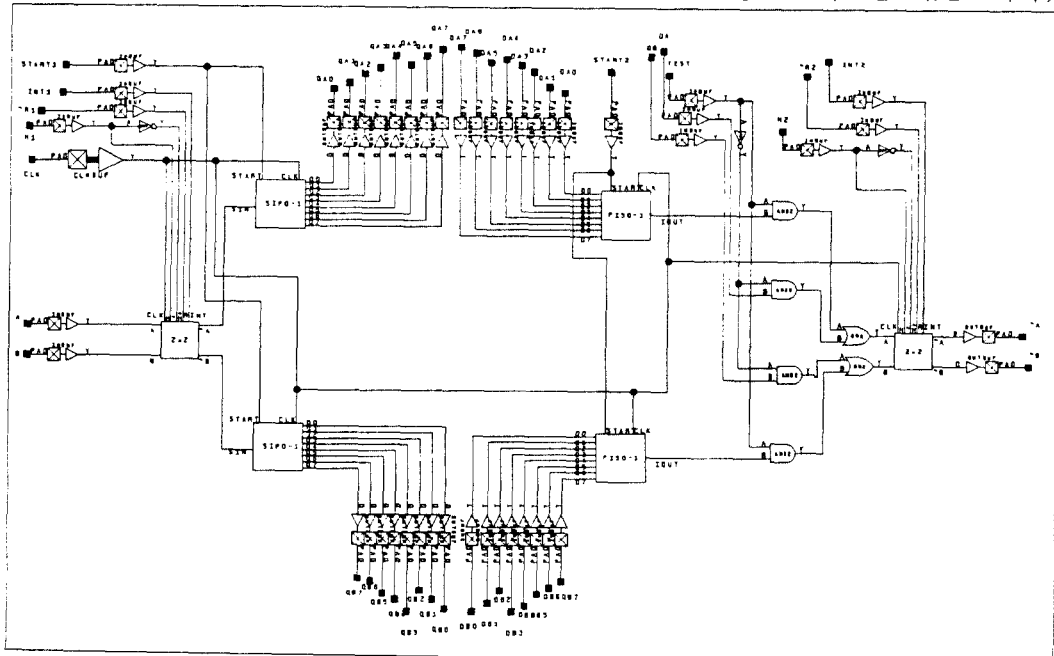
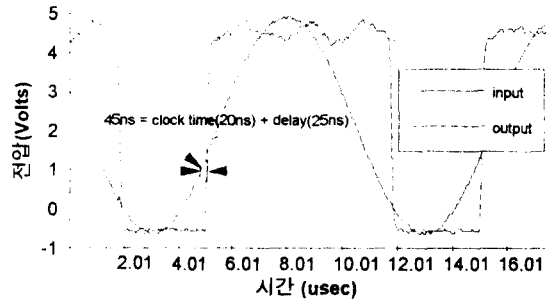


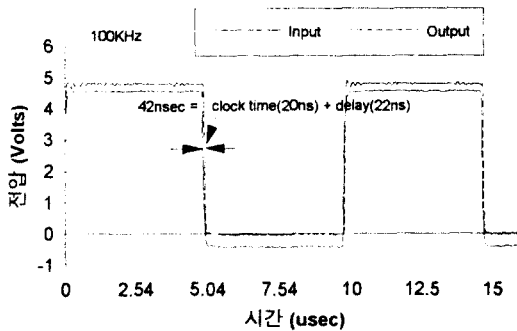
그림 5. β-엘리먼트, SIPO, PISO변환회로부 FPGA 회로도

Fig. 5. A FPGA circuits diagram of β-element, SIPO, PISO conversion circuits

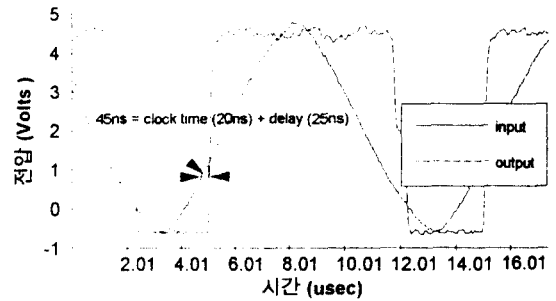
74HC 계열 소자를 이용해 모듈화할 경우보다 하나의 FPGA 칩으로 구현할 경우 동작 전원전압을 측정 한 결과 2.4V~6V에서 1.7~6V로 0.7V 낮은 전압에서도 동작하였고, 측정된 전달 지연시간은 28ns에서 22ns로 21.4%의 감소 효과가 있었고 최대 동작주파수는 13MHz에서 15MHz로 증가함을 알 수 있었다. 또한 FPGA chip으로 구현한 경우에는 출력파형에서 ringing 현상이 감소함을 볼 수 있었다. 그림 6 (a), (b)는 동작주파수가 각각 100 KHz와 15MHz일 때 FPGA로 구현한 4×4 self-routing 스위치의 입출력 파형이다. 100 KHz일 때 전달지연 시간은 22ns이고 최대 동작 주파수 15MHz일 때 24ns의 전달 지연시간을 보이고 있다. 그림 6의 (c), (d), (e)는 4×4 self-routing 스위치에 정현파, 삼



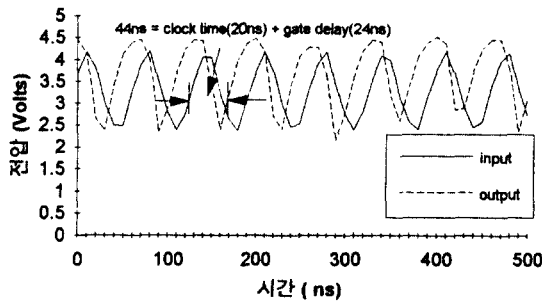
(c) 100 KHz에서의 정현파 입력/출력 파형
(c) sinewave input/output waveforms at 100 KHz



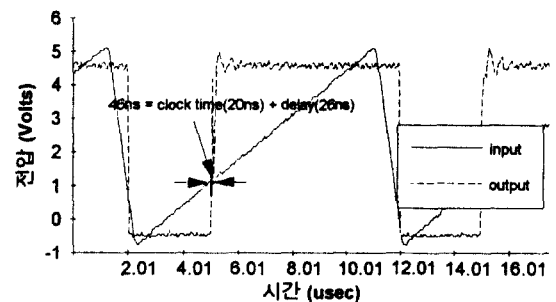
(a) 100 KHz에서의 구형파 입력/출력 파형
(a) squarewave input/output waveforms at 100 KHz



(d) 100 KHz에서의 삼각파 입력/출력 파형
(d) triangular wave input/output waveforms at 100 KHz



(b) 15MHz에서의 구형파 입력/출력 파형
(b) squarewave input/output waveforms at 15MHz



(e) 100 KHz에서의 톱니파 입력/출력 파형
(e) saw wave input/output waveforms at 100 KHz

그림 6. FPGA 4×4 self-routing 스위치 입출력파형
Fig. 6. Input/output waveforms of a FPGA 4×4 self-routing switch

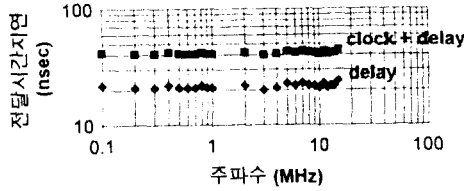


그림 7. FPGA 4x4 self-routing 스위치의 전달시간지연
Fig. 7. A propagation delay of FPGA 4x4 self-routing switch

각과, 톱니파의 다양한 입력파형을 인가하였을 때 나타난 출력 파형을 보여주고 있다. 다양한 입력 파형에 대해 스위치 회로는 데이터 충돌없이 잘 동작함을 보여주었고 전달 지연시간은 25ns정도를 보여 구형파를 인가했을 때의 전달 지연시간과 큰 차이가 없음을 보여주었고 주파수를 변화시킴에 따라 변화하는 전달 지연시간도 그림 7과 같이 나타남을 볼 수 있었다. 그림 7은 FPGA로 구현한 4x4 self-routing 스위치의 주파수 변화에 따른 전달 지연시간을 나타낸다. 클럭 시간을 포함하지 않을 때 지연 시간은 15MHz 근처까지 22ns임을 보이고 있다. 그림 8은 주파수에 따른 FPGA 4x4 self-routing 스위치의 전압 강하를 나타낸다. 인가되는 전압이 3dB 이상의 값을 갖게 하는 주파수의 한계가 15MHz임을 보이고 있다.

표 1. ATM 스위치모듈 구성에 대한 특성비교

내 용	FPGA1010A	74HC계열소자
칩 설계규칙	1.0 umCMOS	1.0 umCMOS
모듈 크기(면적x높이)	3.24cm ² x0.4cm	99cm ² x1.23cm
신호 전달 지연 시간	22nsec	28nsec
최대 동작 주파수(3dB)	15MHz	13MHz
동작 전압	1.7~ 6V	2.4~ 6V
부 피	1.3 cm ²	122cm ²
무 게	2.4g	24.2g

이는 74HC 계열 소자와 FPGA A1010A chip 모

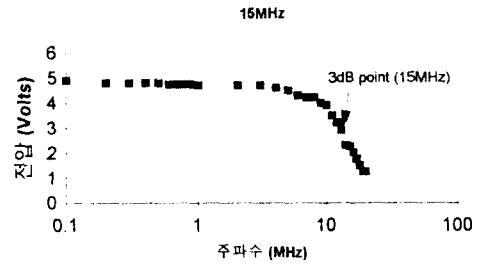


그림 8. FPGA 4x4 self-routing 스위치의 주파수 특성
Fig. 8. A frequency characteristics of FPGA 4x4 self-routing switch

두 1.0um C-MOS 소자로 구현된 칩이므로, chip 외부 배선과 chip 내부 배선이라는 차이에서 오는 배선길이의 단축으로 인한 영향으로 볼 수 있다. 전자 패키지의 관점에서 볼 때는 4x4 self-routing 스위치 회로부를 74HC 계열 소자를 이용해 모듈화할 경우 32개의 IC가 필요하고 모듈의 최소면적은 99cm²가 되는데 하나의 FPGA 칩으로 구현할 경우 44 핀 PLCC 패키지형 칩(면적=3.24cm²)으로 구현이 가능하므로 부피에서 2%, 무게에서 2%로 감소 되는 효과가 있다.

대용량 교환기를VLSI화하여 하나의 칩으로 구현할 때는, 칩 자체의 입출력 단자 수의 한계 때문에 어려움이 있다. 따라서 대용량 교환기를 구현하기 위해서는 적은 용량의 교환기를 여러 단 연결하여야 하겠다. 본 논문에서 구성한 4x4 self-routing 스위치를 FPGA 칩화하여 대용량 스위치를 구성하기 위한 기본단위로 할 때 대용량 스위치의 구조는 4x4 self-routing FPGA 칩과 이를 연결하는 상호연결부로 이루어진다. 상호연결부 내에는 메모리가 없으며 단지 신호를 스위칭하여 전송하는 역할만을 한다. 상호연결부의 구성 방법으로는 Clos망의 연결방식, Batcher-Banyan망, Knockout망 등을 사용할 수 있겠다^[4]. 본 실험에서는 A1010B를 이용하여 30 Mbps까지 실현하였고, 현재 개발된 FPGA 소자중 가장 속도가 빠른 A14100A를 이용할 경우 150 Mbps까지 가능하나 ATM 교환방식에서 제시하고 있는 155 Mbps의 전송속도를 실현하기 위해서는 FPGA 칩 내부의 배선에 의한 지연시간을 더욱 줄여야 하겠다.

V. 결 론

본 논문에서는 ATM 교환시스템 가운데 스위치 회로를 구성하는 구조로서 공유 메모리형 스위치 구조를 선택하여 self-routing 스위치 회로부, SIPO 변환회로부, PISO 변환회로부, 메모리회로부로 구성하여 FPGA 칩으로 스위치 모듈을 구현하는 방법을 모색하였다. 특히 대용량으로 확장할 수 있도록 기본 단위로 4×4 스위치 회로를 구성하였다. 74HC 계열 소자를 이용해 구성회로에 대한 분석을 실시한 후 FPGA 칩으로 스위치를 구성하였다. FPGA 칩으로 구현된 경우에 전달시간지연은 22ns, 최대동작주파수는 15MHz로 나타났다. 입력파형으로 정현파, 삼각파, 톱니파등의 여러가지 파형을 인가하여도 스위치 회로가 데이터 충돌 없이 잘 동작함을 확인할 수 있었다. 이에 따라 self-routing 기능이 주파수의 한계에 따라 제한됨을 볼 수 있었다. 또한 74HC 계열 소자를 이용해 모듈화하여 구성할 경우보다 FPGA 소자를 이용하여 모듈을 구성할 경우 비용과 부피, 무게면에서 상대적으로 우수함은 물론이고, 전기적 특성면에서도 출력파형의 ringing 현상이 현저히 줄어들고, 최대동작속도가 30 Mbps까지 늘어남을 알 수 있었다. Logic simulation의 결과는 ATM 교환기의 구성에 있어서 제어회로에서 공급해 주어야 할 제어신호들의 특성을 제공하므로써 전체적인 ATM 교환시스템의 구현을 용이하게 한다.

본 논문에서 구성한 FPGA 공유메모리형 스위치는 읽기/쓰기할 수 있는 메모리를 패킷 단위로 공유함으로써 하드웨어 절감 및 메모리의 동작속도를 상대적으로 감소시킬 수 있고 대용량 스위치로 확장시킬 수 있는 특징이 있다.

참고문헌

1. T. Armaki, et al., "High-Speed Line Processing Scheme for ATM Output Modular Switches," IEICE, 1991, spring natl. conf. rec., B-457, 1991.
2. Y. Inoue, et al., "Transport Network Evaluation toward ATMized B-ISDNs," IEICE, SSE 91-35, 1991.
3. 김영부, 한치문, "ATM 교환시스템 구성기술," 전

- 자공학회지 제 20권 제 12호, p.7-15, 1993.
4. S.E. Minzer, "Broadband ISDN and Asynchronous Transfer Mode(ATM)," IEEE Communications magazine, p.17-24, Sep., 1989.
5. P. Newman, "ATM Technology for Corporate Networks," IEEE Communications magazine, p.90-101, April, 1992.
6. M.A. Henrion, et al., "A Multipath Self-routing Switch," IEEE Communications magazine, p.48-52, April, 1993.
7. A.W. Zegure, "Architectures for ATM Switching Systems," IEEE Communications magazine, p.28-37, Feb, 1993.
8. A. Pattavina, "Nonblocking Architectures for ATM Switching," IEEE Commun. magazine, p.38-48, Feb, 1993.
9. Y. Sakurai, et al., "Large-Scale ATM Multistage Switching Network with Shared Buffer Memory Switches," IEEE Communications magazine, p.90-96, Jan, 1991.
10. R.H. Hofmann, et al., "A Multifunctional High-Speed Switch Element for ATM Application," IEEE J. Solid State Circuits, vol-27, no.7, p.1036-1040, 1992.
11. H. Kondoh, et al., "A 622Mbps 8×8 ATM Switch Chip Set with Shared Multibuffer Architecture," IEEE J. Solid State Circuits, vol-28, no.7, p.808-815, 1993.
12. K. Sakaue, et al., "A 0.8-um BiCMOS ATM Switch on an 800Mbps Asynchronous Buffered Banyan Network," IEEE J. Solid State Circuits, no.8, p.1133-1144, vol-26, 1991.
13. Y. Doi, et al., "An ATM Switch Hardware Technologies Using Multichip Packaging," IEEE Trans. Comp., Hybrids, Manufac. Technol., vol-16, no.1, p.60-65, 1993.
14. K.Y. Eng and Y.S. Yeh, "A Growable Packet(ATM) Switch Architecture:Design Principles and Architecture," Globecom '89, pp.32.2.2.-32.2.7., 1989.



張海成 (Hae Seong Jang) 정회원

1992년 2월 : 서강대학교 전자공학과 (학사)

1994년 8월 : 서강대학교 전자공학과 (석사)

1994년~현재 : 서강대학교 대학원 전자공학과 박사과정 재학중

* 주관심분야 : ATM스위칭 시스템, 전자 시스템 패키징, 교환기 패키징



鄭峻鍾 (Jun Gun Chung) 정회원

1994년 2월 : 서강대학교 전자공학과 (학사)

1994년 2월~현재 : 서강대학교 대학원 전자공학과 석사과정 재학중

* 주관심분야 : ATM스위칭 시스템, 전자 시스템 패키징, 교환기 패키징



池龍 (Yong Jee) 정회원

1978년 8월 : 서강대학교 전자공학과 (학사)

1981년 8월 : 서강대학교 전자공학과 (석사)

1987년 5월 : The University of Texas at Austin, Electrical Eng., Ph.D.

1987년 6월~1987년 8월 : The University of Texas at Austin, Rearch Associate

1987년 9월~1991년 2월 : 미국 Microelectronics and Computer Technology Corporation (MCC)

1991년 3월~현재 : 서강대학교 전자공학과 조교수

* 주관심분야 : 전자 시스템 패키징 및 반도체 패키징, 광소자 패키징, 반도체 공정, MCM