

Random/Bursty 트래픽을 고려한 공통메모리 ATM 스위치의 성능분석

正會員 李 淳 昔*, 姜 聲 烈*, 金 煥 善*, 韓 致 文*

A Performance Analysis of a Common Memory ATM Switch Under Random/Bursty Input

Soon Seok Lee*, Sung Yeol Kang*, Young Sun Kim*, Chi Moon Han* Regular Members

要 約

본 논문에서는 공통메모리형 $N \times N$ ATM 스위치의 성능을 분석한다. 고려하는 스위치는 우선순위제어 방식으로 부분공유버퍼 방식을 채용한다. 스위치의 성능분석을 위하여 N 개의 입력포트에 도착하는 셀들의 입력과정으로 서로 독립이고 동일한 Bernoulli 과정을 가정하고 1차원 Markov chain을 사용한 해석적 모델을 개발한다. 아울러 bursty한 입력 트래픽의 영향을 분석하기 위하여 ON-OFF 과정의 입력트래픽을 고려한 모의실험도 함께 수행한다. 스위치에 도착하는 셀들의 경로는 입력과정이 Bernoulli인 경우에는 셀단위로, ON-OFF인 경우에는 burst단위로 균등하다고 가정한다. 그리고 스위치에서 hot-spot 현상이 일어나는 경우에도 모의실험을 통하여 성능을 분석한다.

ABSTRACT

This paper deals with the performance of a $N \times N$ ATM switch, which is based on common memory, with partial buffer sharing mechanism. We develop an analytical model, a one-dimensional Markov chain, to evaluate the performance of the switch under Bernoulli process. Moreover, to analyze the effect of bursty input traffic, a simulation model, using ON-OFF input process, has also been developed. We assume that arrival streams among different input ports are independent and identical, and that each cell(burst) is given an output port that uniformly loads all the output ports in Bernoulli input model (in ON-OFF model). We also examine the performance when the hot-spot phenomenon occurs.

* 한국전자통신연구소

Switching Method Section, Electronics and Telecommunication Research Institute

論文番號 : 94296

接受日字 : 1994年 10月 24日

1. 서 론

향후 전개될 B-ISDN 은 N-ISDN이 제공하던 서비스뿐만 아니라 고해상도의 화상서비스, 대용량 파일전송, 등의 고속성과 광대역이 요구되는 서비스들을 모두 제공하여야 하며, 예측할 수 없는 미래의 서비스도 수용할 수 있어야 한다. ATM(Asynchronous Transfer Mode) 기술이 이러한 다양한 서비스와 다량의 트래픽을 효율적이고도 유연하게 처리할 수 있는 기본 기술로서 제시되고, 이를 기초로 B-ISDN의 핵심 구성요소인 교환시스템에 대한 다양한 연구개발 활동이 전세계적으로 활발히 진행되고 있다.⁽¹⁾

ATM 기술은 호 설정시 노드간의 링크에 할당된 논리채널을 근거로 가상회선에 의해 망내를 고속으로 전송/교환하는 방식이다. ATM 교환은 회선당 155Mbps 이상으로 동작하기 때문에, 하드웨어에 의한 자기루팅원리를 이용한다. 따라서 ATM 교환시스템은 하드웨어 구성 및 제어가 간단하고 다양한 통신 요구 조건들을 만족하도록 하는 것이 바람직스럽다.⁽²⁾

이러한 다양한 요구조건들을 만족시키는 ATM 교환시스템을 개발하기 위해서는 교환시스템을 구성하는 단위 스위치에 대한 자세한 연구분석이 필요하다. 이는 스위치의 설계시 필요한 하드웨어나 소프트웨어 상의 각종 모수의 최적치나 스위치의 운영 메카니즘에 따른 성능을 제시할 수 있기 때문이다.

본 고에서는 지금까지 고려되어온 많은 형태의 단위 스위치 중에서 공통메모리 형태의 ATM 스위치의 성능을 해석적 모형과 모의실험을 통하여 분석하고자 한다. 고려하는 ATM 스위치는 $N \times N$ 단방향 folded 구조로 이루어진 자기루팅 스위치이다. 셀들의 내부 및 출력 블러킹 현상을 해소하기 위하여 공통메모리를 사용하며, 공통메모리 내에 저장되어 있는 셀들이 스위칭 될 출력포트를 관리하기 위하여 N 개의 address FIFO 버퍼를 두고 있다. 아울러, 다양한 서비스들의 품질수준을 유지하기 위하여 트래픽 제어방식으로는 부분공유버퍼(Partial Buffer Sharing:PBS) 방식을 기초로 한 손실 우선순위 제어방식을 사용한다(그림 1).

공통메모리형 ATM 스위치에 대한 지금까지의 대표적인 성능분석 방법들은 크게 세가지 정도로 나누어 볼 수 있다. 첫째로는 $N \times N$ ATM 스위치를 N

개의 독립적인 대기행렬 시스템(queueing system)으로 가정한 후 전체 시스템의 성능은 Chernoff bound와 같은 근사법을 적용하는 방법이다.⁽³⁾⁽⁴⁾⁽⁵⁾ 지금까지 거의 대부분의 연구들이 이 방법에 의존하고 있다. 이 방법에서는 하나의 출력포트를 $M/D/1$ 이나 $Geo/D/1$ 과 같은 단순한 대기행렬 시스템을 이용하여 분석을 행하였다. 그러나 이 경우 분석의 편의성은 있지만 공통메모리형 ATM 스위치가 가지는 특징인 음의 상관관계(negative correlation)나 단위시간당 입력되는 셀 수의 유한성을 반영하지 못하기 때문에 스위치의 성능을 항상 과소평가하는 경향이 있다. 아울러 입력트래픽이 heterogeneous한 경우나 셀들의 경로가 불균등하게 결정될 때에는 더이상 적용하기 어렵다는 단점이 있다. 두번째로는 각 출력포트로 향하는 셀들의 수에 대한 음의 상관관계를 고려한 Eckberg와 Hou⁽⁶⁾의 연구이다. 이들은 공통메모리에 존재하는 전체 셀의 수가 Gamma분포를 따른다고 가정하고 geometric transform과 discrete Fourier transform기법을 사용하여 전체 셀 수에 대한 평균과 분산을 구하는 알고리즘을 제안하였다. 이들의 결과에 따르면 입력부하(offered load)가 0.9일 때, 상관관계를 고려하지 않은 방법(Chernoff 근사방법)에 의하여 산출한 필요 메모리의 크기에 대하여 상관관계를 고려한 경우 약 30% 정도(random traffic하에서) 감소됨을 보였다. 세번째는 공통메모리에 존재하는 전체 셀 수를 특정 출력포트로 향하는 셀 수와 나머지 포트에 향하는 셀 수에 대한 정보를 이용하여 2차원 Markov chain을 적용하는 방법이다.⁽⁷⁾⁽⁸⁾ 이 방법은 어느정도 음의 상관관계를 반영하지만 매 시간슬롯에 스위칭되는 셀의 수를 추정할 때 역시 각 출력포트로 향하는 셀간에 독립을 가정한다. 따라서 random 트래픽과 균등한 경로결정인 경우에는 상당히 효과적인 방법이지만 불균등 트래픽같은 경우에는 스위치의 성능을 심각하게 왜곡시킨다.

이상에서 살펴본 바와 같이 지금까지 개발된 공통메모리형 ATM 스위치의 성능분석 방법들은 다양한 트래픽 특성을 가지는 ATM 환경을 반영하기에는 많은 한계를 가진다. 따라서 본 고에서는 이러한 음의 상관관계와 스위치의 교환방식이 하나의 시간슬롯 동안에 집단적으로 입/출력됨을 감안하여 random 트래픽하에서는 1차원 Markov chain을 이용하는 새

로운 해석적 모형을 개발하고 스위치의 성능을 분석한다. 그리고 burst한 입력 트래픽에 대한 스위치의 성능을 비교해보기 위하여 ON-OFF 과정을 따르는 입력 트래픽하에서 모의실험을 수행한다. 아울러 hot-spot현상에 대한 성능도 비교해본다.

II. 공통메모리형 ATM 스위치

본 장에서는 공통메모리형 ATM 스위치의 성능 분석에 필요한 여러 가정들과 스위치의 운용 규칙에 대하여 살펴본 후, 스위치의 성능 척도들을 구한다.

1. 스위치의 운용규칙 및 가정

본 고에서 분석하고자하는 스위치의 형태는 (그림 1)에서 보는 바와 같이 N개의 입력포트로 부터 셀들이 도착하고, 입력된 셀들은 공통메모리에 저장되었다가 N개의 출력포트로 출력되는 형태의 ATM 스위치이다. 본 절에서는 스위치의 성능분석에 앞서 스위치의 작동원리와 분석에 필요한 여러 가정들을 살펴본다.

1) 스위치의 작동원리

매 시간슬롯 초기에 공통메모리 내에 존재하는 셀 수를 확인한 다음, 버퍼링 규칙에 따라 입력포트로부터 셀들을 입력시키고, 각 출력포트로 향하는 셀들의 최선두에 위치한 셀들을 출력포트로 내보낸다.

2) 버퍼링 규칙

우선순위가 낮은 셀은 공통메모리 내의 셀 수가 T 개 이하일 때에만 입력될 수 있고, 우선 순위가 높은 셀은 공통메모리의 용량 B까지만 입력되는 부분공유 방식(PBS: Partial Buffer Sharing)을 따른다.

3) 서비스 규칙

매 시간슬롯 말에 각 출력포트로 향하는 셀들 중에서 최선두에 위치한 셀들을 동시에 출력포트로 보낸다(FIFO).

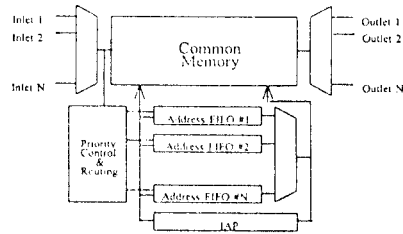


그림 1. 공통메모리 ATM 스위치의 구조
Fig. 1. Architecture of a common memory type ATM switch

4) 가정

- (1) 스위치에 도착하는 셀들은 우선순위가 높은 셀과 우선순위가 낮은 셀로 구분한다. 이것은 데이터와 같이 손실에 민감한 셀과 음성정보와 같이 손실에 둔감한 셀들을 동시에 처리하는 스위치를 고려하는 것이다. 데이터와 같은 우선순위가 높은 셀의 비율은 p_h 이고 우선순위가 낮은 셀들의 비율은 p_l ($p_h + p_l = 1$)로 가정한다.
- (2) 스위치에 입력된 셀들의 출력 경로는 모든 출력포트에 대하여 균등하게 결정된다. Bernoulli 입력트래픽하에서는 셀단위로 경로가 균등하게 결정되고, ON-OFF하에서는 burst단위로 출력 경로가 균등하게 결정된다고 가정한다.
- (3) 해석적 모형의 간략화를 위하여, 시간슬롯 초기에 공통메모리 내에 존재하는 셀 수가 T개 이하인 k개이고 입력되는 셀 수가 (T-k)보다 클 때, 입력되는 셀들의 우선순위를 상관하지 않고 공통메모리에 여유가 있는한 모두 입력시킨다.
- (4) 매 시간슬롯에 출력포트로 향하는 셀들의 수는 바로 직전 시간슬롯에 각 출력포트로 향하는 셀 수에 종속적이지만 분석(해석적 모형)의 편의를 위하여, 매 시간슬롯말에 출력포트로 향하는 셀수는 현재 시간슬롯에 존재하는 전체 셀수에만 종속적이라고 가정한다.
- (5) Address FIFO 버퍼의 크기는 충분하다고 가정한다. 이는 address FIFO 버퍼의 한계로 인하여 셀들의 입력이 제한되는 것을 방지

하기 위함이다.

2. Bernoulli 트래픽 모형

본 장에서는 2장에서 설명한 스위치의 작동원리와 가정들을 토대로 공통메모리형 ATM 스위치의 성능 분석을 위한 해석적 모형을 개발하고 성능척도를 구한다.

1) 성능분석 모형

모형을 위하여 다음의 기호와 확률들을 정의하자.

- p 한 시간슬롯에서 셀의 도착이 있을 확률,
- p_h 우선순위가 높은 셀의 비율,
- p_n 우선순위가 낮은 셀의 비율,
- B 공통메모리의 크기,
- T Threshold; 우선순위가 낮은 셀에 대한 허용용량,
- K 시간슬롯 초기에 공통메모리에 존재하는 셀수,
- $P(n)$ 임의의 시간슬롯 초기에 개의 셀이 있을 확률($=Pr[K=n]$).

고려하는 스위치의 작동원리에 따르면, 매 시간슬롯 초기에 메모리 내에 존재하는 셀 수를 확인한 다음 PBS방식에 따라 셀들을 입력시키고, 매 시간슬롯 말에 각 출력포트의 최선두에 위치한 셀들을 스위칭한다. 그리고 (가정 4)에 따라 공통메모리형 ATM 스위치는 매 시간슬롯 초기에 입력되는 셀 수에 대한 입력확률과 입력 후 매 시간슬롯 말에 출력되는 셀 수에 대한 출력확률만 정의하면, 임의의 시간슬롯 초기시점에서 공통메모리 내에 존재하는 셀 수에 대한 1차원 Markov chain을 정의할 수 있다. 이제 입력 확률과 출력확률을 구해보자.

(1) 입력확률

시간슬롯 초기에 셀 수가 i 일때, j 개의 셀이 입력될 입력확률을 $a(j|i)$ 라 하면, 입력확률은 PBS 방식과 Bernoulli 과정에 따라 다음과 같이 정의할 수 있다.

$$a(j|i) = \begin{cases} \binom{N}{j} p^j (1-p)^{N-j}, & i < T, i+j < B, \\ \sum_{l=i-B}^N \binom{N}{l} p^l (1-p)^{N-l}, & i < T, i+j = B, \\ \binom{N}{j} (p \cdot p_h)^j (1-p \cdot p_h)^{N-j}, & i \geq T, i+j < B, \\ \sum_{l=i-B}^N \binom{N}{l} (p \cdot p_h)^l (1-p \cdot p_h)^{N-l}, & i \geq T, i+j = B. \end{cases} \quad (1)$$

(2) 출력확률

입력작업 후, n 개의 셀이 공통메모리에 존재할 때, $m(\leq N)$ 개의 셀이 출력될 확률을 $s(m|n)$ 라 하자. 매 시간슬롯에 출력될 셀 수는 출력포트의 수가 N 개 이므로 최대 N 개까지 가능하지만 각 출력포트로 향하는 셀들 중에서 최선두에 위치한 셀들만이 한 시간슬롯에서 출력될 수 있다. 그리고 (가정 4)에 따라 출력확률은 다음과 같이 쉽게 구할 수 있다. N 개의 주머니에 n 개의 공을 무작위로 던져넣는 실험을 생각해 보자. 이 실험에서 비어있지 않은 주머니의 수가 바로 매 시간슬롯 말에 출력될 셀수와 동일함을 알 수 있다. 따라서 출력확률은 다음과 같이 정의할 수 있다.

$$s(min) = \begin{cases} 1 & n=m=0, \\ \binom{N}{N-m} \binom{n-1}{m-1} / \binom{N+n-1}{n} & n \geq N, 1 \leq m \leq N, \\ \binom{N}{N-m} \binom{n-1}{n-m} / \binom{N+n-1}{n} & n < N, 1 \leq m \leq n, \\ 0 & otherwise \end{cases} \quad (2)$$

(3) 시스템 방정식

식(1)과 (2)에서 정의된 입력확률과 출력확률로부터, 스위치 시스템의 매 시간슬롯 초기시점에 존재하는 셀 수에 대하여 다음과 같이 시스템 방정식을 정의할 수 있다.

$$P(n) = \begin{cases} \sum_{i=0}^{\min(n, N, B)} P(i) \left\{ \sum_{j=\max(0, n-i)}^{\min(N+n-j, N)} a(j|i) \cdot s(i+j-n|i+j) \right\}, & \text{if } 0 \leq n < N, \\ \sum_{i=n-N+1}^{\min(n, N, B)} P(i) \left\{ \sum_{j=\max(0, n-i)}^{\min(N+n-j, N)} a(j|i) \cdot s(i+j-n|i+j) \right\}, & \text{if } N \leq n \leq B \end{cases} \quad (3)$$

식(3)의 시스템 방정식으로부터, 매 시간슬롯 초기에 존재하는 셀 수에 대한 정상확률(steady-state probability)은 여러가지 방법으로 구할 수 있지만 본 고에서는 Meyer et al.이 제안한 방법 즉, 매 시

간슬롯마다 상태확률을 구한 다음 현재의 시간슬롯에서 구한 상태확률과 직전 시간슬롯에서 구한 상태확률을 비교하여 그 차이가 미세할 때 그 상태확률을 정상확률로 가정하는 방법을 사용하여 정상확률을 구한다.

(4) 성능척도

매 시간슬롯 초기에 존재하는 셀 수에 대한 정상확률로부터 스위치의 성능을 평가할 성능척도를 구해보자.

셀 손실확률

먼저 셀 손실확률을 구해보자. 다음과 같은 몇가지 확률을 정의해 보자.

- $a(\omega)$ 입력작업 동안에 ω 개의 셀이 도착할 확률.
- $a_h(\omega)$ 입력작업 동안에 높은 우선순위의 셀이 ω 개 도착할 확률.
- $a_l(\omega)$ 입력작업 동안에 낮은 우선순위의 셀이 ω 개 도착할 확률.
- $l_b(y) [l_{b,h}(y), l_{b,l}(y)]$ $K < T$ 그리고 입력작업 후 정확히 y 개의 셀 [높은 우선순위 셀, 낮은 우선순위 셀]이 손실될 확률.

그러면, 다음을 정의할 수 있다.

$$l_b(y) = \sum_{k=0}^{T-1} P(k) \cdot a(y+B-k), \quad 1 \leq y \leq N-1$$

$$l_{b,h}(y) = \sum_{x=x}^{N-1} l_b(y) \binom{y}{x} p_h^x \cdot p_l^{y-x}, \quad (4)$$

$$l_{b,l}(y) = \sum_{x=x}^{N-1} l_b(y) \binom{y}{x} p_l^x \cdot p_h^{y-x}$$

같은 방법으로 시간슬롯 초기에 공통메모리 내에 존재하는 셀 수가 threshold T보다 클 경우에는 다음과 같이 구할 수 있다.

$$l_{a,h}(y) = \sum_{k=T}^B P(k) \cdot a_h(x+B-k),$$

$$l_{a,l}(y) = \sum_{k=T}^B P(k) \cdot a_l(x) \quad (5)$$

이제 각 우선순위에 대하여 한 시간슬롯 동안에 손실된 평균 셀 수를 다음과 같이 구할 수 있다.

$$L_h = \sum_{x=1}^N x \cdot [l_{b,h}(x) + l_{a,h}(x)],$$

$$L_l = \sum_{x=1}^N x \cdot [l_{b,l}(x) + l_{a,l}(x)] \quad (6)$$

따라서, 각 우선순위에 대한 셀 손실확률은 위에서 구한 평균 셀 손실수에 한 시간슬롯 동안에 도착하는 평균 셀수로 나누면 다음과 같이 구해진다.

$$B_h = \frac{L_h}{p \cdot p_h \cdot N}, \quad B_l = \frac{L_l}{p \cdot p_l \cdot N} \quad (7)$$

평균 셀 지연시간

평균 셀 지연시간을 구하기 위해서는 다음의 두가지 사항이 고려되어야 한다. 첫째, 입력되는 셀의 지연시간은 입력시점에 공통메모리 내에 존재하는 전체 셀 수보다는 각 출력포트에 해당하는 논리적인 queue의 길이에 의존한다. 즉, 입력되는 셀은 평균적으로 각 논리적 큐에 대기하고 있는 셀들이 출력될 때까지 지연이 일어난다. 둘째, 입력형태가 집단적이기 때문에 같은 시간슬롯에 도착한 셀들간의 순서에 따라 추가적인 지연시간이 발생한다. 따라서 평균 셀 지연시간을 구하기 위해서는 각 출력포트에 해당하는 논리적 queue의 길이에 대한 평가가 선행되어야 한다.

본 고에서 고려하는 ATM 스위치는 입력포트로 입력되는 셀들의 도착분포가 동일하고 동시에 출력될 출력포트가 동일한 확률로 결정되기 때문에 공통메모리 내의 셀수가 주어졌을 때, 각 출력포트로 출력될 셀 수에 대한 조건부 결합분포(conditional joint probability)는 다항분포(multinomial distribution)를 따를 수 있다.

$K_i, (i=1, 2, \dots, N)$ 를 시간슬롯 초에 출력포트 i 로 출력될 셀 수라 하면($K = \sum_{i=1}^N K_i$), 각 출력포트로 출력될 셀 수에 대한 결합분포는

$$q(K_1 = i_1, \dots, K_N = i_N) = \sum_{n=i_1+\dots+i_N}^N P(n) \cdot \binom{n}{i_1, \dots, i_N} \left(\frac{1}{N}\right)^n \quad (7)$$

따라서, 출력포트 i 로 출력될 평균 셀 수 $E(K_i)$ 와 분산 $V(K_i)$ 는 다음과 같이 구한다.

$$E(K_i) = E(K)/N, \quad V(K_i) = V(K)/N + E(K_i) [1 + E(K_i)] \quad (8)$$

여기서 $E(k)$ 는 시간슬롯 초기에 공통메모리 내에 존재하는 평균 셀 수이고, $V(K)$ 는 이의 분산이다. 이들 각 출력포트의 논리적 queue 길이에 대한 정보를 이용하면 부차적으로 address FiFO 버퍼에 대한

정량화도 가능해진다.

낮은 우선순위 셀들의 평균 지연시간을 구하기 위하여, 낮은 우선순위 셀이 포함된 그룹이 공통메모리에 입력된다는 조건하에서 공통메모리 내의 전체 셀 수에 대한 정상확률을 $\bar{P}(n)=P(n)/\sum_{i=0}^{\infty}P(i)$ 이라 하고 이 때의 평균을 $E(\bar{K})$ 라 하자. 그러면 낮은 우선순위 셀이 포함된 그룹이 보는 임의의 논리적 queue의 평균길이가 $E(\bar{K}_i)$ 는 $E(\bar{K})/N$ 이 됨을 쉽게 알 수 있다.

다음으로, 같은 시간슬롯에 도착한 집단 중에서 특정 셀의 앞에 위치하는 평균 셀의 수 $E(A)$ 는 Burke⁽⁹⁾의 결과에 따르면 다음과 같이 구할 수 있다.

$$E(A) = \frac{1}{N} \cdot \frac{\sum_{j=0}^B \left\{ \sum_{i=0}^N i(i-1) \cdot a(i|j) \right\} P(j)}{2 \cdot \sum_{j=0}^B \left\{ \sum_{i=0}^N i \cdot a(i|j) \right\} P(j)} \quad (9)$$

따라서, Little의 공식을 이용하면 각 우선순위에 대한 평균 셀 지연시간은 다음과 같다.

$$W_h = \frac{E(\bar{K}_h) + E(A)}{p \cdot \rho_h \cdot (1 - B_h) \cdot N}, \quad (10)$$

$$W_l = \frac{E(\bar{K}_l) + E(\bar{A})}{p \cdot \rho_l \cdot (1 - B_l) \cdot N}$$

$$\text{여기서 } E(\bar{A}) = \frac{1}{2N} \left(\sum_{j=0}^{T-1} \left\{ \sum_{i=0}^N i(i-1) \cdot a(i|j) \right\} P(j) / \sum_{j=0}^{T-1} \left\{ \sum_{i=0}^N i \cdot a(i|j) \right\} P(j) \right)$$

3. Bursty와 Hot-spot 트래픽 모형

본 절에서는 ATM 환경의 다량의 입력트래픽에 대한 공통메모리 ATM 스위치의 성능을 예측하기 위하여 burst한 입력트래픽하에서 스위치에 입력된 셀들의 경로결정이 불균등한 경우의 대표적인 예인 hot-spot현상을 고려한 모의실험 모형을 설명한다.

burst한 입력 트래픽을 표현하기 위하여 본 고에서는 모든 입력포트에 homogeneous한 ON-OFF 과정을 사용한다(그림 2). ON과 OFF 주기는 각각 평균 X_{ON} 과 X_{OFF} 를 가지는 기하분포를 따른다고 가정하고 ON 주기 동안에 도착하는 셀들의 시간 간격 또한 평균 $X_{cell}=1/p$ 를 가지는 기하분포를 따른다고 가정한다. 여기서 $p=1$ 이면 ON주기간 동안에는 매 시간슬롯마다 셀들이 도착하는 것을 의미한다. 이와같은 ON-OFF 입력 트래픽 모형에서의 평균 입력부하

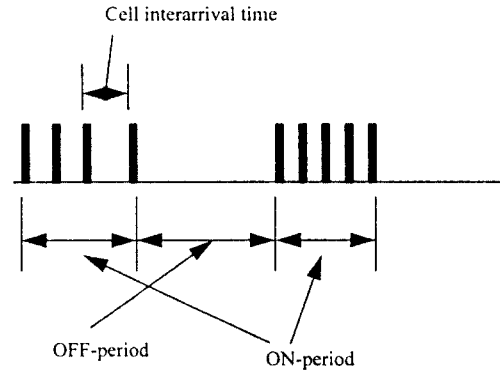


그림 2. ON-OFF 입력트래픽 모형
Fig. 2. ON-OFF Input Traffic Model

(offered load) ρ 는 $p \cdot X_{ON} / (X_{ON} + X_{OFF})$ 이 되며 평균 burst의 길이 L 은 ON 주기의 평균길이 X_{ON} 으로 가정한다.

각 입력포트에 입력된 셀들의 출력경로는 동일한 burst 내에서 입력되는 모든 셀들이 동일하다고 가정하며 burst간의 경로 결정은 모든 출력포트에 대하여 균등하다고 가정하며 입력되는 셀들의 우선순위에 동일 burst 내에서 동일하다고 가정한다. 아울러 셀들의 출력 경로가 어떤 특정 출력포트로 집중되는 hot-spot을 고려한다. 본고에서 가정한 경로 결정을 수식적으로 표현하면 다음과 같다. h 를 하나의 burst가 hot-spot 출력포트 j_H 로 경로가 결정될 비율이라고 하면, 입력포트 i 에서 출력포트 j_H 로 경로가 결정될 확률 $q_{i,j}$ 는 다음과 같다.

$$q_{i,j} = \begin{cases} \frac{1}{N} + h, & \text{if } j = j_H, \\ \frac{1-h}{N-1}, & \text{if } j \neq j_H \end{cases} \quad (11)$$

본 고에서는 모든 모의실험은 위와같은 모형을 바탕으로 각 입력포트 당 1,000,000개의 셀의 발생시켜서 셀 손실확률, 평균 셀 지연시간 등의 스위치의 성능을 예측한다. 모든 경우에 있어서 셀간의 평균 시간 간격 X_{Cell} 은 1로 가정하였다. 즉, 트래픽이 ON 주기에 있을 경우에는 매 시간슬롯마다 셀이 입력된다고 가정하였다.

III. 수치결과 및 해석

본 장에서는 2장에서 제시한 해석적 모형과 모의실험을 통하여 공통메모리 크기에 따른 셀 손실

울과 평균 셀 지연시간의 변화를 살펴보고 공통메모리형 ATM 스위치의 성능을 예측한다. 본 고에서는 입/출력 포트의 수가 모두 16인 16×16크기의 스위치를 고려한 결과를 분석한다.

(그림 3)은 Bernoulli 입력트래픽하에서 입력부하비율(load ratio, p_h/p [7])에 따른 셀 손실율을 나타낸 것이다. 그림을 통해서 전체 입력 중의 높은 우선순위의 셀의 비율이 커질수록 셀 손실율이 증가함을 확인할 수 있다. 특히 높은 우선순위의 셀 손실율은 낮은 우선순위에 비하여 급격히 증가함을 확인할 수 있다. 그러나 이 경우 평균 셀 지연시간에 있어서는 높은 우선순위의 셀은 입력부하의 비율이 증가하면 할수록 감소현상을 보이고 낮은 우선순위의 셀은 증가현상을 나타낸다.

(그림4(a))는 공통메모리 크기에 따른 셀 손실율을 나타낸 것이고 (그림4(b))는 평균 셀 지연시간을 나타낸 것이다. (그림4(a))의 경우에 공통메모리의 크기의 증가에 대하여 낮은 우선순위의 셀이 높은 우선순위의 셀에 비하여 성능의 향상속도가 현저하게 느림을 알 수 있다. 그리고 (그림4(b))를 보면 셀의 지연시간에 있어서도 높은 우선순위가 공통메모리의 증가에 대하여 낮은 우선순위보다는 빠르게 증가하나 공통메모리가 어느정도 커지면 셀 지연시간은 더 이상 공통메모리의 크기에 영향을 받지 않는다. 이것은 공통메모리의 크기가 임의의 시점에 존재하는 셀 수보다 필요이상으로 과대하기 때문에 일어난다.

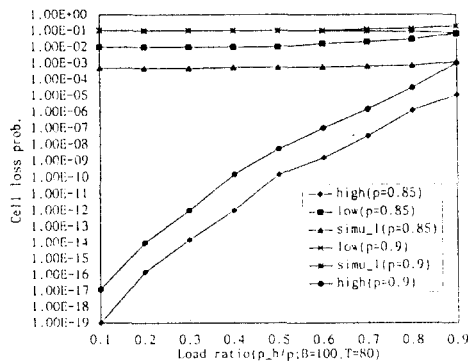
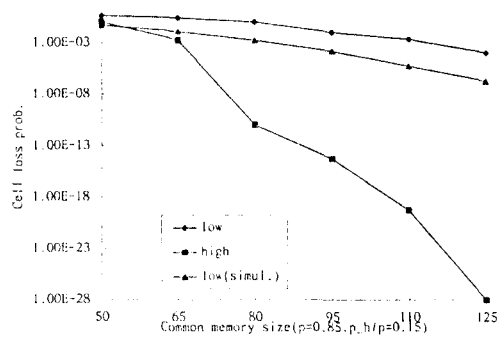


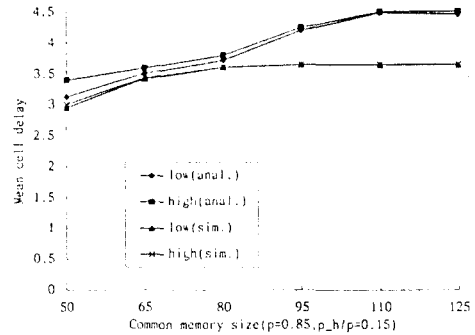
그림 3. 입력부하 비율에 따른 셀 손실율
Fig. 3. Load ratio vs. Cell loss ratio

이상으로 (그림4)의 두 그림을 통해서 두 종류의 셀의 품질수준을 동시에 향상시키기 위해서는 공통메

모리의 크기를 단순히 증가 시키기 보다는 적당한 메모리의 크기에 대하여 threshold의 조절 등과 같은 운용규칙을 변화시키는 것이 효과적일 것으로 판단된다.



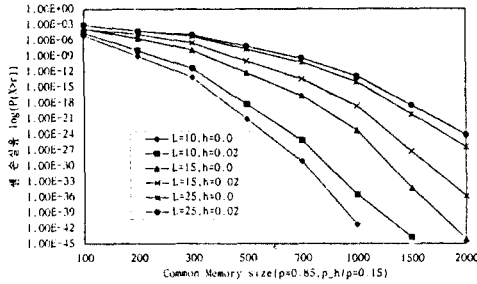
(a) 공통메모리 크기에 따른 셀손실율
(a) Cell loss ratio



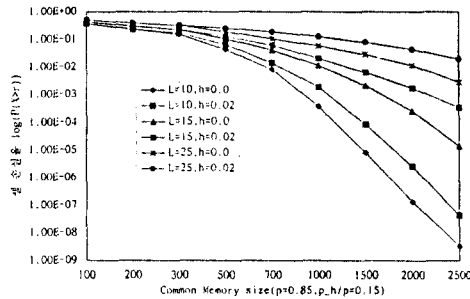
(b) 공통메모리 크기에 따른 셀 지연
(b) Cell delay

그림 4. 공통메모리 크기에 따른 셀손실율과 셀 지연
Fig. 4. Cell loss ratio and cell delay for memory size

(그림 5(a))과 (그림 5(b)) $\rho=0.85$ 일 때, hot-spot 현상을 고려하여 burst의 길이의 변화에 따른 두 우선순위의 셀 손실율을 각각 보인 것이다. 그리고 (그림 6)은 burst의 길이와 전체 셀에 대한 평균 지연시간을 나타낸 것이다. 이들의 결과는 미리 예상할 수 있는 바와 같이 burst의 길이가 증가할 수록, 그리고 hot-spot현상이 존재할수록 셀 손실율과 평균 셀 지연시간이 증가함을 확인할 수 있다. 그러나 스위치의 수율(throughput)에서는 이와 반대의 현상을 나타낸다. 이것은 burst의 길이가 짧을수록 경로결정의 빈도가 증가하여 모든 출력포트에 골고루 셀들이 분포할 가능성을 증가시키기 때문으로 해석할 수 있다.



(a) 높은 우선순위의 셀 손실율
(a) Cell loss ratio for high priority



(b) 낮은 우선순위의 셀 손실율
(b) Cell loss ratio for low priority

그림 5. Burst길이에 따른 셀손실율
Fig. 5. Burst length vs. Cell loss ratio

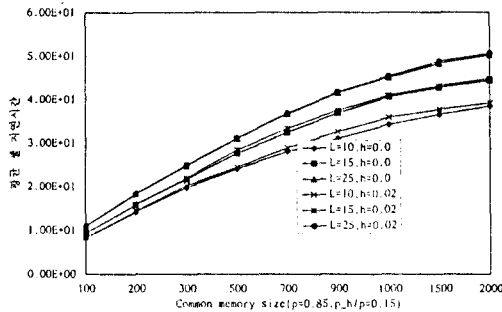


그림 6. Burst길이에 따른 평균 셀 지연
Fig. 6. Burst length vs. mean cell delay

IV. 결론 및 추후연구과제

본 고에서는 스위치 자체의 특성으로 인하여 일반적으로 분석이 어려운 공통메모리형 ATM 스위치의 성능을 평가하기 위하여 입력트래픽이 Bernoulli일 경우에는 1차원 Markov chain을 이용하는 해석적 모형을 구하고 bursty와 hot-spot을 고려한 입력 트

래픽인 경우에는 모의실험 모형을 개발하여 스위치의 성능을 분석하였다. 수치결과를 통해서 볼 때, random 트래픽의 경우 스위치의 성능을 향상시키기 위하여 공통메모리 크기의 단순한 증가보다는 운용규칙의 적절한 조절이 필요함을 확인할 수 있었다.

따라서 스위치의 성능개선을 위해서는 스위치의 운용에 관련된 모수의 최적치를 산정하는 연구가 필요하다 하겠다. 아울러 bursty와 hot-spot을 고려할 때에는 대략 random traffic에 비하여 현저한 성능저하를 가져옴을 확인할 수 있다. 그러나 실제 ATM 스위치의 경우, 특정 출력포트로 향하는 셀에 대한 제한을 주기위하여 address FiFO 버퍼의 용량이 유한적이다. 이러한 경우에는 hot-spot 출력포트에 입력되는 셀들이 다른 출력포트에 입력되는 셀들의 품질수준에 미치는 영향이 감소할 것이므로 스위치의 성능향상이 기대된다. 따라서 이에 대한 추후 연구를 통하여 스위치의 성능을 살펴볼 필요가 있다. 아울러 본고에서 고려한 단위 스위치를 기본으로 구성되는 스위칭 망의 성능에 대한 분석도 필요하겠다.

참고문헌

1. T.Chen, Project 552: ATM Switch Architecture Study, GTE Lab. Inc., October, 1992.
2. 한치문, "ATM 스위치 네트워크 기술", 텔레콤, 제7권, 제2호, 1991.
3. M.G. Hluchyj and M.J. Karol, "Queueing in high-performance packet switching", IEEE J. Select. Area Commun., SAC-6, No.9, pp.1587-1597, 1988.
4. H.Kuwahara, N.Endo, M.Ogino and T.Kozaki, "A shared buffer memory switch for an ATM exchange", Proc. of ICC' 89.
5. Y.Sakurai, N.Ido, S.Gohara, and N.Endo, "Large-scale ATM Multistage Switching Network with Shared Buffer Memory Switches", IEEE Communication Magazine, January, 1991.
6. A.E.Eckberg and T-C. Hou, "Effects of Output Buffer Sharing on Buffer

Requirements in an ATM Packet Switch", Proc. of IEEE INFOCOM' 88, New Orleans, pp29-31, 1988.

7. J.F. Meyer, S.Montagna, and R.Paglino, "Dimensioning of an ATM switch with shared buffer and threshold priority", Computer Networks and ISDN Systems,

vol.26, pp.95-108, 1993.

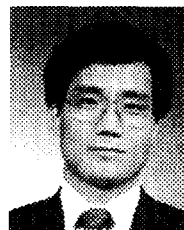
8. K. Rothermel, "Priority Mechanisms in ATM Networks, Proc. of INFOCOM '90, Philadelphia.
9. P.J. Burke, "Delays in Single-server Queues with Batch Input", Opns. Res., vol. 23, pp.830-833, 1975.



李 淳 昔 (Soon Seok Lee)

1988년 2월 : 성균관대학교 산업공학과(학사)
1990년 2월 : 성균관대학교 공학석사(O.R.)
1993년 8월 : 성균관대학교 공학박사 (Queueing theory & Stochastic Modeling)

1993년 7월~현재 : 한국전자통신연구소 선임연구원
교환기술연구단 교환방식연구실



姜 肇 烈 (Sungyeol Kang)

1981년 2월 : 서울대학교 학사(산업공학)
1981년 2월 : 서울대학교 석사(O.R.)
1992년 3월 : 미국 Georgia Tech 공학박사
(성능모델링 및 텔레트래픽이론)

1983년 3월~현재 : 한국전자통신연구소 선임연구원
교환기술연구단



金 煥 善 (Young Sun Kim)

1980년 2월 : 고려대학교 전자공학과(학사)
1982년 2월 : 고려대학교 대학원 전자공학과(석사)
1991년 : 고려대학교 대학원 전자공학과(박사)

1992년~현재 : 한국전자통신연구소 교환기술단 교환방식연구실



韓 致 文 (Chimoon Han)

1977년 2월 : 경북대학교 전자공학과(학사)
1983년 8월 : 연세대학교 대학원 전자공학과(석사)
1990년 9월 : 일본 동경대학 대학원 전기공학 박사

1977년 2월~1983년 3월 : 한국과학기술원(KIST) 연구원
1983년 4월~현재 : 한국전자통신연구소 책임연구원
교환기술연구단 계통연구부장