

GaAs MESFET을 이용한 X-Band 4-Bit Phase Shifter 설계

正會員 金廷洙, 具然健*

A Study on the Design of X-Band 4-Bit Phase Shifter Using GaAs MESFETs

Jung Soo Kim, Yeon Geon Koo* Regular Members

要 約

GaAs MESFET 스위치 모델링으로부터 소자의 등가모델 파라미터를 추출한 후 on상태와 off상태의 스위치 등가회로를 이용하여 X-band 주파수 대역에서 동작하는 4-비트 디지털 passive phase shifter를 구성하였다. 22.5°와 45°의 위상 비트 회로는 loaded line 회로로 설계하고 90°와 180°의 위상 비트 회로는 switched line 회로로 설계하였으며 시뮬레이션과 회로를 최적화한 후 마이크로 스트립 기판위에 제작하였다.

ABSTRACT

In this paper a X-band 4-bit phase shifter is designed and fabricated applying loaded line types to 22.5° phase bit and 45° phase bit and also switched line types to 90° phase bit and 180° phase bit respectively on microstrip substrate using packaged GaAs MESFETs as switch devices and the GaAs MESFET switch modeling techniques and design techniques for each phase bit are represented. On this basis the switch model parameters are extracted, a 4-bit digital phase shifter circuit is constructed on microstrip substrate, and 16step phase shifts and insertion losses are measured.

* 홍익대학교 교수

論文番號 : 94353-1207

接受日字 : 1994年 12月 7日

이 논문은 1994년도 홍익대학교 학술연구 조성비에 의하여 연구되었음.

I. 서 론

Phase shifter는 PSK(Phase Shift Key)통신 시스템 및 소형 이동통신 장치와 위상배열 레이다 시스템, 마이크로웨이브 계측장비등에 사용되는 범용 마이크로웨이브용 부품이며 삽입손실을 거의 가지지 않고 RF신호의 위상을 변화시키는 전장치로 많은 연구가 진행되어 왔다⁽¹⁾⁽²⁾⁽³⁾⁽¹²⁾⁽¹³⁾.

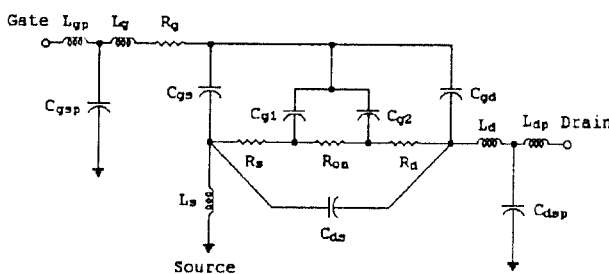
스위치로 사용할 때 GaAs MESFET은 핀(p-i-n) 다이오드보다 빠른 수 나노 초(nano second)이하의 스위칭 속도를 가지며 직류 전력을 거의 소모하지 않는다. 또한 phase shifter용용시 바이어스 회로가 간단하고 MMIC(Monolithic Microwave Integrated Circuit)기술의 발전으로 단일 칩상에 구현이 수월한 장점을 지니고 있다.

본 연구에서는 패키지 형태의 GaAs MESFET을 사용하여 소자의 스위치 등가 모델을 구성한 후 각각의 모델 파라미터들을 측정치로부터 추출하였으며 on상태와 off상태의 스위치 등가회로로부터 전달 계수의 위상 변화의 차이를 이용하는 디지털 형태의 단일 위상 비트 회로들을 설계하였다. 또한 위상오차와 삽입손실을 최소화하는 순서로 단일 위상 비트 회로들을 종속 결합하여 X-band 주파수 대역에서 동작하는 4-비트 passive phase shifter를 구현하였으며 MDS(Microwave Design System)로 시뮬레이션과 회로를 최적화한 후 마이크로 스트립 기판위에 제작하였다.

II. GaAs MESFET RF 스위치 등가 모델

그림1은 본 연구에 적용한 NE71084 GaAs MESFET의 두 상태에 해당하는 스위치 등가회로이다. 이 등가회로에서 게이트 바이어스가 0V일 때 게이트 아래에는 매우 작은 결핍 층이 존재하게 되고 포화 채널전류 이하의 전류레벨에 대해서는 MESFET은 하나의 선형 저항으로 모델화할 수 있다. 충분히 큰 음의 전압이 게이트에 인가될 때 게이트 아래의 채널 영역은 완전히 결핍되고 이 결핍 영역에 의해 소스와 드레인 사이에 커패시턴스가 존재하게 된다. 결핍 층의 길이가 h이고 A가 액티브 층의 두께×게이트 폭으로 정의되는 면적일 때 이 결핍커패시턴스는 $C = \epsilon A/h$ 로 표현된다. 이 커패시턴스는 전도채널에 존재하지 않는 수 킬로 옴 정도의 값을 가지는 채널 저항에 병렬로 구성되며 이전의 모델 등에는 포함되지 않아 큰 오차를 가져왔다⁽⁵⁾. 또한 많은 스위치 응용에서 MESFET의 드레인 단자는 DC적으로 접지되지 않고 플로팅(floating)되므로 드레인 단자 끝에서의 게이트 커패시턴스와 소스 단자 끝에서의 게이트 커패시턴스는 서로 다르다⁽⁵⁾.

MESFET의 두 스위칭상태에 해당하는 등가회로 모델의 각 소자값들을 결정하기 위해 HP8510C network analyzer를 이용하여 2GHz에서 18GHz주파수까지 1GHz단계로 S-파라미터를 측정후 MDS로 측정치와 계산치가 일치하도록(curve fitting)하였다. 표



단위:L(nH), C(pF), R(Ω)

$L_g=0.403 R_g=2.860 C_{g1}=0.1362$

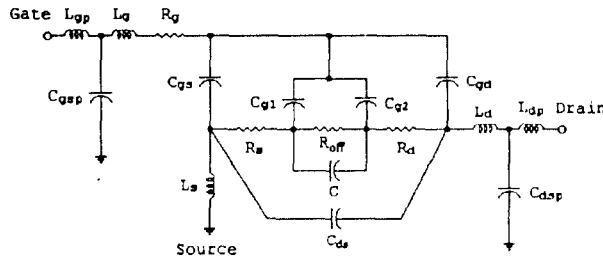
$C_{g2}=0.2519 R_{on}=8.35 R_d=2.98$

$L_d=0.500 R_s=0.230 L_s=0.165$

$C_{gs}=0.139 C_{ds}=0.0096 L_{gp}=0.26$

$C_{gp}=0.110 L_{dp}=0.354 C_{dp}=0.170$

(a) $V_g=0, V_{ds}=0$



단위: L(nH), C(pF), R(Ω)
 Lg=0.403 Rg=2.860 Cg1=0.0072
 Cg2=0.032 Roff=14.7K Rd=2.98
 Ld=0.500 Rs=0.230 Ls=0.165
 Cgs=0.139 Cds=0.0096 Lgp=0.26
 Cgp=0.110 Ldp=0.354 Cdp=0.170
 C=0.12

(b) $V_g=-5, V_{ds}=0$

그림 1. GaAs FET 등가회로 모델

1과 3은 측정된 S-파라미터값이고 표2와 4는 등가회로의 계산된 S-파라미터값이다.

II. 1 Loaded Line Phase Shifter 회로

Loaded line phase shifter는 서로 대칭적이며 스위칭이 가능한 한 쌍의 리액티브성분을 전송선로에 연결하여 두 스위칭상태의 전기적 길이를 달리함으로써 원하는 위상변화를 얻는 회로이다. 그림2는 전기적 길이가 θ_c 이고 특성 어드미턴스가 Y_c 인 선로에 스위칭이 가능한 한 쌍의 어드미턴스 $Y_{si}=G_{si}+jB_{si}$ 를 선트로 연결한 shunt-loaded 형태의 phase shifter 회로이다.

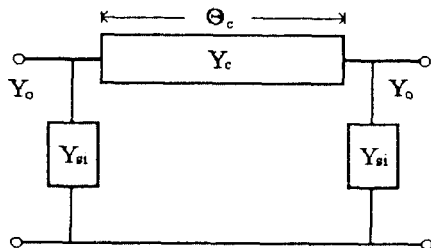


그림 2. loaded line phase shifter 회로

손실이 없는 경우의 설계식은 회로의 ABCD matrix에 입력정합조건을 적용하고 $G_{si}=0$ 으로 놓으면

$$Y_c = Y_0 \sin \theta_c \sec \left(\frac{\Delta \phi}{2} \right) \tag{1}$$

$$B_{si} = Y_0 \left[\cos \theta_c \sec \left(\frac{\Delta \phi}{2} \right) \pm \tan \left(\frac{\Delta \phi}{2} \right) \right], \tag{2}$$

$i=1,2$

와 같이 얻을 수 있다. 여기서 Y_c 는 선로의 특성 어드미턴스이고 G_{si} 와 B_{si} 는 loading 어드미턴스의 컨덕턴스와 서셉턴스이며 첨자 i 는 스위칭 상태를 나타낸다. Loading 어드미턴스가 손실을 가지는 경우, 즉 $G_{si} \neq 0$ 일 때는 입력정합조건으로부터

$$G_{si}(\cos \theta_c - 2B_{si} Z_c \sin \theta_c) = 0 \tag{3}$$

$$Y_0^2 \sin^2 \theta_c = 2B_{si} Y_c \cos \theta_c + (Y_c^2 + G_{si}^2 - B_{si}^2) \sin^2 \theta_c \tag{4}$$

이어야 한다. 하지만 식(3)은 B_{si} 의 한 값에만 만족될 수 있으므로 위상 스위칭동안 입력 정합이 유지되지 않는다. 만약 식(4)를 만족하면서 G_{si} 가 작은 값을 가질 때 손실이 없는 경우로 접근할 수 있고 90° 주위에서 대칭

표 1. 측정된 S-파라미터 ($V_g=0, V_{ds}=0$)

| Freq(GHz) | S11 | | S12 | | S21 | | S22 | |
|-----------|-------|---------|-------|---------|-------|---------|-------|--------|
| | mag | phase | mag | phase | mag | phase | mag | phase |
| 8.0 | 0.840 | 177.410 | 0.240 | 13.850 | 0.250 | 14.000 | 0.710 | 76.120 |
| 9.0 | 0.830 | 151.450 | 0.260 | -2.340 | 0.270 | -2.310 | 0.710 | 64.390 |
| 10.0 | 0.830 | 128.990 | 0.270 | -16.900 | 0.270 | -16.870 | 0.720 | 54.170 |
| 11.0 | 0.830 | 115.920 | 0.270 | -26.730 | 0.270 | -26.760 | 0.710 | 45.710 |
| 12.0 | 0.830 | 107.580 | 0.280 | -35.260 | 0.280 | -35.240 | 0.690 | 37.550 |
| 13.0 | 0.810 | 93.450 | 0.300 | -46.720 | 0.300 | -46.760 | 0.690 | 29.160 |

표 2. 등가회로의 계산된 S-파라미터 ($V_g=0, V_{ds}=0$)

| Freq(GHz) | S11 | | S12 | | S21 | | S22 | |
|-----------|-------|---------|-------|---------|-------|---------|-------|--------|
| | mag | phase | mag | phase | mag | phase | mag | phase |
| 8.0 | 0.828 | 171.057 | 0.231 | 8.196 | 0.231 | 8.196 | 0.686 | 76.342 |
| 9.0 | 0.821 | 151.675 | 0.252 | -3.326 | 0.252 | -3.326 | 0.693 | 65.962 |
| 10.0 | 0.818 | 134.283 | 0.269 | -14.283 | 0.269 | -14.283 | 0.699 | 55.583 |
| 11.0 | 0.818 | 118.752 | 0.285 | -24.727 | 0.285 | -24.727 | 0.702 | 45.856 |
| 12.0 | 0.819 | 104.859 | 0.299 | -34.761 | 0.299 | -34.761 | 0.703 | 35.802 |
| 13.0 | 0.821 | 92.353 | 0.313 | -44.517 | 0.313 | -44.517 | 0.702 | 25.505 |

표 3. 측정된 S-파라미터 ($V_g=-5, V_{ds}=0$)

| Freq(GHz) | S11 | | S12 | | S21 | | S22 | |
|-----------|-------|----------|-------|----------|-------|----------|-------|----------|
| | mag | phase | mag | phase | mag | phase | mag | phase |
| 8.0 | 0.940 | -101.430 | 0.210 | -19.340 | 0.210 | -19.360 | 0.940 | -112.720 |
| 9.0 | 0.930 | -114.560 | 0.220 | -35.440 | 0.220 | -35.500 | 0.920 | -132.170 |
| 10.0 | 0.910 | -133.580 | 0.220 | -55.640 | 0.220 | -55.650 | 0.920 | -151.480 |
| 11.0 | 0.910 | -152.740 | 0.180 | -76.590 | 0.180 | -76.640 | 0.930 | -170.190 |
| 12.0 | 0.940 | -166.080 | 0.130 | -92.050 | 0.130 | -92.100 | 0.930 | 171.590 |
| 13.0 | 0.950 | -177.560 | 0.110 | -104.330 | 0.110 | -104.350 | 0.940 | 154.310 |

표 4. 등가회로의 계산된 S-파라미터(Vg=-5, Vds=0)

| Freq(GHz) | S11 | | S12 | | S21 | | S22 | |
|-----------|-------|----------|-------|----------|-------|----------|-------|----------|
| | mag | phase | mag | phase | mag | phase | mag | phase |
| 8.0 | 0.947 | -99.912 | 0.198 | -19.822 | 0.198 | -19.822 | 0.947 | -115.851 |
| 9.0 | 0.937 | -115.957 | 0.202 | -36.946 | 0.202 | -36.946 | 0.940 | -134.134 |
| 10.0 | 0.929 | -132.929 | 0.194 | -54.643 | 0.194 | -54.643 | 0.935 | -152.972 |
| 11.0 | 0.923 | -150.654 | 0.173 | -72.602 | 0.173 | -72.602 | 0.933 | -172.019 |
| 12.0 | 0.920 | -168.832 | 0.139 | -90.394 | 0.139 | -90.394 | 0.933 | 169.089 |
| 13.0 | 0.918 | 172.938 | 0.096 | -107.341 | 0.096 | -107.341 | 0.933 | 150.663 |

적으로 $\Delta\theta/2$ 만큼씩 스위칭된다고 하면

$$Z_c = Z_o \frac{\cos \frac{\Delta\theta}{2}}{\sin \theta_c} (1 - G_{si}^2 Z_o^2 \cos^2 \frac{\Delta\theta}{2})^{-\frac{1}{2}} \quad (5)$$

$$\frac{B_{si}}{Y_o} = \frac{\cos \theta_c}{\cos \frac{\Delta\theta}{2}} \left[\frac{1}{m} + \frac{\sin^2 \frac{\Delta\theta}{2}}{\cos^2 \theta_c} \left(\frac{1}{m^2} - \frac{1}{m} \right) \right]^{\frac{1}{2}} \pm \frac{1}{m} \tan \frac{\Delta\theta}{2} \quad (6)$$

와 같은 설계식을 얻을 수 있다. 여기서 $m \equiv 1 + (\cos \theta_c / Q_L)^2$ 이고 $Q_L \equiv |B_{si}| / G_{si}$ 이며 Q_L 이 클 때 식(6)으로부터 계산된 loading 어드미턴스는 손실이 없는 경우의 식에 의한 값과 거의 차이가 없게 된다. Loading Q_L 의 정의를 사용하면 loaded-line phase shifter의 삽입손실은

$$IL(dB) = -20 \left[\log \left(1 + \frac{B_{si} Z_o}{Q_L} \right) + \frac{1}{2} \log \left(1 + \left(\frac{B_{si} Z_o \sin \theta_c}{Q_L} \right)^2 \right) \right] \quad (7)$$

이 된다.

2 Switched Line Phase Shifter 회로

Switched line phase shifter는 길이가 다른 두 전송선로를 스위칭하여 위상변화를 얻는 시간지연 회로로 직렬구성(series-mounted) 스위치를 사용하는 회로와 선트구성(shunt-mounted) 스위치를 사용하는 회로로 구분된다. 두 스위칭 상태에 의한 위상변화의 차이 $\Delta\theta$ 는 $\beta(l_2 - l_1)$ 로 주어지며 여기에서 β 는 전송선로의 전파상수이고 l 은 전송선로의 길이이다. 스위치가 이상적이지 못할 때 직렬구성(series-mounted) 스위치를 사용하는 회로는 off경로의 실효 길이가 반파장 또는 반파장의 정수배가 되는 주파수에서 공진을 일으키게 되며 이 문제는 선트구성 스위치를 사용함으로써 다소 극복될 수 있다. 실제적인 스위칭소자로 구성된 선트구성 스위치를 사용하는 회로의 삽입손실은 두 스위칭상태에서 거의 동일하고 위상변화에 무관하다⁽²⁾. 그림3은 선트구성(shunt-mounted) MESFET을 사용하는 회로로서 MESFET은 주 교차점(main junction)에서 $\lambda_0/4$ 떨어진 점에 위치하여 on경로에 큰 아이솔레이션을 제공한다.

Even-odd 모드 해석으로부터 선트 MESFET switched line phase shifter의 전달계수를 구하면

(a) MESFET F_1 , F_2 가 on상태이고 F_3 , F_4 가 off상태일 때

$$S_{21}^{(a)} = |S_{21}^{(a)}| e^{j\phi} = \frac{V_B^* + V_B}{V_o/2}$$

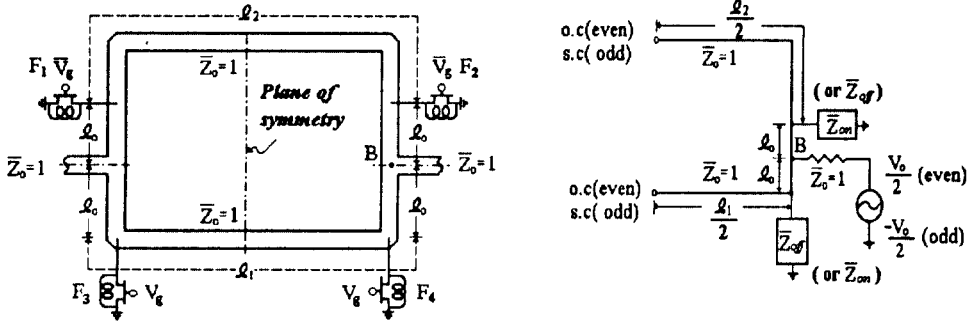


그림 3. switched line phase shifter 회로

$$\begin{aligned}
 &= \left[\frac{V_o/2}{(1+Y_B^*)} + \frac{-V_o/2}{(1+Y_B^*)} \right] / \frac{V_o}{2} \\
 &= \left[\frac{1}{1+Y_B^*} - \frac{1}{1+Y_B^*} \right]
 \end{aligned} \tag{8}$$

와 같이 표현되고 B점에서 본 대칭 평면까지의 even 모드 어드미턴스 \bar{Y}_B^e 는

$$\begin{aligned}
 \bar{Y}_B^e &= \frac{\bar{Z}_{on} \left(\tan \frac{\beta l_2}{2} \cot \beta l_o + 1 \right) - j \cot \beta l_o}{1 - j \bar{Z}_{on} \left(\cot \beta l_o - \tan \frac{\beta l_2}{2} \right)} \\
 &+ \frac{\bar{Z}_{off} \left(\tan \frac{\beta l_1}{2} \cot \beta l_o + 1 \right) - j \cot \beta l_o}{1 - j \bar{Z}_{off} \left(\cot \beta l_o - \tan \frac{\beta l_1}{2} \right)}
 \end{aligned} \tag{9}$$

이 되며 odd 모드 어드미턴스 \bar{Y}_B^o 는

$$\bar{Y}_B^o = \frac{\bar{Z}_{off} \left(1 - \cot \frac{\beta l_1}{2} \cot \beta l_o \right) - j \cot \beta l_o}{1 - j \bar{Z}_{off} \left(\cot \beta l_o + \cot \frac{\beta l_1}{2} \right)}$$

$$\begin{aligned}
 &\bar{Z}_{on} \left(1 - \cot \frac{\beta l_2}{2} \cot \beta l_o \right) - j \cot \beta l_o \\
 &+ \frac{\bar{Z}_{on} \left(1 - \cot \frac{\beta l_2}{2} \cot \beta l_o \right) - j \cot \beta l_o}{1 - j \bar{Z}_{on} \left(\cot \beta l_o + \cot \frac{\beta l_2}{2} \right)}
 \end{aligned} \tag{9}$$

이 된다.

(b) MESFET F_1, F_2 가 off상태이고 F_3, F_4 가 on상태일 때

$S_{21}^{(b)} = |S_{21}^{(b)}| e^{j\theta}$ 은 식(8), (9)에서 \bar{Z}_{on} 과 \bar{Z}_{off} 를 서로 바꿈으로써 얻을 수 있다. 그러므로 위상변화의 차이는 $\Delta\theta = (\theta_b - \theta_a)$ 로 주어지고 삽입손실은 식(10)으로부터 구해진다.

$$\begin{aligned}
 \text{삽입손실 } \alpha(\text{dB}) &= 20 \log_{10} |S_{21}^{(a)}| \\
 &20 \log_{10} |S_{21}^{(b)}|
 \end{aligned} \tag{10}$$

Ⅲ. 4-bit digital phase shifter 설계 및 제작

4-비트 디지털 phase shifter의 설계는 22.5° 위상 비트와 45° 위상 비트에 대해서는 loaded line 회로로 구성하고 90° 위상 비트와 180° 위상 비트에 대해서는 switched line 회로로 구성하였으며 마이크로 스트립 기판위에 구현할 때 삽입손실을 최소화하고 위상오차를 줄이기 위해 단일 위상 비트들의 종속결합 순서를 달리 하였다. 22.5°와 45° 위상 비트에 대해서는 MESFET 들이 외부 바이어스에 의해 동시에 on또는 off될 때 "1" 또는 "0" 상태 이고 90°와 180° 위상 비트에 대해서는 위쪽 경로에 놓인 MESFET들이 on상태를 유지하고 동시에 아래쪽 경로에 놓인 MESFET들이 off상태를 나타내거나 그 반대의 스위칭 상태를 나타낼 때 "1" 또는 "0" 상태이다. 모든 위상 비트들이 "0"의 스위칭상태일 때 출력되는 RF신호의 위상을 기준위상(reference phase)으로 정의하고 스위칭 상태에 따라 출력되는 신호의 위상은 22.5°만큼씩 점차적으로 증가한다.

Ⅲ.1 단일 위상 비트 회로 설계

Ⅲ.1.1 22.5° 위상 비트 및 45° 위상 비트 회로 설계

22.5° 위상 비트와 45° 위상 비트는 loaded line 형태를 사용하여 설계하였으며 두 위상상태에서 주 RF선로(main line)에서 들여다 본 부하들이 서로 다른 두 값을 취해야 한다. 하지만 스위칭 소자들의 임피던스는 주 선로(main line)에 대해 적절한 임피던스를 제공하

지 못하므로 임피던스를 변환하여야 한다. 따라서 설계 주파수 대역에서 일정한 위상변화를 제공하도록 각 스테르는 3단 임피던스 변환 및 정합 회로로 적절히 설계 하였으며 스테르의 끝은 3- μm 게이트 길이를 가지는 MESFET으로 종단시켰고 입력 단과 출력 단은 50 Ω 선 로로 구성하였다. 또한 게이트 단자에 저 대역 통과 여 파기를 연결하여 바이어스 회로에 RF적 개방회로로 보이도록 설계 하였으며 10GHz에서 11GHz주파수 대역에서 22.5°와 45° 위상 비트에 대해 0.2°와 0.4°의 최대 위상오차와 약 2.2 dB와 3.4dB의 최대 삽입손실을 각각 얻었다.

Ⅲ.1.2 90° 위상 비트 및 180° 위상 비트 회로 설계

90° 위상 비트와 180° 위상 비트는 switched line 형태를 사용하여 설계하였으며 주 선로(main line)의 임피던스는 50 Ω 이고 단락 스테르는 MESFET의 off상태 임피던스를 보상하기 위해 사용하였다. MESFET은 on경로에 큰 아이슬레이션을 제공하도록 주 선로의 T형 교차점에서 각각 0.25 λ 떨어진 위치에 놓고 게이트 단자에 저 대역 통과 여파기를 구성하여 바이어스 회로에 대해 RF적 개방회로로 보이도록 설계하였으며 10GHz에서 11GHz주파수 대역에서 1°와 0.5°의 최대 위상오차와 약 4.6dB와 4.3dB의 최대 삽입손실을 각각 얻었다.

Ⅲ.1.2 4-bit phase shifter 설계

모든 위상 비트들에 대해 스위칭은 단지 게이트 전압

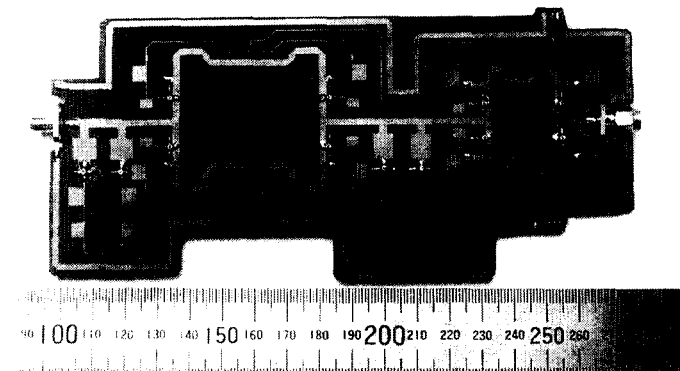


그림 4. 제작된 4-bit phase shifter circuit

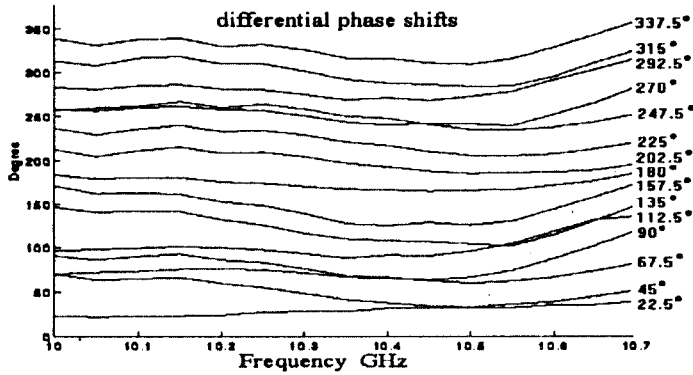


그림 5. 측정된 16상태 differential phase shift

표 5. 측정된 RMS 위상오차

| | | | | | | | | |
|-----------------------|-------|-------|-------|-------|-------|-------|-------|-------|
| freq. (GHz) | 10.00 | 10.05 | 10.10 | 10.15 | 10.20 | 10.25 | 10.30 | 10.35 |
| RMS Phase Error(Deg.) | 13.4 | 11.1 | 11.6 | 12.7 | 10.2 | 11.0 | 13.4 | 18.2 |
| freq. (GHz) | 10.40 | 10.45 | 10.50 | 10.55 | 10.60 | 10.65 | 10.70 | |
| RMS Phase Error(Deg.) | 19.3 | 20.7 | 21.4 | 19.5 | 12.3 | 9.3 | 16.2 | |

으로 제어되고 phase shifter의 동작에 있어 이외의 다른 바이어스 전압을 요구하지 않기 때문에 마이크로 스트립 선로는 DC전압에 무관하며 사실상 DC적으로 접지 되어 있다. 따라서 각 위상 비트 회로 사이에 DC 차단을 위한 커패시터들이 필요 없게 된다. 그림4는 두께 0.7874mm, 비유전율 2.33인 3M사의 LX-0310-33 tefflon기판위에 제작된 4-비트 phase shifter 회로이고 삽입손실을 줄이기 위해 22.5° 위상 비트, 90° 위상 비트, 45° 위상 비트, 180° 위상 비트 회로 순으로 결합하였다.

IV. 실험결과 및 검토

그림5는 10GHz에서 10.70GHz범위에서 측정된 위상변화의 차이를 보인 것이고 표5는 위상변화의 차이의

RMS 위상오차를 나타낸다. 제작된 4-비트 디지털 phase shifter의 위상별 특성은 중심주파수 10.35GHz에서 12.3 dB의 삽입손실을 가지면서 22.5° 위상 비트와 45° 위상 비트에 대해서는 28.1°와 41.7°의 위상변화가 측정되었고 90° 위상 비트와 180° 위상 비트에 대해서는 67.0°와 167.6°의 위상변화가 각각 측정되었다. 최대 RMS 위상오차는 10.5GHz에서 21.4°를 나타냈으며 측정 주파수 전 대역에서 양호한 위상변화 특성을 얻었다.

V. 결론

MESFET소자를 스위치 등가모델화한 후 $V_g=0V$ 와 $V_g=-5V$ 에서의 S-파라미터를 사용하여 등가회로의 각

소자 값들을 결정했으며 두 상태의 스위치 등가회로를 이용하여 X-band 주파수 대역에서 동작하는 4-비트 phase shifter를 설계했다. 제작된 4-비트 phase shifter는 측정 주파수 전 대역에서 양호한 위상변화특성을 나타냈으며 MMIC로의 집적화를 통하여 위상 배열 안테나 응용 및 phase shifter를 이용한 가변 전력 분배기와 마이크로웨이브 frequency translator, 소형 이동통신용 부품등과 같은 마이크로웨이브 부품 분야 및 밀리미터웨이브 주파수 대역에서 활용이 증대되리라 전망된다.

참 고 문 헌

1. Kenzo Watanabe, Masaki Arima, and Tatsuo Yamamoto, "Graph Design of p-i-n Diode Phase Shifters" *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-29, August 1981, pp.829-831.
2. Shiban K.Koul, Bharathi Bhat, *Microwave and Millimeter Wave Phase Shifters*, Artech House, 1991.
3. Yalcin Ayasli, Aryeh Platzker, James Vorhaus, and Leonard D.Reynolds, "A Monolithic Single-Chip X-Band Four-Bit Phase Shifter," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-30, December 1982, pp.2201-2206.
4. Yalcin Ayasli, "Microwave Switching with GaAs FETs," *Micro wave. J.*, November 1982, pp.61-74.
5. L.Chainulu Upadhyayula, Raymond L.Camisa, Gordon Taylor, S.N. Subbar ao, and S.G.Liu, "Passive GaAs FET Switch Models and Their Application in Phase Shifters," *IEEE MTT-S Digest*, 1987, pp.903-906.
6. Anand Gopinath, and Bruce Rankin, "GaAs FET RF Switches, *IEEE Trans.on Electron Devices*, Vol. ED-32, July 1985, pp.1272-1278.
7. Harry A. Atwater, "Circuit Design of the Loaded-Line Phase Shifter", *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-33, July 1985, pp.626-634.
8. I.J.Bahl, and K.C.Gupta, "Design of Loaded-Line p-i-n Diode Phase Shifter Circuits," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-28, March 1980, pp.219-224.
9. Hans-Olof Vikes, "Determination of Intrinsic FET Parameters Using Circuit Partitioning Approach," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-39, February 1991, pp.363-366.
10. J.A.Pl and W.Struble, "Nonlinear Model For Predicting Intermodulation Distortion In GaAs FET RF Switch Devices," 1993 *IEEE MTT-S International Microwave Symposium Digest*, Vol. 2, June 14-18 1993, pp.641-644.
11. A.Werthof, F.van Raay, and G.Kompa, "Direct Nonlinear Power Mesfet Parameter Extraction and Consistent Modeling," 1993 *IEEE MTT-S International Microwave Symposium Digest*, Vol. 2, June 14-18 1993, pp.645-648.
12. Consrantine Andricos, Inder J.Bahl, and EdwardL.Griffin, "C-Band 6-Bit GaAs Monolithic Phase Shifter," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-33, December 1985, pp.1591-1596.
13. Vladimir Sokolov, John J.Geddes, A.Contolatis, Paul E.Bauhahn, and Chente Chao, "A Ka-Band Monolithic Phase Shifter," *IEEE Trans. on Microwave Theory and Tech.*, Vol. MTT-31, December 1983, pp.1077-1083.



金 廷 洙(Jung Soo Kim) 정희원

1967년 2월 25일생

1992년 2월 : 홍익대학교 전자공학과 졸업(공학사)

1995년 2월 : 홍익대학교 대학원 전자공학과 졸업(공학석사)

1995년 1월~현재 : 현대전자 위성사업단 근무

*주관심 분야 : 저궤도 위성통신 시스템, 이동통신 시스템