

## 900 MHz 대역의 이동통신용 전압제어 발진기의 더 높은 고주파 대역에서의 적용 가능성에 대한 검토

正會員 廉京煥\*, 李明成\*\*

A Study on the employment of the voltage controlled oscillator used in 900MHz mobile communication for higher frequencies

Kyung Whan Yeom\*, Myung Sung Lee\*\* Regular Members

### 要 約

900MHz 대역의 이동통신에서, 상용으로 널리 사용되는 2개의 bipolar transistor를 이용한 전압제어 발진기 회로는 다른 발진기회로에 비해 표면실장형 소자를 사용 소형으로 제작될 수 있는 장점을 가지고 있으며, 이를 사용 제작된 발진기는 낮은 DC 전류소모와, 낮은 C/N, 및 낮은 S/N 특성을 보여주고 있다.

본 고에서는 이러한 장점을 지니고 있는 상기 언급한 회로에 대하여 더 높은 주파수에서의 사용 시 능동소자 선정에 대해서 고찰하였다. 능동소자 선정시 최대 발진 가능 주파수는 device 뿐만 아니라 주변회로의 영향으로 인해 능동소자가 지니는 이론적인 발진가능 주파수  $f_{max}$ 에 훨씬 못 미치는 하한 주파수  $f_T \sqrt{R_{eq}/r_{bb}}$ 에서 제한된다는 것이 제시되었다. 또한 이 식의 산출시 필요한 등가회로 값을 S-parameter를 이용 추출하는 방법이 제시되었다. 결과 식의 검증은 MDS S/W 상에서 직접 소신호 S-parameter를 이용한 것과 비교되었으며 실제 발진 가능 주파수의 경우 잘 일치하고 있으나 최대 발진 가능 주파수의 경우는 다소간의 차이를 보이고 있다.

### ABSTRACT

In mobile communication system using 900 MHz frequency spectrum, there widely used the VCO circuit composed of two bipolar transistors because, compared with other VCO circuits, it can be implemented in small area with the surface mountable chip components. Furthermore the implemented circuit gives the merits such as low DC current consumption, low S/N, and low C/N.

In this paper, because of the merits of this VCO circuit, the problem of the selection of active devices is analyzed in case of the

\*(주) 엘 티 아이

L T I

\*\*한국통신 연구개발원 시스템 개발센터 휴대접속팀

KTSDC Korea Telecommunication

論文番號 : 95142-0410

接受日字 : 1995年 4月 10日

employment this circuit in higher frequencies. As a result, we found this circuit can not give the oscillation above  $f_T \sqrt{R_{eq}/r_{bb}}$  which is far below  $f_{max}$ . Also for the computation of the above formula, the method is suggested for the extraction of small signal model from measured S-parameters. This formula is verified by comparing with the results directly obtained from its measured S-parameters. The practical maximum oscillation frequency gives the good agreement but the maximum oscillation frequency shows slight difference.

## I. 서론

최근 900 MHz 대역의 휴대전화기, 코드리스 전화기를 이용한 이동통신에 대한 수요는 급증하고 있는 추세이다. 이에 기존의 휴대전화기보다, 좀 더 많은 가입자에게 서비스를 제공할 수 있는 차세대 전화기가 구상되고 있으며, 이들의 사용주파수 대역은 이 보다 높은 2GHz 대역으로 확정될 것이 분명해진다.<sup>(1)</sup>

그러나 신규로 제공될 이동통신용 단말기에서도 사용대역을 이용, 다수의 가입자에게 서비스하기 위해서는 대역 내의 channel 선택을 위한 국부발진기로서의 주파수 합성기가 필요하게 된다. 이러한 주파수합성기는 위상 동기회로(phase lock loop)로 구성되며, 위상 동기회로는 전압제어 발진기, 저역역파기, PLL IC의 부분품으로 구성된다. 결과적으로 대역 내 channel 선택을 위해서는 2GHz 대역에서 발진하는 전압제어발진기가 필연적으로 필요하게 된다.

이러한 전압제어발진기로서는 낮은 C/N, S/N을 가져야하며, handset의 battery 소모를 줄이기 위해 전류소모가 적어야 한다. 또한 휴대 성을 위해 소형 경량화 되는 것이 필요하다. 900MHz 근처의 이러한 복합적인 사양을 만족시키는 전압제어발진기로서는 그림 1과 같은 회로 형식의 전압제어 발진기가 상용화되어 널리 쓰이고 있다.<sup>(2)</sup> 이 전압제어발진기의 특징은 RF choke 및 공진기를 제외한 모든 수동 부품이 저항과 capacitor로 되어 있어, 최근 소형화된 1005형 같은 소형 chip 부품들로 소형화하는 것이 가능하며, 공진기의 경우 다층기판 공진기를 사용 실장면적을 크게 줄일 수 있는 점이다.

본 고에서는 상기 언급된 장점을 지니고 있는 그림 1과 같은 VCO(Voltage Controlled Oscillator)가 더 높은 주파수대역으로 적용할 때 능동소자 선정에 관한

것이다. 과거 이러한 능동소자 선정은 적절한 판별 방법이 없어 능동소자 자체의 최대 발진 주파수  $f_{max}$ 가 주어질 동작 점에서 설계코저하는 발진 주파수 보다 높은 것을 선정하여 왔다.

그러나 상기 언급된 전압제어 발진기와 같이 저 전압에서 동작하는 전압제어 발진기의 경우에는 본 고의 연구에 의하면 발진 상한 점은 능동소자 자체의  $f_{max}$  뿐만 아니라 주변 회로에 의해서도 영향을 받음을 알 수 있다. 따라서 대부분의 고주파 bipolar transistor의 최대 발진 주파수가 2GHz를 상회하고 있어서 문제시되지 않던 900MHz 대역에서의 능동소자 선정은 더 낮은 battery 전압 및 더 높은 주파수를 요구하는 다른 응용에는 주변회로의 발진 상한 점에 대한 영향이 결코 작지 않아서 더 높은 주파수로 상기회로를 적용시 문제를 발생시키게 된다. 본 고에서는 이러한 이유로 주변회로의 영향을 고려한 최대 발진 상한 점을 도출하였다.

상기회로의 이론적인 최대발진 주파수는 소신호 등가 model을 통한 부성 저항 해석으로 얻어 졌으며, 이렇게 얻어진 최대발진주파수에 대해 더 높은 주파수에서 발진을 제한하는 device 및 회로적 요소가 조사되었다. 또한 이 것의 계산에 필요한 측정된 S-parameter로부터 고주파 bipolar transistor의 간략한 소신호 등가 회로를 얻는 새로운 방법이 제시되었다. 결과 식의 검증은 직접 S-parameter를 통해 얻어진 계산 결과와 결과 식으로부터 얻어진 값의 비교를 통해 보여졌다.

## II. 900 MHz 상용 전압제어 발진기 해석

### 1. 회로적 동작원리

그림 1의 회로에서 저항  $R_1$ ,  $R_2$ ,  $R_3$  및  $R_B$ 는 transistor  $Q_1$  및  $Q_2$ 의 동작 점을 결정하는 bias 저항이다. 즉 DC bias 단자에 인가된 전압은 transistor  $Q_1$ 과

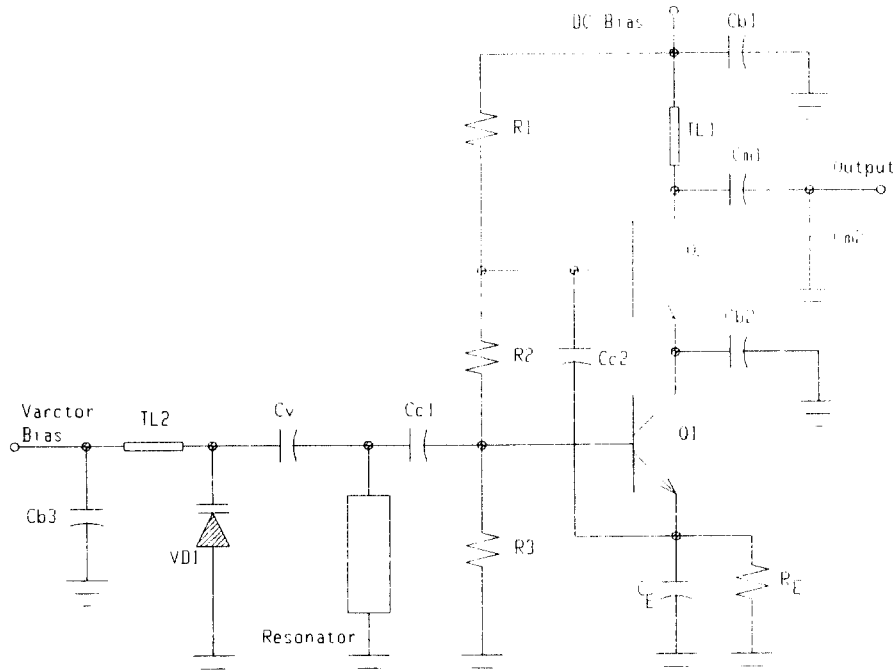


그림 1. 900 MHz 대역에서 사용되는 상용 전압제어 발진기

$Q_2$ 에 흐르는 base current를 무시할 때에 저항  $R_1$ ,  $R_2$ ,  $R_3$ 는 전압 분배기로 동작하여, 각각 transistor  $Q_1$ 과  $Q_2$ 의 base에 적정전압이 걸리게 한다. 따라서 이 분배된 전압으로부터 transistor  $Q_1$ 에는 RE에 의해 결정된 emitter 전류가 흐르게된다. 또한 transistor  $Q_2$ 에 흐르는 emitter 전류는 이 전류와 같음을 알 수 있다. 그러므로 DC bias 단자에는 이 emitter 전류와 전압 분배기  $R_1$ ,  $R_2$ ,  $R_3$  branch로 흐르는 전류의 합이 흐르게 된다. 만약 transistor  $Q_1$ 과  $Q_2$ 가 각각 따로 전류가 흐르게 될 경우는 이 전류의 거의 2배가 흐르게 되어 DC 전류 소모가 커지게 될 것이다. 이와 같이 상기 언급한 방법으로 이 회로는 DC 소모전류의 최소화를 기하고 있다.

Capacitor  $C_{b1}$ 은 transistor  $Q_1$  및  $Q_2$ 에 전원을 공급하기 위한 bypass capacitor로서 capacitance 값이 커서 동작 주파수에서는 단락의 상태로 보이게 되어 있어, DC 전원의 유효성을 막고 회로 내의 고주파 전력이 bias부로 누설되는 것을 막고 있다. Capacitor  $C_{b2}$

는 transistor  $Q_1$  및  $Q_2$ 의 접지상태를 결정하기 위한 것으로, 그 값이 커서 단락 상태가 되어 고주파에서 접지 점을 마련하고 있다. 이 capacitor에 의해 동작 주파수에서는 transistor  $Q_2$ 는 common emitter 상태가 되며,  $Q_1$ 의 경우는 common collector로서 동작하게 된다.

Capacitor  $C_E$ 는 common collector 상태에 있는 transistor  $Q_1$ 의 base 쪽에 들여다본 impedance에 부저항을 만들기 위한 capacitor로서 사용주파수에서 그 impedance 값은 저항  $R_E$ 에 비해 작도록 설정되어,  $R_E$ ,  $C_E$  병렬 branch의 impedance 값은 거의 동작 주파수에서는  $C_E$ 에 의해 결정되게 된다. Capacitor  $C_{c1}$ 는 capacitor  $C_E$ 에 의해 생성된 부저항을 resonator에 coupling시키기 위한 것이고, capacitor  $C_{c2}$ 는 transistor  $Q_1$ 의 부저항을 통해 얻어진 발진 전압을 common emitter 상태에 있는 transistor  $Q_2$ 에 전달하기 위한 capacitor이다. 반면 이 transistor  $Q_2$ 의 입력은 transistor  $Q_1$ 에 부하로 작용하여 발진

transistor  $Q_1$ 의 emitter에는 동작 주파수에서  $C_{e2}$ 와 transistor  $Q_2$ 의 base-emitter간의 직렬연결이 capacitor  $C_E$ 에 병렬로 추가되게 된다. 이 transistor  $Q_2$ 는 base에 인가된 전압을 증폭시키는 역할을 하며, 이 증폭된 출력은 전송선  $TL_1$  및 capacitor  $C_{m1}$  및  $C_{m2}$ 를 통해 부하 50 ohm에 최대의 전력이 전달되도록 정합 된다.

Capacitor  $C_{b3}$ 는 varactor diode  $VD_1$ 에 조정전압을 인가하기 위한 bypass capacitor로서 이 것의 impedance는 동작주파수에서 단락으로 동작하게 된다. 전송선  $TL_2$ 는 varactor에 전원을 공급하기 위한 choke이며, capacitor  $C_v$ 는 varactor diode의 주파수 조정 범위를 조정하기 위한 capacitor이다. 이  $C_v$ ,

$VD_1$  branch는 resonator에 병렬로 연결되어 1/4파장 공진기의 병렬공진주파수를 인가전압에 따라 조정되게 한다.

결론적으로 transistor  $Q_1$ 에 의해 resonator와 함께 발진을 얻으며, 이 전력의 일부는 transistor  $Q_2$ 에 입력되어 증폭된 후 정합회로를 통해 출력되는 구조이다.

2. 기존 전압제어 발진기의 최대발진 주파수 도출

그림 1의 회로에서 동작 주파수에서 기능이 없는 부분을 제거하고 다시 그리면 그림 2와 같다. 그림2에는 앞서 언급한 동작원리에 따라 기능에 따라 각 부위 별로 그렸다.

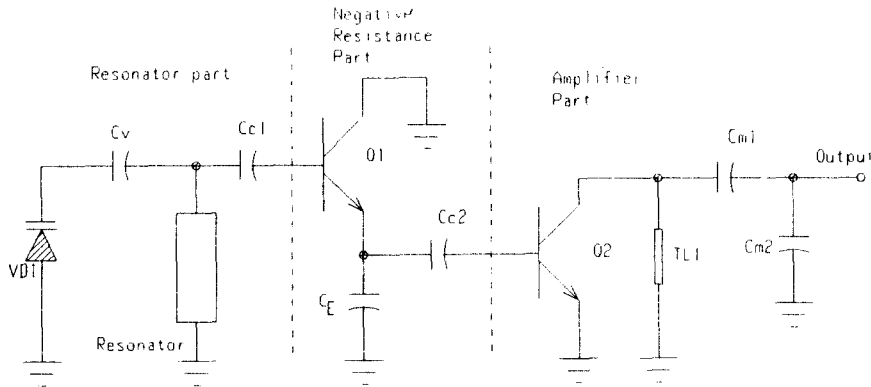


그림 2. 동작 주파수 대에서 등가회로

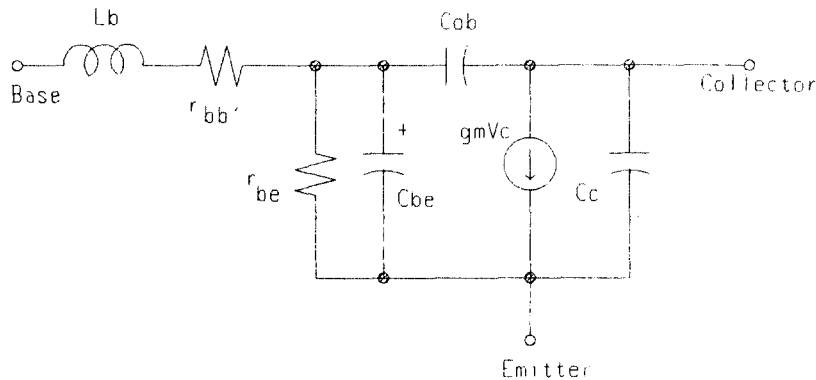


그림 3. Bipolar transistor 등가회로

그림 2에서 resonator부에서 부 저항부 쪽을 들여다 본 impedance를 구하기 위해, transistor를 대치할 등가회로로서 그림 3과 같은 transistor의 등가 회로를 생각할 수 있다<sup>[3]</sup>.

그림 3의 회로에서  $r_{be}$ ,  $C_{be}$ 는 base와 emitter 간의 pn junction의 등가회로를 나타내며,  $C_{ob}$ 는 역 biased collector와 base간의 pn junction 등가를 나타낸다.  $r_{bb}$ 는 base spreading resistance를 나타내며  $L_b$ 는 bonding wire 및 package로 발생하는 inductance를 나타낸다.

그림 3의 회로에서 Y-parameter를 다음과 같이 구할 수 있다.  $y_{11}$ 의 경우 collector와 emitter를 단락시키고 base와 emitter간 admittance를 계산하면  $\omega C_{be} r_{be} \gg 1$  일 때 다음과 같이 쓸 수 있다.

$$y_{11} \approx \left( r_{bb} + j\omega L_b + \frac{1}{j\omega(C_{be} + C_{ob})} \right)^{-1} \quad (1)$$

또한 이 때 단락된 collector와 emitter 사이를 흐르는 전류  $y_{21}$ 은 같은 가정 하에서 아래와 같음을 알 수 있다.

$$y_{21} \approx \frac{g_m}{j\omega(C_{be} + C_{ob})(r_{bb} + j\omega L_b) + 1} \quad (2)$$

$y_{12}$ 의 경우 반대로 입력측 base와 emitter간을 단락하고 출력 측에 단위 전압원을 인가했을 때 단락된 선로 사이를 흐르는 전류를 계산하면 되는데, 이 때  $C_{ob}$ 의 impedance가  $C_{be}$  및  $r_{bb}, L_b$ 의 병렬 impedance 크기보다 훨씬 크다면 아래와 같이 쓸 수 있다.

$$y_{12} \approx - \frac{j\omega C_{ob}}{1 + j\omega C_{be}(j\omega L_b + r_{bb})} \quad (3)$$

또한 차단주파수를  $\omega_T \approx 2\pi f_T = g_m/C_{be}$ 라 정의하고,  $\omega^2 L_b C_{be} \gg 1$  라면

$$y_{22} \approx j\omega(C_{ob} + C_c) + \frac{g_m}{C_{be}} C_{ob} = j\omega(C_{ob} + C_c) + \omega_T C_{ob} \quad (4)$$

를 얻을 수 있다.

여기서  $y_{12}$ 를 무시하고 위에서 얻어진 y-parameter를 이용 그 등가회로를 다시 그리면 그림 4와 같은 unilateral한 근사적 등가회로로 대치할 수 있다.

그림 4의 회로로 transistor를 대치하고 resonator부에서 본 impedance를 계산하기 위한 회로를 그림 5에 나타내었다.

그림 5의 회로에서  $R_{eq}$  및  $C_{eq}$ 는 다음과 같다.

$$R_{eq} = R_E \parallel \left( \frac{1}{\omega_T C_{ob}} \right) \quad (5)$$

$$C_{eq} = C_c + C_{ob} + C_E \quad (6)$$

이 회로에서 외부적으로 부착하는 capacitor  $C_{c2}$ 를 작게 설정할 경우  $g_m$  옆의  $L_b - r_{bb} - C_c$  branch의 영향은 무시할 수 있으므로 이 것을 우선 무시한 후 결과를 구하고, 이 것의 영향을 결과 식에서 고려하도록 한다.

회로에서 입력단자에 impedance를 구하기 위해 current source I를 인가할 경우  $V_c = I/j\omega(C_{be} +$

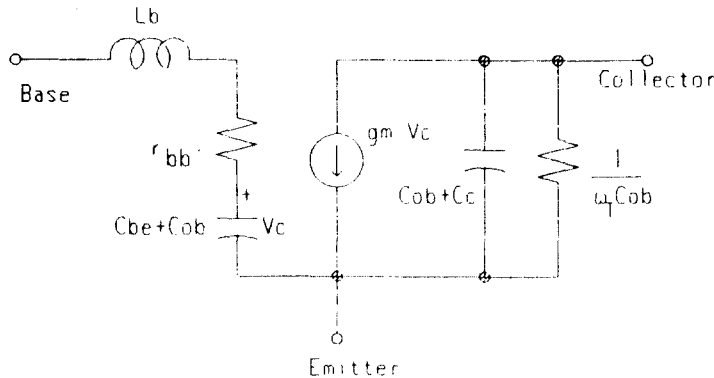


그림 4. 간략화 된 transistor의 등가회로(여기서  $\omega_T = \frac{g_m}{C_{be}}$ )

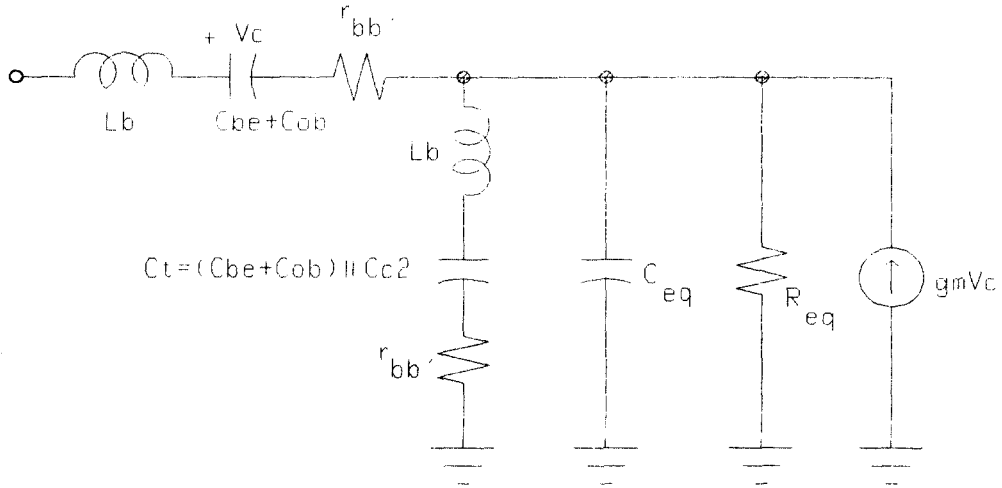


그림 5. 부저항 부 impedance를 계산하기 위한 회로

$C_{ob}$ ) 가 되므로 current controlled source  $g_m$ 에 병렬로 연결된 branch 에는  $(1 + g_m / (j\omega(C_{be} + C_{ob})))I$ 의 전류가 흐르게 되므로  $C_{ob}$ 를 무시하고 impedance는 다음 식과 같이 쓸 수 있다.

$$Z_{in} \approx r_{bb'} + j\omega L_b + \frac{1}{j\omega C_{be}} + \left(1 + \frac{g_m}{j\omega C_{be}}\right) \frac{R_{eq}}{1 + j\omega C_{eq} R_{eq}} \quad (7)$$

(7) 식에서 실수 부를 취하고 저항 값이 0이 되는 주파수  $\omega_c$ 를 계산하면 다음과 같이 쓸 수 있다.

$$\omega_c^2 = \frac{2\pi f_T k x - k \left(1 + \frac{1}{k}\right)}{x^2} \quad (8)$$

식 (7)에서  $x$ ,  $k$ , 차단 주파수  $f_T$ 는 다음과 같다.

$$x = C_{eq} R_{eq} \quad (9)$$

$$k = \frac{R_{eq}}{r_{bb'}} \quad (10)$$

$$f_T = \frac{g_m}{2\pi C_{be}} \quad (11)$$

이 식에서  $C_E$  값을 변화 시키면서 발진 가능 주파수  $\omega_c$ 가 최대가 되는 점을 계산하면

$$x_m = \frac{2\left(1 + \frac{1}{k}\right)}{2\pi f_T} \quad (12)$$

이 것을 (8)식에 대입하고 이 때 값을  $\omega_{c,max}$  라고 하고  $\omega_{c,max} = 2\pi f_{c,max}$  라면 다음을 얻을 수 있다.

$$f_{c,max} = \frac{f_T}{2} \sqrt{\frac{k}{1 + \frac{1}{k}}} \approx \frac{f_T}{2} \sqrt{\frac{R_{eq}}{r_{bb'}}} \quad (13)$$

따라서 이  $f_{c,max}$ 를 지나면 부성 저항은 사라지므로, 이 회로에서 위와 같은 특정 능동소자가 선정되었을 시 발진 상한점이라고 볼 수 있다.

(13)식에서  $R_E \rightarrow \infty$  일 경우 이론적으로 잘 알려진 bipolar transistor 자체만의 발진 가능 최대주파수

$$f_{max} = \sqrt{\frac{f_T}{8\pi r_{bb'} C_{ob}}} \quad (14)$$

로 됨을 알 수 있고, 이 최대발진 가능 주파수  $f_{max}$ 가 bias 저항  $R_E$ 에 의해 낮아짐을 알 수 있다. 그러나 실제적으로 발진기를 설계 시에는 이러한  $f_{max}$ 까지는 발진시키는 것이 곤란하며, 공진부 및 다른 부위에서 발생하는 손실을 고려하여 부성 저항의 여유가 필요하게 되는데, 여기서는 그 여유를 약  $r_{bb'}$ 으로 보고 부저항이  $r_{bb'}$ 가 되는 점을 계산하면 아래와 같은 결과를 얻을 수 있

다.

$$f_{osc} = \frac{f_T}{2} \sqrt{\frac{R_{eq}}{2r_{bb}}} \quad (15)$$

따라서 상기와 같은 parameter를 갖는 능동소자 선정시 (15)식으로서 이 회로의 실제적으로 발진 가능 대역이 결정된다고 볼 수 있다.

그리고 계산상 무시되었던  $r_{bb}$ - $L_b$ - $C_t$  branch의 영향은, 이 것을 실수 부와 허수 부로 나눈 뒤 series parallel conversion 할 경우, 저항  $r_{bb}$ 의 영향은 저항  $R_{eq}$ 에 등가적인 병렬 저항이 추가로 나타나며 상기 식의  $R_{eq}$ 를 낮추게되어 발진 대역이 줄어들음을 알 수 있다. 또한 (1)식의 계산상 무시된 inductor의 영향은 이 것의 impedance의 부호가 capacitor와 반대이기 때문에  $C_t$ 의 증가 적인 capacitance는 증가를 가져오게 한다. 이것은 series parallel conversion시  $C_{eq}$  옆에 증가 capacitance가 추가되게 되어 발진 가능대역은 변함없고, 최적 식으로 산출된 capacitance 값보다 더 작은 값  $C_E$ 를 추가하여야 최적의 값을 얻게 할 것이다.

결론적으로 증폭기로 동작하는 뒷단의 결합을 작게 설정할 경우, 앞서의 결과로 bias 저항  $R_E$ 에 의해 능동소자가 발진할 수 있는 범위보다 줄어든 (15) 식으로 주어진 주파수 범위 안에서 발진 가능하게 된다.

### 3. 최대 발진 주파수의 산출 방법 및 bias 저항 영향 조사

식 (15)을 재정리할 경우

$$f_{osc} = \frac{f_{max}}{\sqrt{2}} \sqrt{\frac{R_E}{R_E + \frac{1}{2\pi f_T C_{ob}}}} \quad (16)$$

을 얻을 수 있다.

따라서 전압제어 발진기의 bias 회로를 설계한 후 결정된  $R_E$  값과 능동소자의 자료들로부터 얻은  $f_T$  및  $C_{ob}$ 와  $f_{max}$ 를 가지고 위 결과를 쉽게 산출할 수 있다. 또한  $f_{max}$ 의 경우 능동소자의 최대전력이득이 1이 되는 주파수이므로, 최대 전력이득 곡선이 있을 경우 이를 이용 extrapolation해서 얻을 수도 있다.

이러한 자료가 없고 측정된 S-parameter만 있을 경우 다음 장의 modeling 방법을 이용 등가회로를 얻은

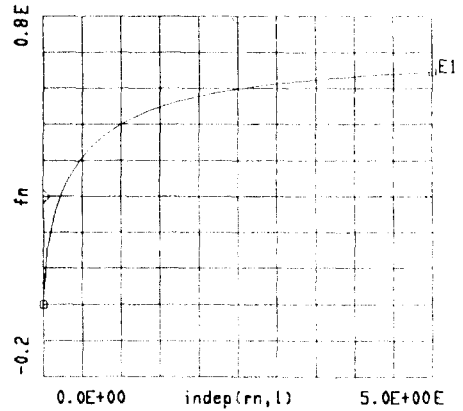


그림 6. 발진가능 주파수의 emitter bias 저항에 따른변화. (여기서 y축의  $f_n$  은  $f_n = f_{osc}/f_{max}$ 을 나타내고, x축은  $2\pi f_T C_{ob} R_E$ 를 나타낸다.)

후 상기 (16)식을 계산 능동소자의 적정성 여부를 판정할 수 있을 것이다.

그림 6에는 실제적인 발진 가능 주파수를 능동소자 자체의 최대 발진 주파수  $f_{max}$ 에 대해서 규격화하고 bias 저항  $R_E$ 를  $\frac{1}{2\pi f_T C_{ob}}$ 에 따라 규격화 한후 이를 plot 하였다.

그림에서 보듯이 emitter 전류를 결정하기 위한 저항  $R_E$ 가 클 경우 거의 능동소자 자체만으로 최대 발진 가능 대역이 결정되며  $R_E$ 가 작아지면 이 것에 따라 발진 가능 주파수가 급변하는 것을 볼 수 있다. 따라서 저 전압으로 그림 1과 같은 상용 전압제어 발진기를 설계 시 저항  $R_E$ 를 증가시키면 높은 주파수까지 발진시킬 수 있으나 3 내지 5V를 사용하는 휴대용 전압제어 발진기의 경우 저항  $R_E$  양단에 기껏해야 0.5에서 0.8V 정도의 전압 할당밖에는 가능하지 않으므로, 원하는 emitter 전류를 흘리기 위해, emitter 단자에 연결된 bias 저항  $R_E$  값은 작아지게되어 능동소자 자체의 최대발진 주파수에 훨씬 못 미치는 주파수 범위에서만 발진 가능하게된다. 따라서 이와 같이 언급한 전압제어발진기 회로를 휴대용을 목적으로 저 전압에서 동작시킬 경우는 이러한 저항  $R_E$ 의 제한으로 더욱더 높은  $f_T$ 를 갖는 능동소자가 필요 할 것으로 사료된다.

### Ⅲ. S-parameter를 이용한 등가회로 추출 및 제한 식의 검증

이 장에서는 앞서 도출된  $f_{osc}$  계산에 필요한  $f_T$ ,  $f_{max}$ , 및  $C_{ob}$  등의 자료를 구할 수 없고 단지 측정된 S-parameter 값만 얻을 수 있을 경우  $f_{osc}$  계산에 필요한 그림 4와 같은 소신호 등가회로를 추출하는 방법에 대해서 검토하려고 한다. 또한 이 측정된 또는 제시된 S-parameter 들로부터 직접 앞서 유도된 결과들을 S/W 상에서 얻는 것도 가능하며, 이 결과들과 앞서 유도된 결과를 이용해 산출된 결과와 비교해 보려 고한다. 이는 transistor를 제시된 2-port S-parameter로 대체하고 그림 1과 같은 회로를 S/W사에서 구성한 뒤 부성저항을 유기 하는  $C_B$ 를 가변 하여 부성저항의 크기가  $r_{bb'}$  되는 점을 찾으므로 서 가능해진다. 본 장에서는 이러한 두 가지 방법이 모두 검토되었다.

그림 3과 같은 bipolar transistor의 등가회로를 추출하기 위해서 측정된 S-parameter를 S/W 상에 입력하고 이 S-parameter를 Y-parameter로 변환하였다. 변환된 Y-parameter를 가지고 (1)식을 이용하면 다음과 같은 결과를 얻을 수 있다.

$$r_{bb'} = \operatorname{Re}\left(\frac{1}{y_{11}}\right) \quad (17)$$

또한 허수 부의 경우는 직렬 공진주파수 근처에서는 reactance가  $2L_b(\omega - \omega_0)$ 으로 표시되므로

$$X \approx 2L_b(\omega - \omega_0) \approx \operatorname{Im}\left(\frac{1}{y_{11}}\right) \quad (18)$$

상기 식의 관계에서 우변을 plot한 뒤 공진 점 근처에서 기울기를 계산하면 inductance  $L_b$ 를 얻을 수 있다.

그러면 식 (17), (18)에서 얻은 값의 부의 값을 갖는 저항과 inductor의 직렬 연결을 측정된 S-parameter의 base 단자에 연결하고 다시 전체 S-parameter를 재 계산하면 그림 3의  $r_{bb'}$  및  $L_b$ 의 영향이 없어지므로, 나머지 회로는 pi형 회로가 되어 문헌<sup>(4)</sup>에서의 유사 방법을 이용 등가회로의 값들을 구할 수 있게 된다. 표 1에는 이렇게 하여 구해진 등가회로의 값들이며, 여기서 전류이득이 1이 되는  $f_T$  및 최대 발진주파수  $f_{max}$ 는 이 등가회로 값을 기초로 (11) 식 및 (14)식을 이용 계산된 값들이다.

표 1의 등가회로 추출에 사용된 transistor들은 모두 collector와 emitter 사이의 전압이 2.5V, emitter 전류가 3mA에 bias되어 있으며, 이들은 모두 저가형 plastic mold형의 표면실장형 package로 되어 있다. 표 1의 NE 다음의 3자리 숫자(680, 681, 856, 944)는 die의 종류를 나타내며, 뒤에 두자리 숫자는 package 형태를 나타낸다.

표 1에서 알 수 있듯이 NE856의 경우는 같은 die와 같은 bias하에서도 package에 따라 약간의 차이가 있음을 알 수 있다. 이것을 이용 실제 그림 1과 같은 회로의 발진 가능주파수를 식 (13) 및 (15)를 이용 표2의 왼쪽 열 같이 계산할 수 있었다.

표 1. S-parameter로 산출된 표면 실장형 transistor의 등가회로 값

모델명	$C_{be}$ (pF)	$g_m$ (mmho)	$r_{bb'}$ (ohm)	$C_{ob}$ (pF)	$f_T$ (GHz)	$f_{max}$ (GHz)
NE68019	2.5	100	35	0.30	6.4	4.9
NE68119	4.1	107	22	0.42	4.2	4.2
NE85619	6.7	110	16	0.77	2.6	2.9
NE85630	7.3	110	22	0.85	2.4	2.2
NE85633	6.2	100	22	0.71	2.6	2.5
NE94430	7.0	70	30	0.52	1.6	1.6



표 2. 표 1의 결과를 이용 산출된  $f_{osc}$  및  $f_{max}$ 와 S-parameter를 이용 얻어진 결과

모델명	$f_{osc}$ (GHz) $R_E=100$	$f_{max}$ (GHz) $R_E=100$	$f_T$ (GHz)	$f_{osc,s}$ (GHz)	$f_{max,s}$ (GHz)
NE68019	2.6	3.7	6.4	2.9	4.2
NE68119	2.1	3.0	4.1	2.3	3.9
NE85619	1.5	2.1	2.6	1.5	4.4
NE85630	1.2	1.7	2.4	1.1	2.4
NE85633	1.4	2.0	2.8	1.1	3.4
NE94433	0.7	1.1	1.6	0.6	1.2

이 때 emitter 전류를 결정하기 위한 bias 저항  $R_E$ 의 값을 100 ohm으로하고 식 (13) 및 (15)에 의존 발진 가능 주파수를 계산하였다.

이 것을 검증하기 위해 transistor를 측정된 S-parameter로 대체하고 그림 1의 결합용으로 이용되는 capacitor  $C_{c2}$ 의 값을 0으로 한뒤, MDS 상에서 등가 병렬 capacitor  $C_{eq}$ 를 가변 하여 (즉 capacitor  $C_E$ 를 가변 하여) 공진부족에서 부저항부를 들여다 본 부저항이  $r_{bb}$ 의 크기가 될 때 주파수( $f_{osc,s}$ )가 최대가 되는 점을 찾았다. 이 것을  $f_{osc,s}$ 열에 기록하였으며, 또한 부저항이 0이 되는 점도 동일한 방법으로 얻었다. 그 결과는 표의  $f_{max,s}$  열에 기록하였다. 실제 발진가능 주파수의 경우 상당히 잘 일치하는 것을 알 수 있으나, 최대 발진 가능 주파수  $f_{max}$ 의 경우 상당히 벗어나는 것을 알 수 있다. 이 것은 고주파에서 그림 3과 같은 등가회로로  $f_{max}$  근처에서는 등가할 수 없기 때문에 발생하는 것으로 기인한다.

#### IV. 결 론

기존 900MHz 이동통신에 상용화되어 널리 사용되는 전압제어 발진기 회로에 대하여 발진 주파수의 한계에 대하여 해석하였다. 그 결과 발진주파수의 상한은 능동소자 및 bias 저항에 제한되는 것을 알 수 있었다. 따

라서 이 회로를 더 높은 주파수 대역에서 동작시키기 위해서는 transistor의 동작 점을 결정한 후 공급전압에 맞게 bias 회로를 설정하고 이 때 결정된 bias 저항 값을 가지고 transistor의 차단주파수  $f_T$  및 등가회로가 적정한지를 검토하여야 한다. 또한 이 전압제어 발진기를 휴대용을 목적으로 저 전압에 동작하는 회로로 적용할 경우 bias 저항의 영향이 심하므로 능동소자 선정에 세심한 주의를 기울일 필요가 있다.

#### 참고문헌

1. "Generic criteria for version 0.1 wireless access communication systems (WACS)", *Bellcore*, TA-NWT-001313, Issue 1, July, 1992.
2. 홍 성용, "Frequency synthesizer용 전압제어 발진기", 이동통신, 위성통신용 부품설계 워크샵, 한국통신학회 통신 및 회로부품 연구회, pp.274-308, 1994.
3. H. Fukui, "Low noise microwave transistors & amplifiers", *IEEE Press*, pp.68-86, 1981.
4. K. W. Yeom et al, "Frequency dependence of GaAs FET equivalent circuit elements extracted from the measured S-parameters", *Proc IEEE*, July, 1988.

廉京換(Kyung Whan Yeom) 정희원

한국통신학회 논문지 20권 제3호 참조  
현재 : (주)엘 티 아이 근무

李明成(Myung-Sung Lee) 정희원

1955년 2월 7일생  
1978년 2월 : 서울대학교 전자공학과(학사)  
1981년 12월 : University of Michigan EECS(석사)  
1986년 9월 : University of Michigan EECS(박사)  
1986년 9월~1992년 8월 : AT&T Bell 연구소 연구위원  
1992년 8월~1995년 9월 : 한국통신 연구개발원 책임연구원  
무선통신개발단 휴대통신팀장