DBpia

論文 95-10-10-9

포인터조정장치에서 발생되는 지터의 측정 및 분석

正會員 崔 承 國*

Measurements and Analysis of Jitter in Pointer Adjustment System

Seung Kuk Choi* Regular Member

要 約

SDH 통신망에서 각 노드클럭간의 위상시간 편차를 보정하기 위하여 포인터조정이 행하여 진다. 이때 발생되는 지터를 분석하기 위하여 CCITT 권고안에 따라 하드웨어 시뮬레이터가 제작되었다. 시뮬레이터에서 발생되는 지터를 측정한 결과, 실제 발생되는 지터는 지금까지 생각되어 오던 이상적인 지터보다 그 크기가 더 큰 것이 밝혀졌다. 아울러 크기가 작아서 유리한 이상적인 지터를 발생시킬 수 있는 포인터조정 동기제어방식을 제안하였으며 이 방식에서 발생되는 지터를 다시 측정하여 그 결과를 확인하였다.

ABSTRACT

To keep the phase difference between node clocks under allowable level the pointer adjustment technique is used in the SDH network. Unfortunately these processes cause an inherent pointer adjustment jitter. For an experimental study of the jitter a hardware simulator is built based on the related CCITT recommendations. The experimental results show that there are differences between the ideal jitter and the jitter in the simulator. Therefore a new pointer adjustment control logic is proposed and the results is confirmed.

*市立仁川大學校 情報通信工學科
Dept. of Information and Telecomm. Eng.,
Univ. of Inchon
論文番號 : 95111-0317
接受日字 : 1995年 3月 17日

www.dbpia.co.kr

Ⅰ. 서 론

광대역통신망의 망노드접속(NNI: Network Node Interface)의 표준으로 동기식 디지탈계위(SDH: Synchronous Digital Hierarchy)가 제정되었으며 동기식 전송장치가 상용화되고 있다 [1][2]. 동기식통신망의 각 노드에 있는 클럭들은 이상적인 경우 그 주파수 및 위상이 모두 동기되어 일치되어져야 한다. 그러나 각 노드내 클럭들 자체의 위상잡음과 클럭동기망의 동작장애 및 온도변화에 따른 클럭신호의 전송속도의 변화등으로 인하여 각 노드내 클럭들간의 위상은 정확히 일치되지 못하여 지터(jitter) 및 원더(wander)가 발생된다 [3][4].

이와같은 노드클럭간의 위상변화는 버퍼(buffer)에 데이타를 임시로 저장(write)한 후에 다시 노드내로 읽어(read)들이는 과정에서 슬립(slip)을 발생하게하여 투명한(transparent) 데이타전송을 불가능하게 한다. 그러므로 동기식전송장치에서는 입력클럭과 노드클럭간의 이러한 위상차 변화를 정/영/부 위치맞춤(positive/zero/negative justification)으로 보정하여 주며 이와같은 과정에서 포인터조정지터(pointer adjustment jitter)가 발생된다. 이러한 지터는 Duttweiler[5], Matsuura등[6]에 의해 이론적으로 분석되었는데 이 연구들에서는 동기장치의 시스템파라메터(system parameter)에 따라 발생되는 지터가 달라지는 점이 고려되지 않았기 때문에 이 지터모델을 이상적지터(ideal jitter)라고 표시하기로 한다.

실제의 장치에서 나타나는 지터가 이상적지터와 다른 것이 그 후에 발견되어 그 원인의 규명 및 실제의 지터에 대한 연구가 시도되었으며[7,8], 참고문헌[8]에서 밝혀진 사실을 근거로 비동기 화상신호가 동기식망에 사상(mapping)될때 발생되는 실제의 사상지터가 컴퓨터 시뮬레이션과[9] 하드웨어 시뮬레이터를[10] 통하여 분석되었다. 연구결과, 실제 발생되는 지터는 이상적스타핑지터보다 그 크기가 더 큰 것이 밝혀졌다[9,10]. 본 논문에서는 포인터조정동기장치에서 발생되는 지터를 분석하기 위하여 포인터조정장치의 하드웨어 시뮬레이터를 제작하여 발생되는 지터를 측정, 분석하고자 한다.

Ⅱ. 포인터조정동기장치

동기식디지탈계위와 각 계위의 전송속도 및 프레임구조는 CCITT권고안 G.707, 708과 709에 의해 확정권고되었다[1]. 동기식전송방식에서 사용되는 다중화단계에서 기본요소는 STM-1(Synchronous Transport Module level-1)으로 이의 기본주파수는 155.52 Mbit/s이며 프레임(frame)의 반복주파수는 8 kHz이다. STM-1에 수용되는 신호들은 가상콘테이너(VC:Virtual Container), TU(Tributary Unit) 및 AU(Administrative Unit)등의 다중요소를 거치면서 단계적으로 STM-1 프레임내의 패이로드(payload)에 삽입된다. STM-1 프레임은 9 x 270 바이트의 사각형 구조로 되어있다. 각 행의 처음 9개 바이트는 구간오버헤드(SOH: Section Over Head) 및 프레임의 패이로드내에 VC가 시작되는 위치를 알려주기 위한 포인터(PTR:Pointer)가 위치할 자리이다.

DS4급 139.264 Mbit/s 디지탈신호는 관련 오버헤드가 부가되어 바이트 단위로 형성되며 여기에 경로오버헤드(POH: Path Over Head)가 추가되어 가상콘테이너 VC-4를 형성하게된다. 비동기 디지탈신호가 동기식 STM-1으로 전송되어지려면 이와같이 가상콘테이너에 각각의 DS급 주파수의 신호가 삽입되어 사상된다. 다중화장치를 동작시키는 노드클럭과 입력신호의 클럭이 서로 동기되지 아니하면 다중화장치의 버퍼에 데이타를 써넣고 이를 시스템 안으로 읽어 들이는 과정에서 에러가 발생한다. 그러므로 노드클럭과 입력클럭의 위상차가 어떤 한계치보다 크게되면 그때마다 노드클럭을 한 비트씩 멈추게하고 그 자리에는 데이타 대신 의미없는 더미(dummy) 비트를 채워 놓음으로써 두 클럭간의 위상차가 어느 한계내에서만 변하게 해주는 것이 비트스타핑방식이다. 그러나 클럭이 갑자기 멈추게되면 지터성분이 크게되므로 평활 PLL(smoothing Phase Locked Loop)을 사용하여 급작스럽게 크게 변동하는 위상의 움직임을 작게되도록 평활시킨 후 이 평활된 클럭으로 데이타를 읽어내도록 한다. 불연속성으로 인한 큰 크기의 지터는 PLL의 지터전달함수(jitter transfer function)특성에 따라 필터링(filtering)되어 지터가 작은 클럭을 얻을 수 있다.

프레임내 일정한 위치에서 두 클럭간의 위상비교가 행해져야 하는데 이 위상비교시점이 매 프레임마다 변동되어 발생되는 스타핑지터에 영향을 미치는 것이 규명되었다[8]. 사상시 발생되는 스타핑지터가 연구[8]에서 밝혀

www.dbpia.co.kr

진 사실을 토대로 시스템파라메터가 지터에 미치는 영향까지 고려되어 분석되었다[9,10]. 이 연구들의 결과, 실제 발생되는 사상지터는 지금까지 이러한 시스템파라메터의 영향을 고려하지 않고 분석했을때 발생하는 이상적인 스타핑지터보다 그 크기가 더 큰 것으로 밝혀졌다.

가상콘테이너는 STM-1의 페이로드내에 AU 포인터에 의해 지시되는 위치에 규칙적으로 배열된다. 한 노드(노드 A)에서 신호가 사상된 후 동기식 STM에 다중화되여 다른 노드(노드 B)로 전송된다. 이 전송된 STM에서 VC가 분리되어 다른 STM에 다시 다중화되어 다른 노드(노드 C등)로 전송된다. 이때 노드 A의 클럭으로 형성된 VC와 노드 B의 클럭으로 형성된 STM간의 위상차가 계속 변화하게 되므로 동기식다중장치에서는 정/영/부 위치맞춤으로 그 위상차를 보정하여 준다.

정/영/부 위치맞춤은 버퍼에 들어있는 데이타를 읽어내기 위하여 공급되는 노드 B의 클럭(read clock : node multiplex clock) 중 STM의 프레임내에 있는 정위치맞춤자리(positive justification opportunity)에 있는 클럭들을 AU-4의 경우 세 바이트씩 삭제시켜 gap이 있는 클럭을 만들어 그 자리에 더미바이트를 삽입하거나(정위치맞춤) 또는 부위치맞춤자리(negative justification opportunity)에 있는 gap 대신 그 자리에 클럭들을 세 바이트씩 생성시켜 그 자리에 데이타를 삽입하여(부위치맞춤) STM 프레임과 VC의 위상차이가 상한과 하한 한계값(upper and lower threshold values) 사이에서만 변동하게 하여주는 방식이다. 이때 STM프레임내에서 계속 변동되는 VC의 시작위치는 위치맞춤에 따라 변화되는 포인터에 의해서 표시되며 이 과정에서 지터(바이트스타핑지터 또는 포인터조정지터)가 발생한다. 이와같은 정/영/부 위치맞춤은 매 프레임마다 발생할 수 있는 것이 아니라 최대 매 4번째 프레임마다 발생할 수 있도록 CCITT권고안 G.709[1]에서 규정하고 있다. 따라서 발생가능한 최대위치맞춤의 주파수는 2kHz(8kHz/4)가 된다.

다른 노드에서 전송되어 역다중화(demultiplexing)된 가상콘테이너를 다시 STM의 페이로드에 정/영/부 위치맞춤을 이용하여 다른 신호와 함께 재다중화시키기 위한 포인터조정(pointer adjustment)동기장치의 구성도가 그림 1에 도시되었다[11,12]. 버퍼에 데이타를 순차적으로 보관시키기 위하여 입력번지발생기(write address generator)는 수신된 입력클럭(write clock with overhead gaps)에 의해서 카운트(count)된다. 버퍼에 저장된 데이타를 순차적으로 읽어내기 위한 출력번지발생기(read address generator)는 오버헤드 및 현 노드에서의 위치맞춤으로 인한 gap이 포함된 노드클럭(read clock)으로 카운트된다. STM의 프레임내 일정한 위치(comparison position)때마다 두 번지발생기의 출력값이 latch되어 저장된다. 이 저장된 두 발생기의 번지값이 서로 비교되어 그 차이값이 상한값보다 크거나 하한값보다 작게될 때마다 위치맞춤이 요구된다. 이와같은 새로운 스타핑동기제어장치는 종래에 사용되어 오던 장치들에 비해 그 구조가 복잡하나 두 클럭간의 위상비교가 매 프레임내 일정한 위치에서 행하여지는 이점이 있다.

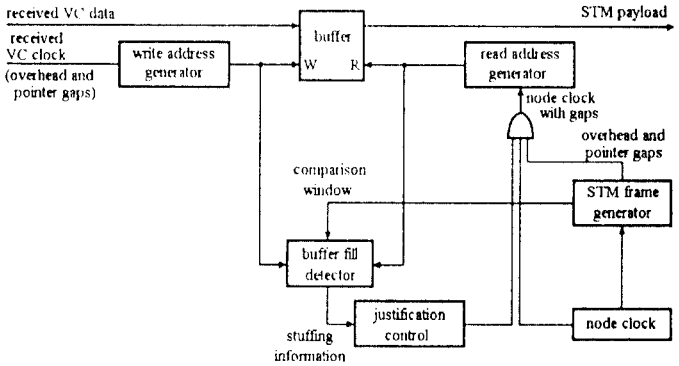

그림 1. 포인터조정동기장치의 구성도
Fig. 1. Block diagram of pointer adjustment synchronization system

www.dbpia.co.kr

Ⅲ. 이상적인 포인터조정지터

먼저 위상비교가 항상 일정한 위치에서 행하여진다고 가정했을때 나타나는 이상적인 지터를 고찰한다. 입력클럭과 다중화장치클럭이 CCITT 권고안에 따른 정격주파수일때 스타핑(또는 위치맞춤)이 행해지는 빈도를 정격스타핑주파수라 한다. 정격스타핑비는 최대스타핑가능주파수와 정격스타핑주파수의 비이다. 통신망의 동기에 장애가 발생하여 비정상적으로 동작되는 degraded 모드에서 각 노드클럭들의 주파수는 모두 ±4.6 ppm의 편차가 허용된다[1]. 주파수가 변하면 스타핑비도 따라서 변하게되어 포인터조정장치는 표 1과 같은 시스템파라메터값을 가지게 된다.

매 프레임마다 일정한 서비스비트 위치에서 멈추어지므로 발생되는 지터는 프레임의 반복주파수가 평활 PLL 지터전달함수의 3-dB 대역폭보다 훨씬 크기 때문에 PLL에 의해 쉽게 감쇠되어 무시할 수 있다. 그러나 위치맞춤을 하기위하여 때때로 멈추어지는 클럭은 그 삽입 여부가 불규칙하므로 여러가지 주파수성분을 가지는 랜덤한 지터가 발생한다. Duttweiler에 의해 이상적스타핑지터가 처음 체계적으로 분석되었는데 그는 지터의 초기치에 랜덤변수(random variable)를 도입하여 지터의 전력스펙트럼을 계산하였다[5]. 그는 스타핑비가 Sr인 스타핑지터의 파형을 다음과 같은 식으로 표시하였다.

$$\phi_S(t) = (\Delta - 1) + S_r t - [S_r[t]] \qquad (1)$$

표 1. 포인터프로세서의 시스템파라메터
Table 1. System parameter of pointer processor

노드클럭의 주파수(kHz)	155520±4.6ppm
입력클럭의 주파수(kHz)	155520±4.6ppm
프레임 반복주파수(kHz)	8
최대스타핑가능주파수(kHz)	2
데이타버퍼의 크기(비트)	216 이상
정격스타핑비	0
최소스타핑비	-0.029808
최대스타핑비	0.029808
스타핑시 제어비트수	24

위 식의 크기단위는 UI(Unit Interval = 클럭의 한 비트 위상시간(phase time) = 155.52 Mbit/s 클럭에서는 6.43ns)이고 Δ-1은 일정한 초기위상값이며 〔x〕는 아래와 같은 정수함수(integer function)이다.

$$〔x〕 = \begin{cases} \cdots \\ -1, & -1 \le x < 0 \\ 0, & 0 \le x < 1 \\ 1, & 1 \le x < 2 \\ \cdots \end{cases} \qquad (2)$$

Duttweiler는 식(1)에 임의의 초기위상값에 대응되는 랜덤변수를 추가 도입하여 필터링되지 아니한 이상적 지터의 전력스펙트럼 $S_s(f)$를 구했다. 이 지터는 역스타핑 장치에 있는 평활 PLL에 의해 필터링되는데 필터링된 지터의 전력 스펙트럼 $S_d(f)$는 스펙트럼 $S_s(f)$에 평활 PLL의 지터전달함수 H(f)의 크기의 자승을 곱하면 구할 수 있다. 이 후에 이 스펙트럼 $S_d(f)$을 모두 합하면 평활된 지터의 실효값 (effective value) 또는 rms 값(root mean square value)이 구해진다. 평활 PLL로는 보통 2차(second order) PLL이 사용되는데 전달함수의 피킹(peaking)을 작게하기 위하여 PLL의 댐핑계수(damping factor)를 크게 선정하였다[13]. 댐핑계수가 7정도로 큰 경우에 PLL의 전달함수는 1차 저역필터의 전달함수와 근사한 모양이 된다.

$$H(f) \cong \frac{f_g}{jf + f_g} \qquad (3)$$

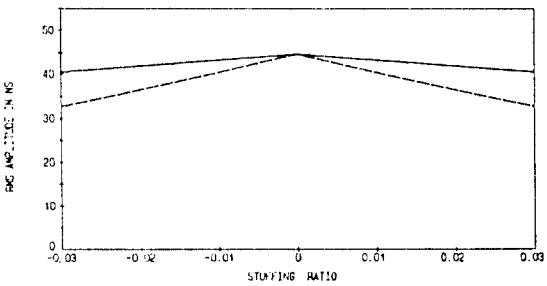

그림 2. 포인터프로세서에 발생하는 평활된 이상적지터의 스타핑비에 따른 실효치
(— : PLL의 3-dB 대역폭이 500Hz; - - - : 대역폭이 100Hz인 경우)
Fig. 2. Effective values of the smoothed ideal pointer adjustment jitter
(3-dB bandwidth of the PLL ; — : 500Hz ; - - - : 100Hz)

www.dbpia.co.kr

포인터프로세서를 위한 PLL의 3-dB 대역폭을 100 및 500Hz로 각각 선정하였다. 이 대역폭 값들을 스타핑가능주파수의 단위로 변환시키면 f_g는 각각 0.1/2 = 0.05, 0.5/2 = 0.25가 된다. 표 1의 파라메터값들을 가지는 포인터프로세서에 발생되는 이상적인 지터의 스타핑비에 따른 실효치들이 Duttweiler의 계산식을 이용하여 계산되었으며 그 결과치가 그림 2에 도시되었다. 그림 2에 나타난 것과 같이 포인터조정시에는 24bit씩 스타핑이 행해지며 아울러 스타핑비가 0 근처의 작은 값이므로 매우 큰 크기의 지터가 발생한다.

Ⅳ. 포인터조정 시뮬레이터의 제작

그림 1의 포인터조정동기장치의 구성도에 따라 하드웨어 시뮬레이터가 제작되었다. 이 시뮬레이터는 두장의 카드로 구성되어 있는데 프레임발생기 및 위상비교위치신호등의 발생기가 한장의 카드에 또한 write, read번지발생기 및 버퍼 fill 검출기가 다른 한 카드에 실장되었다. STM 프레임은 9 × 270 바이트의 사각형 구조이며 9개의 부프레임(subframe)으로 구성되어 있으며 매 부프레임 앞부분에는 9개 바이트 크기의 오버헤드가 위치하고 있다. 따라서 바이트 단위로 구성된 프레임구조를 위하여 노드클럭은 우선 8분주된 후에 이 분주된 클럭신호는 오버헤드에 의한 gap을 만들기 위하여 9분주회로에 공급된다. 이 9분주회로의 출력신호는 30분주회로에 공급되어 270바이트의 부프레임을 형성하고 이 30분주회로의 출력은 또 다른 9분주회로에 공급되어 9개의 부프레임으로 구성된 STM 프레임을 구성한다. 이러한 9, 30, 9분주회로들의 출력신호들이 서로 조합되어 오버헤드 및 정/부 위치맞춤자리에 gap을 마련하여 준다.

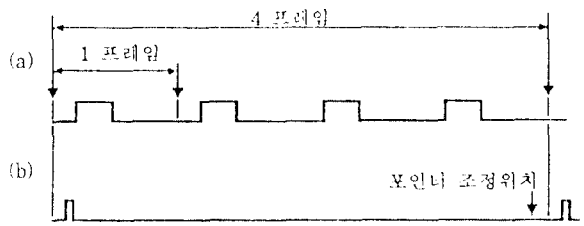

그림 3. 위상비교위치신호(a)와 위치맞춤정보 clear 신호(b)의 timing graph
Fig. 3. Timing graph of the phase comparison position signal (a) and justification information clear signal (b)

그림 3은 프레임발생기 카드에서 버퍼 fill 검출기 카드로 공급되는 위상비교위치신호와 위치맞춤정보 clear 신호에 대한 timing graph이다. 매 프레임마다 발생되는 이 위상비교위치신호의 positive edge 때마다 두 read, write 번지발생기의 출력값이 latch되어 저장된다. 이 두 번지값이 비교되어 매 4 프레임때마다 위치맞춤이 행하여지며, 그 후에 이 위치정렬정보는 그림 3(b)의 clear 신호에 의해 reset된다.

버퍼의 크기가 27바이트인 시스템에서 버퍼 fill 여부를 검출하기 위한 회로의 구성은 다음과 같다. 실제 시스템에서는 버퍼에 데이타를 써넣기 위해 write 번지연산(write address generation)이 수행된뒤 그 버퍼내의 데이타를 노드내로 읽어들이기 위하여 read 연산이 수행된다. 따라서 우선 write 번지값인 WA가 read 번지값인 RA 값보다 작은 경우에는 WA에 27을 더한 값(WA+27)이 올바른 write 번지값이 된다. 다음에 올바르게 보상된 write 번지값인 W2와 read 번지값과의 차이인 W3를 구한다. 이때 얻어진 W3가 8(lower threshold value)보다 작은 경우에는 현재 read 클럭의 위상이 write 클럭의 위상을 너무 앞서 나간다는 것을 나타내도록 카운터 INC의 값을 1 증가시킨다. 반대로 W3가 18(upper threshold value)보다 큰 경우에는 카운터 DEC의 값을 1 증가시키며 이 이외의 경우 카운터의 값은 그대로 유지된다. 이러한 과정은 그림 3의 신호에 따라 매 프레임마다 반복되며 매 4 프레임마다 어느 하나의 카운터 값이 3이상인 경우에는 정위치맞춤이 요구된다는 정보신호나 또는 부위치맞춤이 요구된다는 정보신호가 프레임발생카드로 공급된다. 프레임발생카드에서는 이 정/영/부 위치맞춤정보신호에 따라 위치맞춤용 자리에 있는 클럭이 3바이트씩 삭제/생성되며 이 불규칙적인 gap이 존재하는 즉 지터가 존재하는 클럭(그림 1의 node clock with gaps)이 버퍼의 read 번지발생기에 공급된다.

Ⅴ. 시뮬레이터에서 발생되는 지터의 측정 및 분석

그림 4는 제작된 포인터조정장치의 시뮬레이터에서 발생되는 지터의 측정을 위한 시스템 구성도이다. 포인터조정장치외에 25932.4kHz에서 동작하는 평활 PLL도 아울러 제작되었다. 이 PLL은 3-dB 대역폭을 100

www.dbpia.co.kr

또는 500Hz(제작된 PLL에서는 17.2 또는 86.2Hz)로 선택할 수 있도록 설계되었다. 지터가 포함된 시뮬레이터의 출력클럭(그림 1의 node clock with gaps)을 PLL로 평활시킨 후에 기준입력클럭과 비교하여 그 포인터조정지터를 측정하였다. 포인터조정장치는 원래 155.52Mbit/s로 동작하여야하나 하드웨어 제작의 어려움을 피하기 위하여 시뮬레이터는 약 26Mbit/s로 동작되도록 TTL을 사용하여 설계하였다. 시뮬레이터에서 측정되는 지터신호도 주파수를 155.52 -> 26Mbit/s로 낮춘것에 비례하여 그 주파수 성분이 낮아지게 되지만 앞으로 본 논문에서는 원래의 155.52Mbit/s 시스템에 맞도록 그 측정 데이타를 표시하기로 한다.

Read클럭의 주파수가 155520.72 kbit/s(155.52 Mbit/s + 4.6 ppm)이고 write클럭의 주파수가 155519.28 kbit/s(155.52 Mbit/s - 4.6 ppm: 시뮬레이터에서는 26.8266 Mbit/s - 4.6 ppm)인 경우 시뮬레이터에서 발생되는 포인터조정지터가 측정되어 그림 5에 플로팅되었다. 이때 평활 PLL의 3-dB대역폭은 500Hz이다. 두 클럭간 주파수 차이가 1430Hz이며 이러한 주파수편차를 보정하기 위해 정위치맞춤이 행하여져서 write클럭에 24비트씩 gap이 발생한다. 따라서 1430 24 = 60, 즉 1초에 60번, 154ns(24비트의 위상시간)씩 위상이 보정되는 것을 보인다. 그러나 그림 5에서와 같이 정위치맞춤이 연속해서 87번 이루어 질 때마

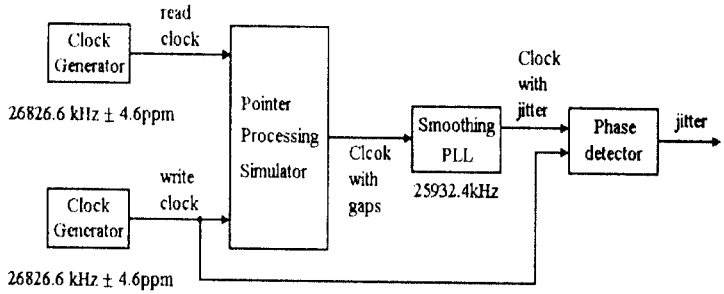

그림 4. 시뮬레이터에서 발생되는 지터의 측정을 위한 시스템 구성도
Fig. 4. System configuration for the measurement of the simulated jitter

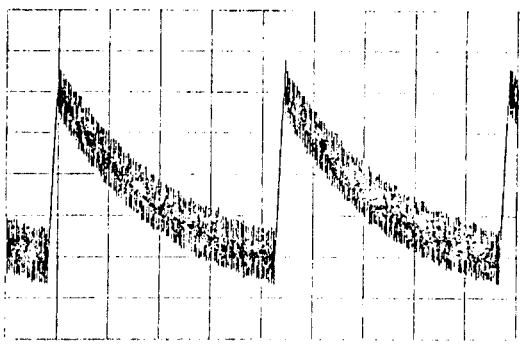

그림 5. Read클럭의 주파수가 155520.72 kbit/s, write클럭이 155519.28 kbit/s인 시뮬레이터에서 발생하는 지터의 측정파형(x축:0.345 s/div. : y축:118 ns/div.: PLL의 3-dB 대역폭:500Hz)
Fig. 5. Jitter waveform generated in simulator(freq. of read clock:155520.72 kbit/s, write clock:155519.28 ; 3-dB bandwidth of PLL:500 Hz ; x axis:0.345 s/div.; y axis:118 ns/div.)

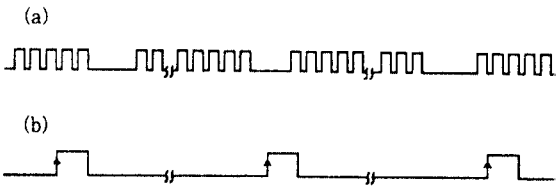

그림 6. SOH gap이 존재하는 write클럭 신호(a)와 위상비교위치신호(b)의 시간에 따른 변화모습(write클럭의 주파수가 read클럭보다 높은 경우)
Fig. 6. Timing graph of the write clock with SOH gaps (a) and phase comparison position signal (b)(when freq. of write clock is higher then freq. of read clock)

www.dbpia.co.kr

다 잠시(위치맞춤이 4번 행하여지기 위하여 소요되는시간)동안 위치맞춤이 이루어지지 못하여 두 클럭간의 위상차(포인터조정지터)가 계속 증가한다. 이와같은 지터의 파형은 수식 (1)로 표시되는 이상적인 지터 $\phi_S(t)$와는 다른 모양이다. 그러므로 이때 측정되는 지터의 rms 값도 160ns로 그림 2의 이상적지터보다 그 크기가 매우 크다.

이와같이 이상적인 지터와는 다른 모양의 지터가 발생하는 원인은 다음과 같이 설명할 수 있다. 그림 6에 write클럭의 주파수가 read 클럭의 주파수보다 조금 높은 경우에 gap이 존재하는 write clock byte 신호(a)와 read클럭으로부터 만들어진 위상비교위치신호(comparison position; 그림 1. 참조)(b)가 시간이 경과함에 따라 변화하는 모습이 도시되었다. 위상비교위치신호의 positive edge순간에서 그림(a)의 바이트클럭으로 카운트되는 write번지발생기의 출력값과 read 클럭바이트로 카운트되는 read번지 발생기의 출력값이 저장된뒤 서로 그 값이 비교됨으로서 두 클럭간의 위상이 서로 비교된다. 그러나 그림 6에서와 같이 비교위치신호의 positive edge순간에 write클럭바이트에 SOH 오버헤드로 인한 gap이 위치하면 write번지발생기가 카운트되지 못하며 따라서 두 클럭간의 위상비교도 제대로 이루어지지 못한다. 이러한 현상은 read클럭과 write클럭의 주파수차이로 인하여 비교위치신호에 대하여 write클럭의 gap의 위치가 상대적으로 이동할 때까지 계속된다.

참고문헌 [11]과 [12]에 의해 발표된 그림 1이 지금까지 주로 사용되고 있는 포인터조정장치의 모델이다. 이 장치의 특징은 앞에서 설명된 바와 같이 gap이 있는 write클럭이 위상비교를 위하여 입력번지 발생기(그림 1에서 write address generator)에 공급된다. 이와 다르게 그림 7과 같이 gap이 있는 입력클럭(input recovered clock)이 PLL로 평활되어 균일한 클럭이 된 뒤 버퍼(buffer 또는 elastic store)의 write counter에 공급되는 모델이 사용될 수 있다[14]. 이 모델은 추가되는 버퍼와 PLL로 인하여 복잡해지는 단점이 있으나 매 노드마다 이와같은 PLL로 전 노드에서 축적, 전달되어온 지터를 필터링하여 작게할 수 있는 장점이 있다.

그림 1의 지금까지 주로 사용되는 모델은 그러나 본 논문에서 처음으로 밝힌 바와 같이 매우 큰 크기의 지터가 발생하는 문제가 있다. 그러므로 이러한 문제를 해결하기 위하여 그림 6의 gap이 있는 write 클럭을 PLL로 평활시켜서 균일하게 write 카운터에 공급하도록 시뮬레이터를 변경한 후에 발생되는 지터를 다시 측정하였다. 이러한 시스템은 원래 전송노드에서 축적되는 지터를 감쇠시키기 위한 목적으로 제시된 그림 7의 시스템과 결과적으로 그 구조가 같다. 이때 평활된 write클럭의 주파수는 155.52 · (261/270) = 150.336 Mbit/s로 낮아지게 된다. 그림 8이 write클럭의 주파수가

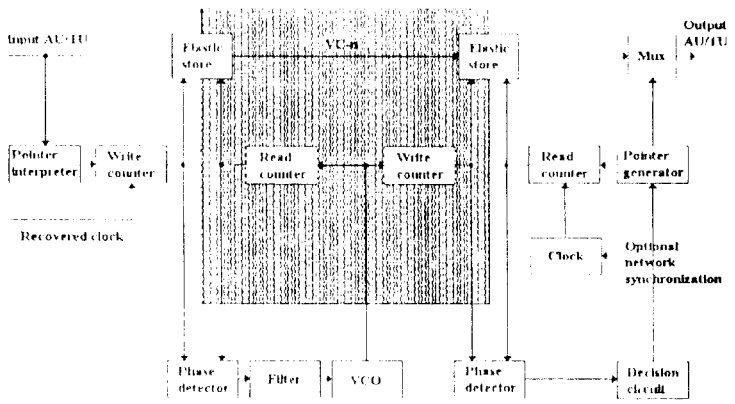

그림 7. 두개의 제어루프를 가지는 포인터조정장치 모델의 구성도
Fig. 7. Block diagram of a pointer processor model with 2 control loops

www.dbpia.co.kr

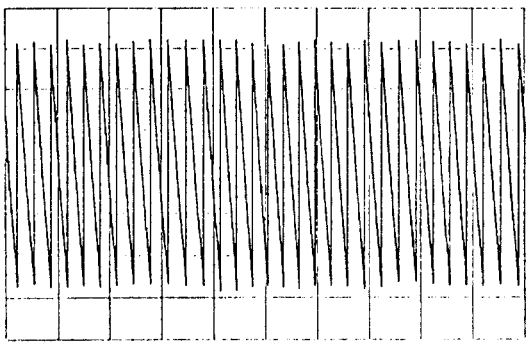

그림 8. 그림 7의 구조에 따른 시뮬레이터에서 write 클럭의 주파수가 150336.087 kbit/s, read 클럭이 155520 kbit/s 일때 발생되는 지터의 파형 (x축: 0.863 s/div.; y축: 24ns/div.; PLL의 3-dB 대역폭: 500Hz)

Fig. 8. Jitter in the simulator with the fig.7 structure(freq. of read clock: 155520.72 kbit/s, write clock:150336.087 ; 3-dB bandwidth of PLL:500 Hz: x axis: 0.863 s/div.; y axis: 24 ns/div.)

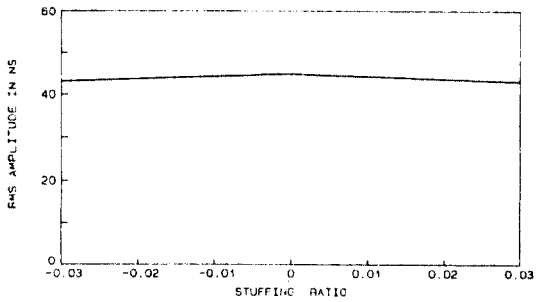

그림 9. 그림 7의 구조에 따른 시뮬레이터에서 발생하는 지터의 스타핑비에 따른 실효치(PLL의 3-dB 대역폭: 500 Hz)

Fig. 9. Effective value of the jitter in the simulator with the fig.7 structure(3-dB bandwidth of PLL: 500 Hz)

150336.087 kbit/s이며 read클럭이 155520 kbit/s인 시뮬레이터에서 발생된 지터의 측정파형이다. 이 그림에서 수식 (1)과 같은 이상적인 스타핑지터가 발생하는 것을 알 수 있다. 위상비교위치가 매 프레임내 일정한 시점에서 행하여지므로 사상을 위한 동기장치에서 발생하는 위상비교위치의 변동[8,9,10]도 없을 뿐 더러 write 번지발생기에 gap이 없는 균일한 클럭을 가함으로서 이상적인 지터가 발생하게 된다. 그림 9에 두 클럭의 주파수를 허용편차내에서 변화시켜가면서 이때 발생하는 지터의 rms값을 측정한 것이 도시되었다. 이때 평활 PLL의 3-dB대역폭은 500Hz 이었으며 그림 2의 이상적인 지터의 rms값과 일치되는 것이 확인된다. 이와같은 이상적인 지터는 Duttweiler에 의해 그 성질이 잘 분석되어 지터의 해석이 용이하며 그 크기가 작아서 유리하다.

Ⅵ. 결 론

디지탈신호가 SDH 동기식전송망을 통하여 다중화되어 전송될때 발생하는 포인터조정지터에 대하여 연구하였다. 동기식통신망에 장애가 발생하여 각 노드내 클럭들이 서로 다른 주파수로 동작되는 degraded 모드에서는 클럭간의 위상차가 급격하게 변화하기 때문에 빈번하게 포인터조정이 행하여지게되며 이때 지터가 발생한다. 이러한 지터를 하드웨어 시뮬레이터를 제작하여 발생하는 지터를 측정하는 방법으로 분석하였다. 측정결과, 지금까지 예측되어오던 이상적인 포인터조정지터와는 다른 모양의 지터가 실제 발생되는 것이 관찰되었다. 이상적인 포인터조정지터는 그 rms값이 약 40ns인 반면에 실제 발생되는 지터의 rms값은 160ns로 매우 크다.

본 연구에서는 이와같은 다른 모양의 지터가 나타나는 원인을 밝혔으며 크기가 작아서 유리한 이상적인 지터가 발생되는 포인터조정장치를 제시하였다. 이 방식에 따라 시뮬레이터를 변경, 제작하여 발생되는 지터를 다시 측정하였으며 그 결과 이상적인 지터가 발생되는 것이 확인되었다. 포인터동기장치에서 발생되는 지터는 바이트 단위로 위치맞춤이 처리되므로 이상적인 경우에도 그 크기가 크다. 디지탈신호가 다른 노드로 계속 전송되면서 포인터조정이 여러번 행하여지면 지터의 크기는 점점 더 증가할 것이다. 그러므로 앞으로 발생되는 지터의 크기를 작게할 수 있는 포인터조정 제어방식에 대한 연구가 자세히 이루어져야 할 것이다.

참고문헌

1. CCITT revised Recommendation, G.707, G.708,

www.dbpia.co.kr

and G.709, 1992
2. 황성문, "한국통신의 광통신기술 발전전략", 한국통신학회지, 제9권 8호, pp.5~13, 1992.8.
3. Hartmann H.L. and Steiner E., "Synchronization Techniques for Digital Networks", IEEE J. Select. Areas on Commun., Vol. SAC-4, No. 4, pp.506~513, July. 1986.
4. Johnson W.B., Brown R., "A New Network Synchronization Phase Noise Simulator", Contribution to T1 standards project T1X1.3 / 91~074.
5. Duttweiler D.L., "Waiting Time Jitter", Bell Syst. Tech. J., Vol.51, pp.165~207, Jan. 1972.
6. Matsuura Y., Kozuka S. and Yuki K., "Jitter Characteristics of Pulse Stuffing Synchronization", IEEE Int. Conf. on Commun., pp.259~264, June. 1968.
7. Cleobury D.J., "Characteristics of a Digital Multiplex Equipment Employing Justification Techniques", Conf. on Telecommun. Trans., Lodon, Sept. 9~11, 1975, IEE Conf. Publ. No. 131, pp.83~86.
8. Choi S.-K., "Messtechnische Untersuchung des Stopfjitters in Multiplex systemen fuer Breitbandsignale", ntzArchiv, Vol.8, No.12, pp.311~316, Dec. 1986.
9. 최승국, "동기식 통신망을 위한 스타핑동기 방식에서 발생되는 지터에 관한 연구", 한국통신학회 논문집, 제17권, 제5호, pp.433~441, 1992.5.
10. 최승국, 동기식 전송망에서 발생되는 stuffing jitter의 분석 및 감소방책, 통신 학술단체 '91 연구과제보고서, 1991.5~1992.3.
11. Sexton M.J. and Reid A.B., "ATM Terminal Engineer's Guide, 10. Transmission Networking:SONET and the SDH", Artech House, 1992.
12. Wolaver D., "Pointer Adjustment Sequence Due to Frequency Offset", Contribution to T1 standards project T1X1.3 / 92~149.
13. Shimamura T.and Eguchi I., "Analysis of Jitter Accmulation in a Chain of PLL Timing Recovery Circuits", IEEE Trans. Commun., Vol.25, pp.1027~1032, Sept. 1977.
14. Klein M.J. and Urbansky R., "Network Synchronization-A Challenge for SDH/SONET?", IEEE Commun. Magazine, pp.42~50, Sept. 1993.

崔 承 國(Seung Kuk Choi) 정회원

1974년 : 연세대학교 전자공학과(공학사)
1981년 : 연세대학교 대학원 전자공학과(공학석사)
1988년 : 독일 Braunschweig 대학교 전자공학과(공학박사)
1978년~1981년 : 한국전자통신연구소 연구원
1989년~현재 : 인천대학교 정보통신공학과 부교수
※주관심 분야 : 디지탈통신시스템, 동기(synchronization)

www.dbpia.co.kr