

## GaAs SCFL과 MUX를 사용한 새로운 방법의 GHz VCO 설계

正會員 金宰永\*, 金庚煥\*, 李範哲\*

### A new design of the GHz VCO based on the GaAs SCFL and MUX

Jae Young Kim\*, Kyung Whan Kim\*, Bhum Cheol Lee\* Regular Members

#### 要 約

GaAs SCFL과 MUX를 사용한 GHz VCO 회로가 HSPICE 시뮬레이션을 통하여 설계되었다. VCO는 아날로그 MUX와 지연 소자들로 구성되었다. 각 소자들은 차동 모드에서 동작하며, 따라서 이 VCO는 온도 변화 및 power supply 노이즈에 더 강한 면역성을 갖는다. 아날로그 MUX는 상대적인 위상차  $P(\alpha)$ 를 갖는 두 신호를 받아들여 상대적인 출력 위상차  $Q(\alpha)=\alpha P(\alpha)$ 를 갖는 출력 신호를 낸다. 지연 소자는 SCFL 인버터를 사용하여 구현하였다. 이 SCFL 인버터는 차동 증폭기와 두개의 level shifter를 가진 source-follower 버퍼로 구성되었다. 동작 주파수는 2.3GHz 에서 2.95GHz의 범위를 갖으며 동작 범위에서  $\pm 4.2\%$ 의 최대 오차율을 갖는다. VCO의 이득은  $7.54 \times 10^9$  radian/V-s이며, 이 연구에서의 주요 개선점은 높은 동작 주파수를 갖는 점과 튜닝 가능한 주파수의 선형성 개선 등을 들 수 있다.

#### ABSTRACT

A GHz VCO based on GaAs SCFL and MUX has been successfully designed with HSPICE simulation. The VCO is composed of analog MUX and delay cells. Each elements operate in differential mode, therefore this VCO has higher immunity against temperature variations and power supply noise. The analog MUX mixes two input signals which have relative phase shift  $P(\alpha)$ , and it makes an output signal which has relative phase shift  $Q(\alpha)=\alpha P(\alpha)$  to the phase-lead input signal. The delay cells are implemented using SCFL inverter. This GaAs SCFL inverter consists of a differential amplifier and two source-follower buffers with level shifters. The operating frequency ranges from 2.3GHz to 2.95GHz, the maximum deviation is  $\pm 4.2\%$  in the operating range. The VCO gain is  $7.54 \times 10^9$  radian/V-s. Primary improvements in this work are high oscillation frequency and linearity of tunable frequency.

\* 延世大學校 電子工學科  
Dept. of Electronic Engineering, Yonsei  
University  
論文番號 : 95181-0519  
接受日字 : 1995年 5月 19日

## I. 서 론

Voltage-controlled oscillator(이하 VCO)는 Phase-Locked Loops(이하 PLL)를 비롯한 통신 장비는 물론이고 Clock/Data Recovery 등에 핵심적인 회로이다. VCO의 동작 주파수 대역은 전체 회로의 성능 및 주파수 대역을 결정하는 중요한 요소이다. 현재 수백 MHz 정도의 주파수를 발진하는 VCO가 가장 많이 사용되고 있으며 점차적으로 더 높은 주파수 대역에서 동작하는 VCO가 개발되고 있는 추세이다. 그러나 고주파수로 발진하는 VCO의 구현에 있어 여러 가지 문제점들이 존재한다. 그 대표적인 것으로 고주파에서의 기존 실리콘 소자의 부적합성, 온도의 변화 및 power supply 노이즈에 대한 회로 특성의 변화, 튜닝시에 주파수가 비선형적으로 변화하는 문제 등이 있다.

따라서 본 연구에서는 기존의 실리콘 소자 대신 GaAs 소자를 사용하여 높은 발진 주파수를 얻는 회로를 구성하였다. 또한 온도 및 power supply 노이즈에 강한 차동 모드에서 동작하는 Source-Coupled FET Logic(이하 SCFL)을 선택함으로써 앞서 언급한 문제점들을 해결하였다.<sup>(1)</sup> 또한 기존의 링 오실레이터를 사용한 VCO 설계와는 달리 GaAs SCFL과 차동 모드의 MUX를 결합한 아키텍처를 선택하여 MUX로써 주파수를 조정하는 새로운 방법의 기술을 채택하였다.

회로는 기본적으로 링 오실레이터의 구조를 지니며 Fast와 Slow로 표현될 수 있는 두개의 루프를 갖는다. Fast 루프는 3단으로 구성된 링 오실레이터이며 Slow 루프는 5단으로 구성된 링 오실레이터이다. MUX는 두개의 루프로부터 위상차  $P(\alpha)$ 를 갖는 두개의 입력을 받아서 그 위상차의 함수로 표현되는 출력  $Q(\alpha)=\alpha P(\alpha)$ 를 낸다. 이 링 오실레이터는 MUX의 제어 전압에 의해

조정되며 가장 빠른 3단에서의 주파수와 가장 느린 5단에서의 주파수 사이를 발진한다.

본 논문에서는 새로운 구조의 VCO에 대한 동작 원리 및 해석을 제시하였다. 아울러 앞서 언급된 여러 문제점(온도에 대한 주파수의 변화, power supply 노이즈 등)들에 대한 시뮬레이션을 행하였으며 안정적 특성을 갖는 VCO를 구현하였다. 또한 VCO 회로를 on-chip 상에 구현함으로써 각 통신 모듈간에 발생하는 잡음에 대한 면역성이 강한 VCO를 설계하였다.

## II. 링 오실레이터의 구조

링 오실레이터의 구성은 그림 1에 제시하였다. 링 오실레이터는 홀수개의 인버터로 구성되며 인버터의 직렬 체인 구조를 이루고 있다. 첫단에 입력된 LOW값은 인버터들을 거치면서 다시 첫단의 입력으로 HIGH값을 피드백(feedback)시킨다. 이러한 로직값의 변화에 걸리는 시간은  $NT_D$ 이며 이때의 발진 주파수는 다음과 같다.

$$f = \frac{1}{2NT_D} \tag{1}$$

여기서 N은 인버터의 갯수,  $T_D$ 는 인버터 1 단에서의 지연시간이다. 일단 인버터의 갯수가 결정되면 주파수는  $T_D$ 에 의해 결정된다.

링 오실레이터는 홀수단으로 구성되어야 하지만 입력 단과 출력단이 두개로 이루어진 차동 모드의 인버터의 경우에는 짝수단으로도 링 오실레이터를 구성할 수 있다. 즉, 그림 2와 같이 회로를 구성하여 앞 단의 인버터의 반전 신호가 다음 단의 반전 입력으로 들어가고 비반전 신호가 다음 단의 비반전 입력으로 들어가도록 하여 짝수단으로 링 오실레이터를 설계할 수도 있다.<sup>(2)</sup>

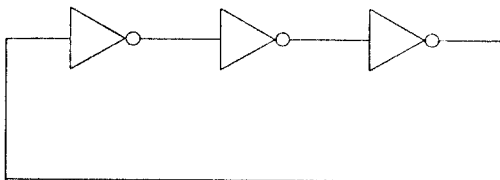


그림 1. 3단으로 구성된 링 오실레이터  
Fig. 1. Ring oscillator of 3 inverter stages.

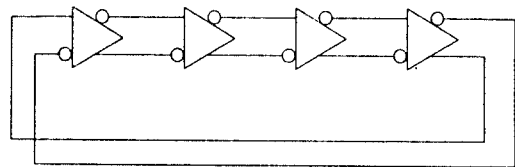


그림 2. 짝수단으로 구성된 링 오실레이터  
Fig. 2. Ring oscillator composed of even stages of inverters.

### Ⅲ. VCO architecture

본 연구에서 설계한 차동 모드 VCO는 그림 3과 같이 구성된다. SCFL 인버터 및 MUX의 입력단 및 출력단이 모두 반전, 비반전 입/출력을 가지므로 MUX의 반전 출력을 첫번째 인버터의 입력에 피드백(feed-back)시켜 링 오실레이터를 구성하였다. 결국 본 논문에서는 3단과 5단의 링 오실레이터를 MUX를 사용하여 결합한 구조를 갖는다.<sup>(9)-(15)</sup> 이때 MUX가 인버터의 구실도 하게 된다. 3단의 경우 그 주파수가  $1/(2(3)T_D)$ 로 가장 높은 주파수를 낸다. 5단의 경우 그 주파수가  $1/(2(5)T_D)$ 로 가장 낮은 주파수를 낸다. MUX 회로는 이러한 최대, 최소 주파수 사이를 제어 전압에 따라 선형적으로 변화시키는 역할을 한다.<sup>(4)</sup> 인버터는 링 오실레이터를 구성하는 기본 회로이며 차동 구조를 갖는 SCFL을 사용하여 구현하였다.

#### 1. MUX

일반적으로 디지털 MUX는 제어 신호에 따라서 입력 중 어느 하나의 신호를 출력으로 보내는 회로이다. 그러나 본 연구에서 쓰인 MUX 회로는 VCO의 주파수를 제어 전압에 따라 최소 주파수와 최대 주파수 사이에서 아날로그적으로 변화시키는 역할을 한다. 그림 4(a)에 MUX 회로를 나타내었다. 기본 구조는 차동 모드의 제어 입력과 차동 모드의 입력 신호 2개를 받을 수 있는 구조로 되어 있다. MUX는 입력 신호  $V_x$ 와  $V_y$ 를 받고 신호  $V_z$ 를 출력한다. 입력 신호  $V_y$ 에 대한 입력 신호

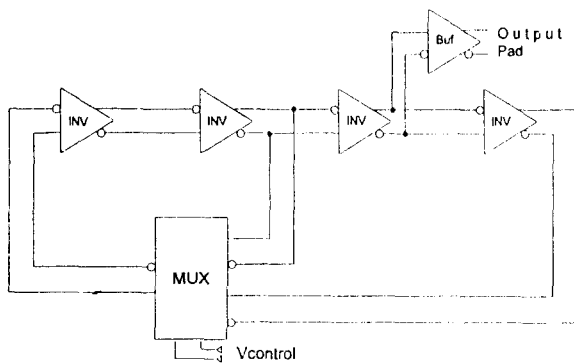


그림 3. VCO 회로  
Fig. 3. VCO circuit.

$V_x$ 의 상대적인 위상차를  $P(\alpha)$ 라 하고, 입력 신호  $V_y$ 에 대한 출력 신호  $V_z$ 의 상대적인 위상차를  $Q(\alpha)$ 라 한다. 입출력 신호 간의 관계 및 위상차  $P(\alpha)$ ,  $Q(\alpha)$ 는 다음과 같은 식으로 표현된다.

$$V_z = (1-\alpha)V_y + \alpha V_x \tag{2}$$

$$P(\alpha) = 2\pi f(\alpha)D \tag{3}$$

$$Q(\alpha) = \alpha P(\alpha) \tag{4}$$

$\alpha$ 는 제어 전압에 따라 변하는 값이며  $\alpha$ 에 따라  $V_z$ 의 크기 및 위상이 정해지며  $P(\alpha)$ 와  $Q(\alpha)$  값이 결정된다. 이 관계는 그림 4(b)의 페이지 다이어그램에 제시되었다. 위 식에서  $f(\alpha)$ 는 발진 주파수,  $D$ 는 각 루프간 지연 시간의 차이를 나타낸다. 식 (1)로 부터 주파수  $f(\alpha)$ 는 아래와 같이 표현된다.

$$f(\alpha) = \frac{1}{2[ mT_{inv} + T_{MUX} + (M-m)\alpha T_{inv} ]} \tag{5}$$

식 (5)는 각 소자의 지연 시간과 VCO 주파수 사이의 관계식이다.  $M$ 은 Slow 루프의 단(stage) 수이며,  $m$ 은 Fast 루프의 단(stage) 수이다.  $T_{inv}$ 는 인버터의 지연 시간,  $T_{MUX}$ 는 MUX의 지연 시간이다. 실제의 MUX 제어 전압은 1.0V에서 2.0V 사이를 common-mode point 관계하에서 변한다. 이를 수식으로 나타내면 다음과 같다.

$$\frac{V_a + V_b}{2} = 1.5V \tag{6}$$

여기서  $V_a$ 와  $V_b$ 는 MUX의 제어 전압을 나타낸다.

페이지 다이어그램에서 'x'로 표시한 점들은 MUX의 출력 신호  $V_z$ 의 벡터값이고 입력 신호  $V_y$ 에 대하여 상대적인 위상차  $Q(\alpha)$ 를 갖는다. 여기서  $V_y$ 는 입력 신호로 기준이 되는 신호이며,  $V_x$ 는  $V_y$ 에 대해 상대적인 위상차  $P(\alpha)$ 를 갖는 입력 신호이다. 영역의 경계로 제시된  $2\pi/5$ 와  $2\pi/3$ 는  $2\pi/N$ 로 표현될 수 있고, 여기서  $N$ 은 가장 느린(Slow) 루프와 가장 빠른(Fast) 루프에서의 단(stage) 수에 의해 결정된다.  $\alpha$ 는 MUX의 제어 전압에 따른 값이며  $V_a=2V$ ,  $V_b=1V$ 인 경우에  $\alpha=0$ 이며,  $V_a=1V$ ,  $V_b=2V$ 인 경우에  $\alpha=1$ 이 된다.  $\alpha$ 가 0에서 1로 변함에 따라  $P(\alpha)$ 는  $2\pi/5 \sim 2\pi/3$  사이의 범위를 가지며,  $Q(\alpha)$ 는  $0 \sim 2\pi/5$  사이의 범위를 갖는다. 원의 반지름은 1로 SCFL의 로직 레벨(진폭)을 가리킨다. 출력

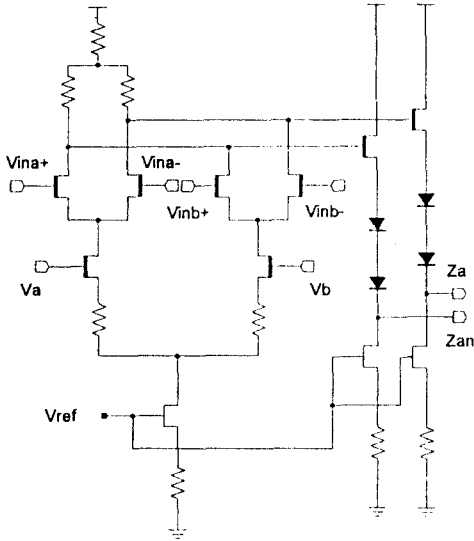


그림 4(a). MUX 회로  
Fig. 4(a). MUX circuit.

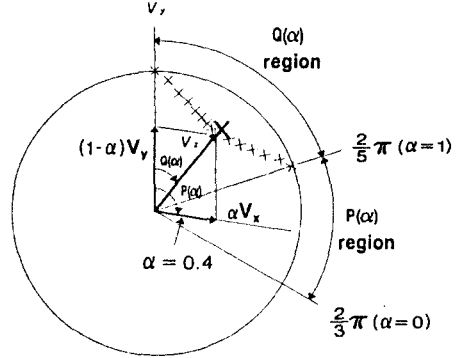


그림 4(b). 페이저 다이어그램  
Fig. 4(b). Phasor Diagram.

신호의 진폭은  $P(\alpha)$ 에 의해 변한다. 동작 영역에서 출력 신호의 진폭은 감소되며 'X'로 표시된 점은 최대 감소된 출력 신호의 진폭을 나타낸다. 이 진폭의 최소치는 오실레이션이 일어나기 위한 최소값보다 커야 하며  $P(\alpha)$ 의 값이  $2\pi/3$  이하인 경우에 만족된다. 이러한 조건하에서는 출력 신호 진폭의 감소는 다음 단(stage)에 의해 보상되어 전체 루프 이득은 1로 유지된다.

## 2. 인버터

인버터는 링 오실레이터를 구성하는 가장 중요한 회로이다. 인버터를 구현할 수 있는 GaAs Logic에는 Direct-Coupled FET Logic(DCFL), Buffered FET Logic(BFL), Source-Coupled FET Logic(SCFL) 등이 있다. VCO 회로가 고주파수 영역에서 안정성 있게 동작하려면 온도에 대한 안정성이 가장 중요하다. MESFET의 포화 영역에서의 전류식은  $I_{DS} = \beta(V_{GS} - V_T)^2$ 로 표현된다. 여기서 전류값에 영향을 미치는 파라미터는  $\beta$ 와  $V_T$ (문턱전압: threshold voltage)이다.  $\beta$ 는 주로  $W/L$ 값에 의하여 변하므로  $I_{DS}$ 에 가장 큰 영향을 미치는 파라미터는  $V_T$ 이다.  $V_T$ 는 온도에 의해 변하며  $V_T(t) = V_T - TCV \cdot \Delta t$ 로 표현된다. 여기서 TCV는 문턱 전압에 대한 온도 보상 계수

(Temperature Compensation Coefficient for Threshold Voltage)이다. 결국 전류값이 온도에 대한 안정성을 갖기 위해서는 온도에 따른  $V_T$ 의 변화에 대하여 최소의 특성 변화를 갖는 로직이 필요하다. 앞서 제시한 여러 GaAs 로직들을 비교한 결과, SCFL이 온도 변화에 가장 강한 특성을 보였으며 그림 5와 같이 차동 구조를 갖고 있으므로 공정상 있을 수 있는 오차에 대해서 FET의 특성이 같이 변화하여 상대적인 오차를 감소시킬 수 있는 장점이 있다. 또한 SCFL의 경우 그 구조가 차동 모드에서 동작하므로 power supply 노이즈에 강한 면역성을 나타낸다. 이는 노이즈로 인한 각 FET의 출력값이 동시에 변화하여 상대적인 출력 차이에는 별 변화가 없기 때문이다. SCFL 회로의 기본 구조는 차동 증폭기와 level shifter가 첨가된 source follower 버퍼, 그리고 간단한 current source로 이루어진다.(그림 5)

스위칭에 관하여 다음 두 가지 경우를 살펴보면<sup>(6)</sup>,

(a) FET1 - on, FET2 - off

$$V_{INa} - V_S \geq V_{T1} + V_{on1}(0) \quad (7)$$

$$V_{REF} - V_S < V_{T2} \quad (8)$$

(b) FET1 - off, FET2 - on

$$V_{INb} - V_S < V_{T1} \quad (9)$$

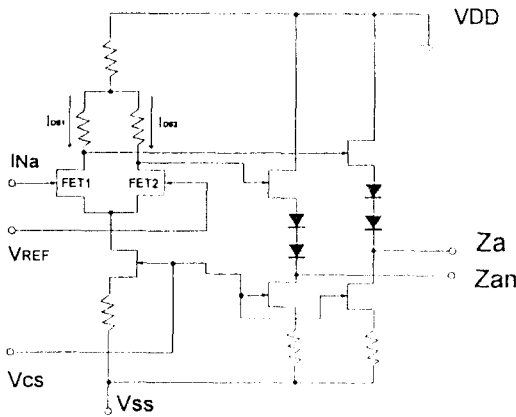


그림 5. SCFL 인버터  
Fig. 5. SCFL inverter.

$$V_{REF} - V_S \geq V_{T2} + V_{on2}(0) \quad (10)$$

$V_{INa}$ 와  $V_{INb}$ 는 위의 두 경우를 스위칭하기에 필요한 입력 전압이고,  $V_{T1}$ ,  $V_{T2}$ 는 각각 FET1, FET2의 문턱전압(threshold voltage)이다.  $V_S$ 는 FET1과 FET2에 공통으로 연결된 소오스 전압을 나타낸다.  $V_{oni}(0)$  ( $i=1, 2$ )는 다음과 같다.

$$V_{oni}(0) = V_{GSi} - V_{Ti} \quad (i=1, 2) \quad (11)$$

$V_{GSi}$ 는 on-FETi의 게이트 소오스간의 전압이다. (8)식과 (10)식을 각각 (7)식과 (9)식에 대입하면,

$$V_{INa} > V_{REF} + V_{oni}(0) + V_{T1} - V_{T2} \quad (12)$$

$$V_{INb} < V_{REF} - V_{on2}(0) + V_{T1} - V_{T2} \quad (13)$$

$V_{oni}(0)$ 의 값은 드레인 전류가 일정하기 때문에 일정한 값이며, 인접한 FET의 문턱전압값의 차 ( $V_{T1}-V_{T2}$ )는 일반적으로 무시될 수 있을 정도로 매우 작다. 따라서 스위칭에 필요한 입력 전압의 값은 문턱전압에 거의 무관하다. 이는 온도에 따른 문턱전압의 변화에 거의 영향을 받지 않는 것을 의미한다.

SCFL 인버터는 기본적으로 전류 모드에서 동작한다.<sup>(7)</sup>

$$I_{DSi} = \beta_i (V_{Gi} - V_{Si} - V_{Ti})^2 \quad (14)$$

$$I_0 = I_{DS1} + I_{DS2} \quad (15)$$

그러므로, 위의 식에서  $I_{DS1}$ 과  $I_{DS2}$ 를 계산하여

$V_{T1}=V_{T2}=V_T$ ,  $\beta_1=\beta_2=\beta$ 라 하면,

$$I_{DS1} = \frac{I_0}{2} + \frac{\beta}{2} (V_C - V_{ref}) \sqrt{\frac{2I_0}{\beta} - (V_C - V_{ref})^2} \quad (16)$$

$$I_{DS2} = \frac{I_0}{2} - \frac{\beta}{2} (V_C - V_{ref}) \sqrt{\frac{2I_0}{\beta} - (V_C - V_{ref})^2} \quad (17)$$

이 되어 차동 모드의 SCFL 전류식도  $V_T$ 에 무관하다. 즉, 앞에서 제시한 스위칭에 필요한 전압값과 전류 방정식에서 온도에 따른  $V_T$ 의 변화에 대한 SCFL의 면역성을 확인하였다. 이러한 결과는 SCFL이 고주파수 영역에서 가장 문제시 되는 온도에 대한 인버터 회로의 특성 변화를 최소화할 수 있는 로직임을 의미한다. SCFL의 경우 이러한 특성 이외에도 작은 입력 커패시턴스와 좋은 fan-out 특성을 갖으며 고속의 디지털 신호처리에 응용할 수 있는 장점이 있다.

#### IV. 시뮬레이션 결과 및 고찰

시뮬레이션은 회로의 신뢰성 및 실용성을 위하여 실제 공정에 쓰이는 파라미터를 사용하였다. 프로그램으로는 HSPICE를 사용하여 시뮬레이션하였다. 각 소자의 propagation delay 시간을 측정하였고, 제어 전압에 따른 주파수의 변화를 온도 및 power supply 노이즈에 대하여 시뮬레이션하였다. 아래에 이들 시뮬레이션 결과를 제시하였다.

표1은 3단과 5단의 링 오실레이터를 구성하였을 때의 SCFL 인버터와 MUX의 propagation delay 시간을 나타낸 것이다.

표1에서 SLOW는 MUX의 제어 입력이  $V_a=1V$ ,  $V_b=2V$ 인 경우이며 MED는  $V_a=1.5V$ ,  $V_b=1.5V$ 인 경우이고 FAST는  $V_a=2V$ ,  $V_b=1V$ 인 경우이다. 지연 시간의 전형적인 값(Typical Value)은 30℃, 5V Power supply 전압, MED인 경우로 본다. 각 소자의 Typical인 경우의 propagation delay 시간과 식(5)을 사용하여 계산된 VCO의 주파수는 2.21~3.53GHz의 영역을 나타내었다.

그림 6에 제어 전압에 따른 주파수 변화 파형을 보였다. 여기서 x축은 나노 초(nano second) 단위의 시간을, y축은 VCO 출력 신호의 진폭을 나타낸다. 세가지 파형은 제어 전압이 각각 SLOW, MED, FAST인 경우의 VCO 출력 파형으로 주파수가 제어 전압에 따라

표 1. SCFL 인버터 및 MUX의 propagation delay 시간 측정값

Table 1. Measured propagation delay time in case of SCFL inverter and MUX.

종류	시간	T <sub>PR</sub> (30°C)	T <sub>PR</sub> (60°C)	T <sub>PR</sub> (85°C)
	SCFL inverter		42.22 ps	42.32 ps
MIX	SLOW	57.2 ps	57.2 ps	57.3ps
	MED	55.0 ps	55.3 ps	55.5 ps
	FAST	57.2 ps	57.2 ps	57.3 ps

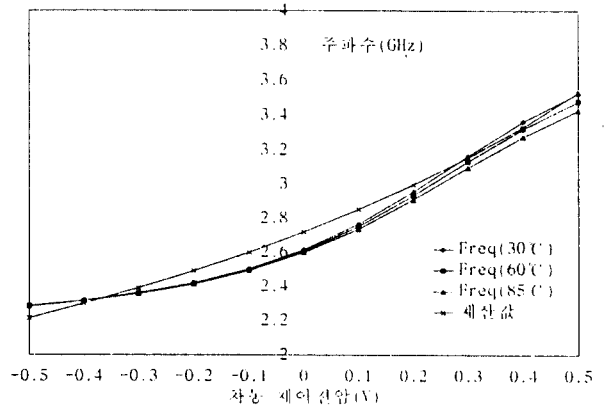


그림 7. 제어 전압에 따른 주파수 변화 곡선 (온도: 30°C, 60°C, 85°C)

Fig. 7. Frequency vs control voltage curves. (temperature: 30°C, 60°C, 85°C)

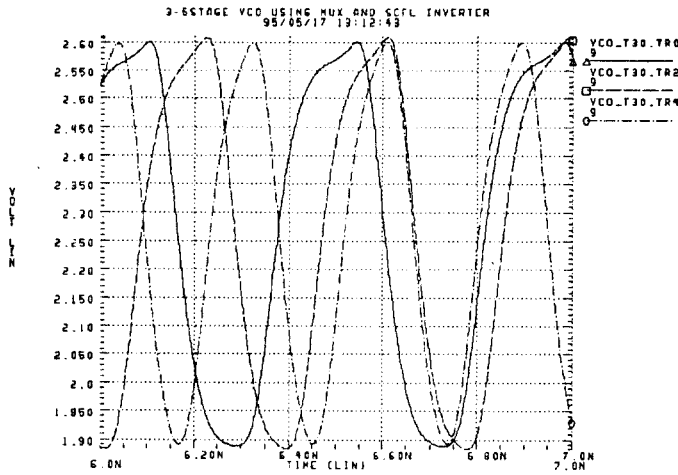


그림 6. 제어 전압에 따른 주파수 변화 파형

Fig. 6. Frequency waveforms according to control voltage.

증가하고 있음을 알 수 있다.

그림 7은 제어 전압에 따른 주파수의 변화 곡선을 30°C, 60°C, 85°C의 경우로 나누어 시뮬레이션한 결과이다. 식 (5)에 의해 계산된 주파수 값을 비교하였으며 계산에 사용된 소자의 지연 시간은 Typical(30°C, 5V)인 경우의 값을 사용하였다.

그림 8은 power supply 노이즈에 대한 주파수 변화 곡선이다. Power supply 노이즈로 기준 전압값의 ±

4%에 해당하는 4.8V와 5.2V를 인가하였다. 식 (5)에 의해 계산된 주파수 값을 비교하였으며 계산에 사용된 소자의 지연 시간은 Typical(30°C, 5V)인 경우의 값을 사용하였다.

위의 시뮬레이션 결과에서 주파수의 최대 선형성 오차는 동작 주파수 범위에서 ±4.2%를 나타내었다.

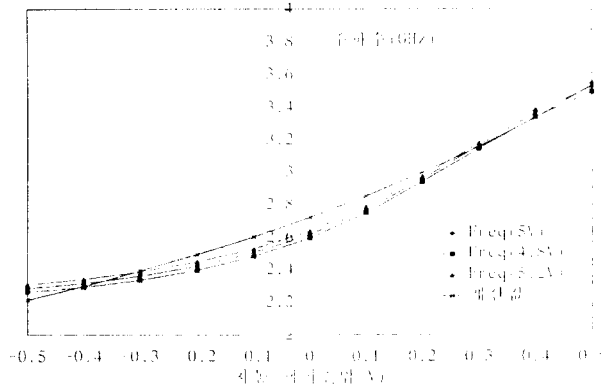


그림 8. Power supply 노이즈에 대한 주파수 변화 곡선  
 Fig. 8. Frequency curves according to power supply noise.

### V. 결 론

On-chip VCO를 구현하는데 가장 기본이 되는 인버터로 SCFL을 사용하였다. 이는 SCFL이 전류의 차동 모드로 동작하기 때문에 공정 변화와  $V_T$ 의 변화에 민감하지 않기 때문이다. SCFL 방식은 차동 입력과 출력을 가지므로 짝수단으로도 링 오실레이터를 구성할 수 있는 장점도 있다. VCO의 주파수 튜닝에는 MUX를 사용하여 구현하였다. MUX는 제어 전압에 따라 최대, 최소 주파수 사이를 아날로그적으로 출력할 수 있으며 제어 전압은 common-mode point 관계를 가지고 있다. 설계한 VCO의 시뮬레이션을 통하여 2.3~2.95GHz 사이를 발진하는 오실레이터를 얻을 수 있었다. 또한 제어 전압 1V 당 1.2GHz의 주파수가 변화함을 확인하였다. 온도에 관한 특성 변화 시뮬레이션에서는 worstcase에서 238 ppm/°C를 얻음으로써 비교적 온도에 안정된 성질을 나타내었다. Power supply 노이즈에 대한 특성 변화 시뮬레이션에서는 전 주파수 범위에서 평균 0.022GHz정도의 균일한 오차를 나타내었다. 이러한 특성은 power supply 전압에 따라 레퍼런스 전압을 제공하는 전압 레퍼런스 회로를 인버터 및 MUX에 첨가함으로써 성능을 개선할 여지가 있다. 연구 결과 드러난 문제점으로는 출력 파형의 스윙폭이 GaAs 소자의 특성상 1V 정도밖에 되지 않아 노이즈 마진이 작은 점과 제어 전압이 1V를 넘지 못하는 점, 제어 전압 1V에 대해 주파수의 변화폭이 1.2GHz정도로 큰 점, 주파수

의 변화가 완전한 선형성을 갖지는 못하는 점 등이 있다. 그러나 이러한 문제점들은 1. 로직의 개선, 2. Op-Amp 등을 사용한 바이어스 회로의 첨가, 3. 인버터 및 MUX의 지연 시간 이외에 metal interconnection에 의한 지연 시간 조정 등으로 개선될 수 있으며 앞으로의 꾸준한 연구가 요구된다.

본 연구에서는 SCFL 인버터와 MUX를 사용하여 매우 높은 발진 주파수를 갖는 차동 모드의 링 오실레이터 VCO를 얻을 수 있었으며, VCO의 on-chip화를 통한 전체 시스템에의 성능 개선 가능성을 검증하였다.

### 참고문헌

1. G. LaRue, T. Williams and P. Chan, "FET FET LOGIC: A HIGH PERFORMANCE, HIGH NOISE MARGIN E/D LOGIC FAMILY", *GaAs IC Symposium*, pp.223~226, 1990.
2. A. W. Buchwald, K. W. Martin, "High-Speed Voltage-Controlled Oscillator with Quadrature Outputs", *Electronics Letters*, vol. 27, no. 4, pp.309~310, 14th Feb. 1991.
3. K. E. Syed, A. A. Abidi, "Gigahertz Voltage-Controlled Ring Oscillator", *Electronics Letters*, vol. 22, No. 12, pp.677~679, 5th June. 1986.
4. R. C. Walker, "Fully Integrated High-Speed Voltage Controlled Oscillator", United States Patent, No. 4884041, Nov. 28, 1989.
5. John F. Ewen, Mehmet Soyuer, et al., "Single-Chip 1062 Mbaud CMOS Transceiver for Serial Data Communication", *ISSCC Dig. of Tech. Papers*, pp.32~33, Feb. 1995.
6. S. Katsu, S. Nambu, et al., "A GaAs Monolithic Frequency Divider Using Source Coupled FET Logic", *IEEE ELECTRONICS LETT*, vol. EDL-3, no. 8, pp.197~199, August. 1982.
7. S. Katsu, S. Nambu, et al., "A Source Coupled FET Logic - A New Current-Mode Approach to GaAs Logic", *IEEE Trans. Electron Devices*, vol. ED-32, pp.1114~1118, June. 1985.
8. John G. Maneatis, Mark A. Horowitz, "Precise

Delay Generation Using Coupled Oscillators”, *ISSCC Dig. of Tech. Papers.* pp.118~119, 1993.

9. John F. Ewen, Mehmet Soyuer, “A Fully

Monolithic 1.25GHz CMOS Frequency Synthesizer”, *IEEE Symposium on VLSI Circuits, Dig. of Tech. Papers.* pp.127~128, 1994.



金 宰 永(Jae Young Kim) 정회원

1990년 2월 : 연세대학교 공과대학 전자공학과 졸업(학사)

1992년 2월 : 연세대학교 대학원 전자공학과 졸업(석사)

1992년 3월~현재 : 연세대학교 대학원 전자공학과 박사 과정

※주관심 분야 : Clock recovery, GaAs Logic and Analog Circuits



金 廣 煥(Kyung Whan Kim) 정회원

1994년 2월 : 연세대학교 공과대학 전자공학과 졸업(학사)

1994년 3월~현재 : 연세대학교 대학원 전자공학과 석사 과정

※주관심 분야 : PLL, GaAs Logic and Analog Circuits



李 範 哲(Bhum Cheol Lee) 정회원

1981년 2월 : 경희대학교 공과대학 전자공학과 졸업(학사)

1983년 8월 : 연세대학교 대학원 전자공학과 졸업(석사)

1994년 3월~현재 : 연세대학교 대학원 전자공학과 박사 과정

1983년~현재 : 한국전자통신연구소 교환기술연구단 선임연구원

※주관심 분야 : Synchronization, GaAs Logic and Analog Circuits