

ISDN U-인터페이스 Digital IC 개발

正會員 李倅雨*, 田溶一*, 裴政烈*, 朴元植*, 郭銘信*

Development of ISDN U-Interface Digital IC

Haeng-Woo Lee*, Yong-Il Jun*, Jung-Ryul Bae*, Won-Sik Park*, Myung-Shin Kwak* Regular Members

要 約

본 논문은 ISDN 시스템용 U-인터페이스 디지털 칩의 회로설계 및 개발에 대하여 기술하고 있다. 선로부호로서 2B1Q 코드를 사용하였고, 데이터는 160Kb/s의 속도로 전송된다. 전송방법은 하이브리드 회로를 포함한 반향제거방식으로서 회로설계 단계에서 충분한 시뮬레이션을 통하여 요구하는 성능을 확인한 다음 구현하였다. 본 칩은 SIU 부분과 DSP 부분으로 구성되어 있으며, 반향신호 제거 및 수신신호 등화기능, 선로 부호화 및 복호 기능, 그리고 활성 및 비활성 절차 제어기능등의 역할을 수행한다. 제조공정은 0.8um CMOS CBIC 공정을 사용하였고, 약 85,000 Gates가 소요되었다.

ABSTRACT

This paper describes the design and development of U-interface digital chip for ISDN system. It implements the 2B1Q code as a line code and supports the data rate of 160Kb/s. The transmission method is the ECM(Echo Cancellation Method) with the hybrid circuit, and the simulation of circuits is showed satisfying performances on the specification. The chip contains SIU(System Interface Unit) and DSP parts, and performs the functions such as echo cancelling, equalizing, line encoding/decoding and activation/deactivation procedure control. It is fabricated by using 0.8 um CMOS CBIC process, and includes about 85,000 gates.

* 한국전자통신연구소
論文番號 : 95101-0311
接受日字 : 1995年 3月 11日

I. 서론

ISDN(Integrated Services Digital Network) 시스템에서 U-인터페이스는 수 Km의 2선 선로이다. 이 선로를 통해서 160 Kb/s의 속도로 데이터를 오류없이 전송할 수 있도록 물리적 경로를 형성하여 주는 것이 본 칩의 기능이다.⁽¹⁾

U-인터페이스 칩의 전송방식으로 TCM(Time Compression Multiplexing), FDM(Frequency Division Multiplexing), ECM등이 있다. TCM 방식은 회로구현은 간단하나 전송속도가 높아서 전송거리가 짧고, FDM 방식은 회로구현이 어렵고 회로가 커지는 단점이 있다. ECM 방식은 반향제거회로가 복잡하나 FDM 방식보다는 간단하고 전송거리가 길어 많이 채택하고 있다.

선로부호는 신호 level의 수에 따라 binary, ternary, quaternary 코드 등으로 분류된다. 초기에는 회로구현의 용이함 때문에 binary 코드에 속하는 biphasic 코드를 사용하였으나 전송속도가 높아서 전송거리가 짧은 단점이 있고, ternary 코드인 MMS(Modified Monitoring State)43 코드는 회로의 복잡성은 크게 증가한 반면 전송거리는 약간 증가하였을 뿐이다. 그래서 대부분 회사에서 사용하고 있는 2B1Q 코드는 quaternary 코드로서 회로는 복잡하지만 전송속도가 비트 속도의 절반으로 감소하여 전송거리가 가장 길다.

아직까지 국내에서 개발된 U-인터페이스 칩은 없고 세계적으로 캐나다의 MITEL, 일본의 NEC, 미국의 AT&T와 INTEL, 그리고 독일의 SIEMENS등에서 개발했거나 개발 중에 있다. 이 칩은 ISDN 시스템에서 가입자당 2개씩이 필요하고 칩의 가격도 높기 때문에 수익성이 충분하며 우리 나라에서도 자체 개발을 통해 수입대체 효과 및 ASIC 설계능력 확보 등의 필요성이 대두하게 되었다.

본 칩을 개발하기 위해 먼저 회로의 전반적인 기능에 대하여 C-언어를 사용한 프로그램을 작성하고 회로변수를 변화시키면서 반복 시뮬레이션을 수행하여 가장 우수한 성능을 나타내는 변수집합을 최종 결정하였다. 프로그램의 시뮬레이션으로부터 얻은 변수를 사용하여 회로를 설계하였는데 SIU 부분은 VHDL(Very high speed Hardware Description Language) 언어를

사용하여 RTL(Register Transfer Logic) 레벨로 기술한 다음 회로합성하였으며, DSP(Digital Signal Processing) 부분은 논리 게이트를 이용하여 직접 설계하였다. 완성된 회로는 논리 시뮬레이션으로 기능과 timing을 확인한 다음 cell-based 방식으로 layout 작업을 거쳐 칩을 제작하였다.

모든 기동절차는 ANSI(American National Standards Institute) 표준⁽²⁾에 준하여 설계하였고, 선로부호는 장거리 전송에 유리한 2B1Q 코드, 전송방식은 하이브리드 회로를 가진 ECM 방식을 채택하였다. ECM 전송방식은 하이브리드 회로의 임피던스 부정합으로 인한 수신신호의 반향성분을 제거하기 위하여 반향제거회로를 사용하며, 이 회로에서 60 dB 이상 반향신호를 제거해야 한다. 그리고 수신신호에 대한 SNR(Signal to Noise Ratio)은 27dB 이상을 요구한다.

논문의 내용은 II.에서 전반적인 칩의 동작에 대하여 기술하였고, III.에서 반향신호를 제거하는 알고리즘에 대하여, IV.에서는 회로의 설계 내용을, V.에서는 회로의 시뮬레이션 수행방법 및 결과에 대하여, VI.는 칩 제작에 관한 내용을 기술하였으며, 마지막으로 VII.에서 결론을 유도하였다.

II. 시스템 개요

U-인터페이스 칩은 ISDN 시스템의 U-인터페이스 선로 양단에서 교환기 측의 LT(Line Termination) 모드와 가입자 측의 NT(Network Termination) 모드로 사용되어 데이터 전송시 물리계층의 기능을 담당한다. 물리계층의 기능으로서는 수신신호 이외의 모든 잡음들을 제거하여 데이터를 추출하는 기능과 통신 프로토콜 기능 및 데이터 오류확인 기능등이 있다. 전체 회로는 그림 1에서 보는 바와 같이 SIU, DSP, AFE(Analog Front End) 부분등 3부분으로 구성되어 있으며, 본 논문은 디지털 회로인 SIU와 DSP 부분에 대한 설계, 개발내용을 기술하고 있다.

SIU 부분은 프레임 구조 변환과 scrambling/descrambling, 부호화/복호화 및 활성/비활성 절차 제어와 동작모드 선택, CRC(Cyclic Redundancy Check) 비트 오류 확인 등의 기능을 한다. Inter-chip 프레임의 구성은 그림 2와 같이 데이터

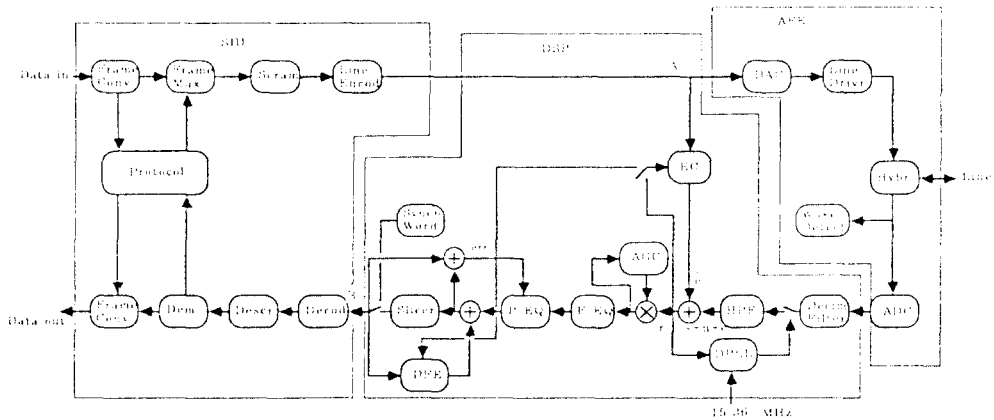


그림 1. U-인터페이스 칩 구성도
Figure 1. U-interface chip blockdiagram

B1(8)	B2(8)	Monitor(8)	D(2)	C/I(4)	HS(2)
-------	-------	------------	------	--------	-------

그림 2. Inter-chip 프레임 구조
Figure 2. Inter-chip frame structure

SW(18)	12(2B+D) (216)	M(6)
--------	----------------	------

그림 3. U-인터페이스 프레임 구조
Figure 3. U-interface frame structure

용 B채널 2개와 신호용 D채널 1개. 그리고 칩의 내부 상태를 감시하기 위한 Monitor 채널 및 통신 프로토콜에 따라 기동절차를 제어하는 C/I(Control/Indication) 채널, 송수신 신호의 HS(Hand-Shaking) 비트 등으로 성되며, 256Kb/s의 속도로 전송한다.

U-인터페이스 프레임의 구성은 그림3에서 보여주고 있다. 여기에는 프레임 시작을 나타내는 SW(Synchronization Word)와 (2B+D) 채널 12개, 그리고 유지보수용 M(Maintenance) 비트들로 이루어지며 8개의 기본 프레임으로 슈퍼 프레임을 구성하고 160Kb/s로 전송된다. 슈퍼 프레임의 시작은 SW 대신 ISW(Inverted SW)를 사용하여 기본 프레임과 구별한다.

Scrambler는 데이터의 패턴이 random하도록 함으로서 2B1Q 코드의 직류성분을 제거하고 반향제거회로의 수렴특성을 개선시킨다. 다항식은 식(1), (2)와 같이 LT, NT 모드에 따라 다르게 선정하여 송수신 데이터간에 auto-correlation이 발생하지 않도록 한다.

$$LT \text{ mode} : 1 \oplus z^5 \oplus z^{23} \quad (1)$$

$$NT \text{ mode} : 1 \oplus z^{16} \oplus z^{23} \quad (2)$$

여기서 \oplus 는 modulo-2 가산 연산자이다. 선로부호는 2B1Q 코드로서 전송속도가 80Kbaud로 감소하여 전송 거리를 증가시킬 수 있다. 2B1Q 코드는 <표1>에서 보여주는 바와 같이 2개의 binary 비트에 따라 4개의 크기를 가진 quaternary 심볼 1개로 대치된다. 이 심볼의 값은 단지 심볼들 간의 상대적인 크기를 나타낸다.

이 심볼은 수신신호에 포함된 반향신호를 제거하는 반향제거회로와 선로전송에 적합한 파형을 만들어내는 펄스정형회로의 입력 데이터로 사용된다. 펄스정형회로는 DAC 및 저역통과 필터로 구성되며 출력신호는 원거리 전송을 위해 증폭 단을 거쳐 증폭된 다음 송수신 신호를 분리하는 하이브리드 회로로 입력된다.

수신신호는 oversampling ADC(Analog Digital Converter) 회로^[3]를 거쳐 11bit 해상도를 갖는 15.36Mb/s PDM(Pulse Density Modulation) 데이터로 변환된다. PDM 비트는 decimation 필터를 거쳐 고주파 성분이 제거된 다음 출력신호가 80KHz로 샘플링된다. Decimation 필터는 저역통과 필터로서 전

표 1. 2B1Q 코드
Table 1. 2B1Q code

Binary bit		Quaternary symbol
Sign	Magnitude	
0	0	-3
0	1	-1
1	0	+3
1	1	+1

달함수는 다음과 같다.

$$H(z) = \frac{1 - 2z^{-48} + 2z^{-144} - z^{-192}}{(1 - z^{-1})^3} \quad (3)$$

또한 수신신호에 포함된 직류성분을 제거하기 위해 다음과 같은 HPF(High Pass Filter)를 사용한다.

$$H(z) = \frac{1 - z^{-1}}{1 - 0.75z^{-1}} \quad (4)$$

수신신호는 각 선로에 따라 hybrid 회로의 임피던스 부정합에 기인한 반향신호를 포함하고 있는데 이 신호의 크기는 선로를 따라 감쇄된 수신신호보다 수십배 큰 값을 나타낸다. 본 칩에서는 48tap FIR(Finite Impulse Response) 필터를 사용하여 이 신호성분을 제거하는 반향제거회로를 구현하였다. 반향신호를 제거하는 방법은 식(5)와 같이 LMSE(Least Mean Square Error) 알고리즘⁽⁴⁾과 error 신호의 sign을 이용하여 심볼 마다 필터의 계수를 update하고 48개의 송신 데이터 A와 계수 C에 대한 CS(Convolution Sum)을 구하여 수신신호로부터 감산한다. 계수를 update하기 위해 사용하는 error 신호로서 초기에는 EC(Echo Canceller) error를 사용하고, EQ(Equalizer) error의 평균크기가 Slicer 입력 단의 수신신호보다 1/4이하로 감소하면 EQ error를 사용한다. 평균 수신신호에 비해서 EC error가 60dB 이상 감소하면 이 회로가 수렴한 것으로 판단한다.

$$C(i, k) = C(i, k-1) + 2^{22} \text{sign}(r(k)) \cdot A(i, k) \quad (5)$$

$$\hat{E}(k) = \sum_{i=0}^{47} C(i, k) \cdot A(i, k) \quad (6)$$

수신신호에서 반향성분이 제거된 신호는

AGC(Automatic Gain Control) 회로에서 일정한 크기로 조정되고, Fixed-EQ에서 대략적인 ISI(Inter-Symbol Interference)가 제거된다. 등화회로는 ISI의 pre-cursor 성분을 제거하는 pre-EQ와 post-cursor 성분을 제거하는 DFE(Decision Feedback Equalizer)로 구성된다. 수신신호가 3tap pre-EQ를 통과하게 되면 2 심볼이 지연된다. DFE는 정확하지 않은 데이터를 입력 데이터로 사용하기 때문에 회로의 수렴이 쉽지 않다. 그래서 등화회로의 수렴을 용이하게 하기 위해 매 프레임의 시작점에서 기존의 알고 있는 SW를 입력 데이터로 사용한다. 등화회로가 수렴하는 방법은 입력으로 Slicer 출력인 수신 데이터를 사용하는 것을 제외하고는 반향제거회로의 수렴방법과 동일하다. ISI가 제거된 신호는 Slicer에서 2 비트로 된 quaternary 데이터로 출력되며, 복호회로에서 다시 binary 비트로 복호화된다.

수신 경로에서 사용되는 클럭은 수신 데이터와 동기화 이루어져야 한다. 동기된 클럭은 DPLL(Digital Phase Locked Loop) 회로를 이용하여 반향신호가 제거된 수신신호로부터 구한다. 식(7)과 같이 80Kbaud 수신신호와 SW를 convolution하여 1 프레임 내에서 CS가 최대가 되는 지점을 찾는다. 이 지점이 SW의 마지막 심볼에 해당되는 지점으로서 프레임의 시작점을 알 수가 있다. 위상 동기는 식(9)에서 처럼 1 심볼 전의 CS와 1 심볼 후의 CS의 차를 구하여 이 값이 음인가, 양인가에 따라 위상을 advance 또는 retard시켜 맞추어 나가고 CS의 차가 영이면 완전히 동기된 상태를 나타낸다.

$$CS(n) = \sum_{i=0}^8 r(n-i) \cdot SW(i) \quad (7)$$

$$CS(m) = \text{MAX}\{CS(n)\} \quad \text{for } n = 0 \sim 119 \quad (8)$$

$$\text{DIFF} = CS(m+1) - CS(m-1) \quad (9)$$

Advance : DIFF > 0

Retard : DIFF < 0

기동절차에 관한 프로토콜은 ANSI 표준에 준하여 설계하였다. 기동절차는 LT측에서 요구하여 수행될 수도 있고, NT측에서 요구하여 수행될 수도 있다. NT측의 요구에 의하여 기동절차를 수행할 경우 각 상태에 대한 칩의 내부신호 및 입출력 신호들을 그림4에서 보여주고

NT state	deactivation	alerting	EC training	EQ training	wait for SF	synchronization	wait for ACT	transparent
U signal	SNO	TN ①	SN1	SN0 ②	SN2 ④	SN3 ⑤	SN3	SN3T
U M4 bit	-	-	-	-	-	act=0	act=1 ⑥	act=1 ⑧
IOM C/I out	DC	DC	DC	DC	DC	AR	AR	AI
IOM C/I in	DI [AR] ⇒	-	-	-	-	- [AI] ⇒	-	-
Internal signal	-	-	EC converge →	2B+D, SW detect →	2B+D, ISW detect →	-	-	-
				↙ ③	↙ ③		↙ ⑦	
	① ↘	② ↘		④ ↘	⑤ ↘	⑥ ↘	⑧ ↘	
Internal signal	-	no NT signal →	EC converge →	NT signal →	2B+D, ISW detect →	-	-	-
IOM C/I in	-	-	-	-	-	-	-	-
IOM C/I out	DI	AR	AR	ARM	ARM	UAI	UAI	AI
U M4 bit	-	-	-	act=0, deact=1	act=0, deact=1	act=0, deact=1	act=1, ⑦ deact=1	act=1, deact=1
U signal	SL0	SL0	SL1	SL2 ③	SL2	SL3	SL3	SL3T
LT state	deactivation	awake	EC training1	Ec training2	EQ training	line active	pending transparent	transparent

그림 4. NT측 요구에 의한 기동절차도
Figure 4. Activation procedure by a request of NT side

있다.

Deactivation 상태에서 NT측 칩으로 입력되는 Inter-chip 프레임의 C/I 채널에 AR(Activation Request) 비트가 들어오면 alerting 상태가 되면서 선로에 wake-up tone(①)을 내보낸다. LT측 칩은 deactivation 상태에서 NT측에서 보내오는 wake-up tone을 감지하고 awake 상태로 변하면서 C/I 채널로 AR 비트를 내보낸다. NT측 칩은 9 msec 동안 wake-up tone을 보낸 후 EC training 상태로 넘어가고 SW가 포함되지 않은 임의의 데이터를 선로로 내보낸다. 이때 NT측 반향제거회로의 계수가 수렴하기 시작한다. 계수가 완전히 수렴하면 EQ training 상태가 되며 선로에는 아무런 신호도 보내지 않는다. (②) LT측 칩은 awake 상태에서 NT 측으로부터 어떤 신호도 보내고 있지 않음을 확인하여 EC training1 상태로 변하고 SW가 포함되지 않은 임의의 데이터를 선로로 내보낸다. 이때 반향제거회로의 계수가 수렴하기 시작하며 완전히 수렴되면 EC training2 상태가 되어

SW와 ISW가 포함된 임의의 데이터(③)를 선로로 내보낸다. NT측 칩은 EQ training 상태에서 등화회로의 계수가 수렴하다가 (2B+D) 데이터와 SW를 수신하게 되면 wait for SF 상태가 된다. 이 상태에서 선로에 SW가 포함된 임의의 데이터(④)를 출력하고 LT 측으로부터 (2B+D) 데이터와 SW 및 ISW를 수신하게 되면 synchronization 상태로 바뀌면서 선로에 SW와 ISW가 포함된 임의의 데이터(⑤)를 출력한다. LT측 칩은 EC training2 상태에서 NT 측으로부터 어떤 신호가 보내지고 있는 것이 확인되면 EQ training 상태가 된다. 이 상태에서 (2B+D) 데이터와 SW 및 ISW가 수신되면 line active 상태로 변한다. NT측 칩은 synchronization 상태에서 Inter-chip 프레임의 C/I 채널에 AI(Activation Indication) 비트가 들어오면 wait for ACT 상태가 되고 U-인터페이스 프레임의 M4 비트에 act=1 비트(⑥)를 실어 보낸다. LT측 칩은 line active 상태에서 NT 측으로부터 act=1 비트를 받으면 pending transparent 상태가 되면서 U-인터

페이스 프레임의 M4 비트에 act=1 비트(⑦)를 보낸다. NT측 칩은 wait for ACT 상태에서 LT 측으로부터 act=1 비트를 받으면 transparent 상태가 되고 IOM의 C/I 채널에 AI 비트를 보낸다. 이때부터 선로에는 정상적인 실제 데이터를 보낼 수가 있다. LT측 칩은 pending transparent 상태에서 NT측에 act=1 비트를 보낸 다음 다시 동일한 act=1 비트를 받게 되면 transparent 상태가 되어 이제 완전한 송수신 통화가 열리게 된다. Start-up 시간은 Cold-start의 경우에 15 sec 이내이어야 하고 warm-start의 경우에는 300 msec 이내이어야 한다.

Ⅲ. 반향제거 알고리즘

수신신호는 원단으로 부터 전송되어 온 수신 데이터와 반향신호 및 근단누화등의 잡음성분으로 구성되어 있다. 반향신호는 송신신호가 hybrid 회로를 지날 때 hybrid 회로의 임피던스 부정함으로 인하여 수신신호에 나타나는 잡음이다. 이 신호를 제거하기 위하여 LMSE 알고리즘을 사용하였다. 또한 회로의 복잡성을 피하기 위해 구조가 간단한 sign 알고리즘을 사용하였다. 원단으로 부터 전송되어온 수신신호는 선로에서 30 dB, hybrid에서 13 dB가 감쇠되어 총 43 dB 감쇠된다. 한편 반향신호는 hybrid에서 10 dB의 감쇠를 나타낸다. Quarternary 데이터를 복원해내는 Slicer의 입력단에서 27 dB 이상 SNR을 얻으려면 60 dB 이상 반향신호를 제거해야 한다. 원단에서 보낸 신호를 s(k)라 하고 수신경로에서 생긴 잡음을 n(k), 반향신호를 e(k), 반향추정신호를 $\hat{e}(k)$ 라 하면 수신신호에 포함된 반향성분이 제거된 후의 residual 신호는 다음과 같다.

$$r(k) = s(k) + e(k) + n(k) - \hat{e}(k) \quad (10)$$

반향제거회로의 탭 수를 N이라 하고 동화회로의 탭 수를 M이라 하면 위 식의 각 신호들은 아래와 같이 표현된다.

$$\text{송신 신호 : } a_k = \begin{bmatrix} a(k) \\ a(k-1) \\ \vdots \\ a(k-N+1) \end{bmatrix} \quad (11)$$

$$\text{수신 신호 : } b_k = \begin{bmatrix} b(k) \\ b(k-1) \\ \vdots \\ b(k-M+1) \end{bmatrix} \quad (12)$$

$$\text{반향경로 전달함수 : } g = \begin{bmatrix} g(0) \\ g(1) \\ \vdots \\ g(N-1) \end{bmatrix} \quad (13)$$

$$\text{반향제거회로 계수 : } c_k = \begin{bmatrix} c_0(k) \\ c_1(k) \\ \vdots \\ c_{N-1}(k) \end{bmatrix} \quad (14)$$

$$\text{간섭경로 전달함수 : } h = \begin{bmatrix} h(0) \\ h(1) \\ \vdots \\ h(M-1) \end{bmatrix} \quad (15)$$

위의 표현을 이용하면 각 신호는 아래와 같다.

$$s(k) = b_k^t \cdot h \quad (16)$$

$$e(k) = a_k^t \cdot g \quad (17)$$

$$\hat{e}(k) = a_k^t \cdot c_k \quad (18)$$

그래서 식(10)은 다음과 같이 표현된다.

$$\begin{aligned} r(k) &= b_k^t \cdot h + a_k^t \cdot g + n(k) - a_k^t \cdot c_k \\ &= a_k^t \cdot (g - c_k) + b_k^t \cdot h + n(k) \end{aligned} \quad (19)$$

계수를 update하기 위하여 LMSE 알고리즘을 사용한다.

$$p(k) = E\{r(k)^2\} \quad (20)$$

p(k)가 최소값을 가질때 계수가 수렴하며 이때 각 계수에 대한 p(k)의 gradient들의 절대값이 최소값을 갖는다.

$$\begin{aligned} \nabla p(k) &= \begin{bmatrix} \frac{\partial p(k)}{\partial c_0(k)} \\ \frac{\partial p(k)}{\partial c_1(k)} \\ \vdots \\ \frac{\partial p(k)}{\partial c_{N-1}(k)} \end{bmatrix} \\ &= \Delta E\{[a_k^t(g - c_k) + b_k^t \cdot h + n(k)]^2\} \\ &= -2E\{r(k) \cdot a_k\} \end{aligned} \quad (21)$$

계수의 update는 다음과 같이 수행된다.

$$c_{k+1} = c_k - \delta \Delta p(k) \quad (22)$$

$$= c_k + 2\delta E\{r(k) \cdot a_k\}$$

Residual 신호 $r(k)$ 의 sign 만을 고려하는 sign 알 고리즘을 사용하면

$$\begin{aligned} c_{k+1} &= c_k + 2\delta \text{sign}(r(k))a_k \\ &= c_k + K \text{sign}(r(k))a_k \end{aligned} \quad (23)$$

여기서, K 는 0.0에서 1.0 사이의 값을 갖는 Weight 상수이다. K 가 클수록 수렴시간은 감소하지만 수렴 후의 SSE(Steady-State Error)는 커진다. 본 칩에서는 시스템 시뮬레이션 결과를 이용해 수렴 초기에는 2^{19} 으로 설정하고 나중에는 2^{22} 으로 설정하여 SSE를 20dB 감소시켰다.

IV. 회로 설계

전체 회로는 2부분으로 나누어 각각 독립적으로 설계 하였다. SIU 부분은 VHDL 언어를 사용하여 회로의 기능을 RTL 레벨로 기술한 다음 회로합성을 통해 논리 회로를 추출하였다. SIU 부분은 6개의 블록으로 구성되어 있으며 Timing 블록, Activation/deactivation 블록, Monitor 블록, Frame 블록, U-TX(Transmitter) 블록, U-RX(Receiver) 블록등으로 설계하였다.

Timing 블록은 동기된 7.68 MHz 클럭을 사용하여 SIU 부분에서 필요한 여러 주파수의 클럭들을 만들어 낸다. Activation/deactivation 블록은 C/I 채널을 이용하여 활성 및 비활성 절차에 관한 프로토콜을 처리 하는 회로이다. 이 프로토콜을 처리하기 위해 state machine을 설계하였다. Monitor 블록은 Inter-chip 프레임의 monitor 채널을 구성하는 데이터를 준비한다. Monitor 채널에는 MON0, MON1, MON2, MON8등이 있다. Frame 블록은 Inter-chip 프레임과 U-인터페이스 프레임 간의 프레임 구조를 변환하여 준다. 여기서 $(2B+D)$ 채널의 데이터는 투명하게 통과 시키고, 기타 C/I 및 monitor 채널의 데이터는 칩 내부에서 처리된다. U-TX 블록은 송신신호에 대하여 scrambling과 2BIQ 부호화등을 수행하고, U-RX 블록은 수신신호에 대하여 복호화와 descrambling 및 CRC 확인등을 수행한다.

SIU 부분을 설계한 VHDL 프로그램의 총 line 수는

약 10,000 lines이고, 이 프로그램을 이용하여 합성된 회로의 Gate 수는 약 25,000 개이다.

DSP 부분은 Decimation 필터, EC/DFE, AGC/pre-EQ, MP(Main Processor), DPLL 및 SIU interface등 6 블록으로 구성되어 있고, 모든 블록은 7 비트 제어신호와 16 비트 데이터 버스에 연결되어 있다. 각 블록은 위임받은 고유기능을 7 비트 제어신호에 따라 독립적으로 수행하며 데이터 버스를 통해 MP 블록과 입출력 데이터를 주고 받는다. 동작 주파수는 Decimation 필터만 동기되지 않은 15.36 MHz 클럭을 사용하고 나머지 블록은 모두 동기된 7.68 MHz 클럭을 사용한다. 연산 방식은 고정 소수점 방식을 사용하였는데 이 방식은 회로가 간단해지고 디지털 필터의 dynamic range가 크지 않기 때문에 구현에 적합하다. 데이터 연산시 word 길이가 16 비트로 한정되어 있어 반복적으로 연산을 하게되면 잡음이 증가한다. 이에 대한 대책으로서 Multiplier에 사용된 Adder에 대하여 guard 비트로서 10 비트를 추가하였다. 또한 overflow 및 underflow에 대한 대책으로서 모든 Adder에는 saturation 회로를 포함시켰다. 입력신호 scaling factor S 는 overflow가 발생하지 않는 범위 내에서 양자화 에러가 최소가 되도록 가능한 한 커야 한다. Scaling factor를 구하는 공식은 다음 식과 같다.

$$S < \frac{1}{x_{\max} \max\{|H(e^{j\omega})|\}} \quad (24)$$

Decimation 필터는 저역통과 필터로서 192:1의 비율로 샘플링한다. 이 회로는 15.36 Mb/s PDM 데이터를 입력으로 받아 191단 shift register를 거친 다음, 3단 accumulator에서 20 비트 15.36 Mbaud 데이터를 만들고 DPLL의 출력클럭에 동기된 80KHz 클럭으로 16 비트 80 Kbaud 데이터를 출력시킨다.

EC/DFE 블록은 하나의 회로를 시분할하여 80 Kbaud 데이터의 1 심볼 주기내에 48 탭 EC의 계수와 32 탭 DFE의 계수에 대한 update 기능을 완료하고 반향신호 추정치와 수신신호간 간섭신호 추정치를 구하여 데이터 버스로 내보낸다. 이 블록은 1개의 RAM(Random Access Memory)과 2개의 Adder 및 제어회로로 구성되어 있다. RAM은 EC와 DFE의 계수 및 송수신 데이터 저장용으로서 26 bit, 80 word 이며, Adder는 EC 및 DFE 계수의 update용으로

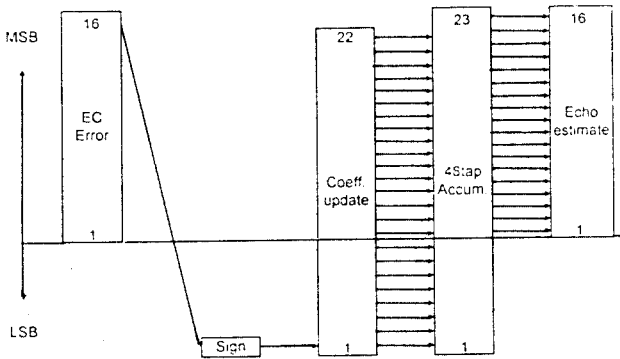


그림 5. 반향제거회로의 word 길이
Figure 5. Word lengths of echo canceller

23 bit 1개와 반향신호 및 간섭신호의 추정치 생성용으로 Accumulator 1개가 있다. 이들 회로소자간의 상대적인 크기를 word 길이와 함께 그림5에 도시하였고, 회로의 동작수행과정을 그림6에 도시하였다.

AGC/pre-EQ 블록은 16x16 비트 승산기와 레지스터 및 제어회로등으로 구성되며 승산기 연산은 booth 알고리즘을 이용하여 수행함으로써 연산 횟수를 1/2로 감소시켰다. AGC 출력은 그대로 pre-EQ의 입력으로 사용되어 연속적으로 동작이 수행된다. Pre-EQ의 계수는 3 탭으로서 출력 데이터는 입력 데이터보다 2 심볼이 지연되어 출력된다. 그래서 EC의 계수를 update할 때 error 신호로서 EQ error를 사용하면 송신 데이터도 동일하게 2 심볼을 지연시켜 계산해야 한다.

MP는 16 비트 ALU와 20 word RAM 및 instruction coding ROM(Read Only Memory)등으로 구성되어 1 심볼 주기내에 96개의 동작을 수행한다. MP는 RAM 데이터로 부터 각 블록의 동작에 필요한 입력 데이터를 공급해 주고 각 블록에서 출력되는 데이터를 이용하여 고역통과 필터, 고정 등화기 및 2B1Q 데이터로의 slicing등 독립된 블록에서 수행하지 않는 제반 기능을 수행한다. 또한 MP 블록은 SIU 부분의 상태에 따라 DSP 부분에서 수행해야 할 전체 동작을 총괄, 지휘하고 동작상태를 나타내는 여러 데이터를 SIU 부분에 보고하는 기능을 한다.

위상동기 회로는 반향신호가 제거된 수신신호로 부터 프레임 동기과 위상 동기를 이루어낸다. 프레임 동기는

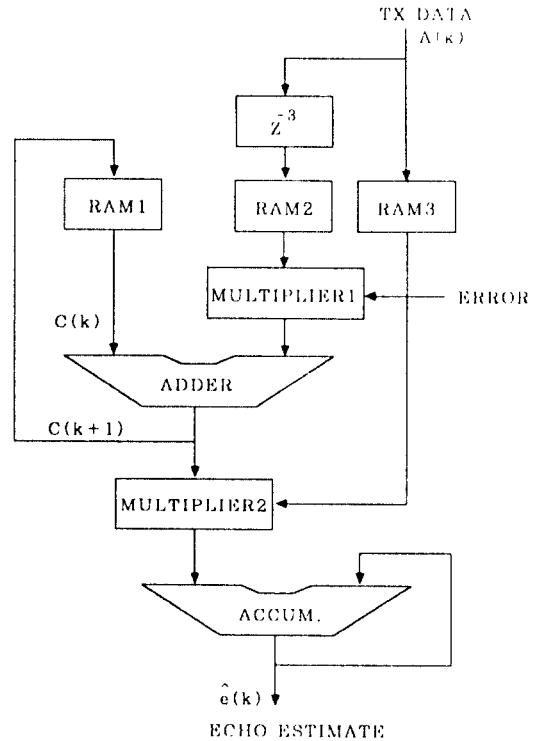


그림 6. 반향제거회로 수행과정
Figure 6. Echo canceller operation flow

이미 알고있는 SW와 반향신호가 제거된 후의 residual 신호를 convolution하여 그 값이 1 프레임 내에서 최대가 되는 지점을 프레임 시작점으로 간주한다. [5] 프레임 동기가 이루어지면 DFE 블록으로 입력되는 수신 데이터의 SW에 대하여 인위적으로 정확한 SW를 삽입하여 DFE 계수의 수렴시간이 단축되도록 한다. Advance/retard 신호는 프레임당 한번 발생하며 이 신호는 4로 초기화된 9진 up/down counter를 동작시킨다. Counter의 출력이 0 또는 8이 되면 위상조정신호를 발생시켜 주클럭인 15.36 MHz의 반주기씩 advance 또는 retard시키고 동기된 클럭을 분주하여 Decimation 필터의 샘플링 클럭을 만들어 낸다.

SIU 인터페이스 블록은 DSP 부분과 SIU 부분간에 상호 교환되는 입출력 신호들을 처리하며 주요 신호로는 7 비트 상태제어 신호, EC 수렴확인 신호, EQ 수렴확인 신호, test를 위한 loopback 제어신호, power-

down 모드 제어신호, 근거리 통신에 대한 level-down 신호등이 있다. 또한 상태제어 신호를 해석하여 상태에 따라 각 블럭의 동작을 제어하고 필요한 데이터를 SIU 블럭으로 보낸다. 설계 완료된 DSP 부분의 게이트 수는 약 60,000개이다.

V. 시뮬레이션

본 칩의 기능 및 성능을 확인하기 위하여 선로 모델이 포함된 시스템을 시뮬레이션하였다. ANSI에서 규정한 여러가지 선로에 대한 모델링 데이터를 준비하여 선로 모델용 데이터 파일로 저장해 둔다. 데이터 파일은 각 선로에 대해 반향경로 모델과 수신경로 모델 및 XT(Cross-Talk) 모델에 대한 데이터를 포함하고 있다. 수신신호는 각 경로의 모델에 대한 데이터를 사용하여 임의의 신호가 그 경로를 통과했을 때의 각 출력신호를 합산하여 구한다. 이 프로그램은 C-언어로 기술하였고, 동작 계통도는 그림7과 같다.

시뮬레이션은 LT 모드와 NT 모드로 수행하였다. LT 모드는 교환기측에 사용되는 모드로서 송신회로는 시스템 클럭을 사용하고 수신회로는 수신 데이터에 동기된 DPLL 클럭을 사용한다. 먼저 일정한 위상에서 반향제거회로만을 동작시켜 계수가 수렴하도록 한다. 반향제거회로가 완전히 수렴되면 위상동기회로를 동작시켜 위상이 수렴하는 상태에서 반향제거회로와 등화회로가 동시에 수렴하도록 한다. LT 모드로 동작할 때 반향제거회로와 등화회로가 수렴하는 과정을 그림8에서 보여주고 있다. 이 그림에서 보는 바와 같이 반향제거회로의

계수를 update하기 위하여 초기에는 2^{19} weight 상수를 사용하여 EC error 신호를 -40dB 정도까지 제거하고, 나중에는 작은 2^{22} weight 상수를 사용하여 -60dB 까지 제거한다. 반향제거회로는 reset 상태에서 10,000 Symbols 이내에 완전히 수렴하고 수렴완료신호를 출력한다. 반향제거회로가 수렴된 후, 등화회로는 EQ Error를 -27dB까지 감소시키는데 약 90,000 Symbols이 소요된다.

NT 모드는 가입자측에 사용되는 모드로서 송수신 부분 모두 DPLL의 출력클럭을 사용한다. 일정한 위상에서 반향제거회로를 먼저 수렴시킨 다음 동일한 위상에서 등화회로를 수렴시킨다. 일정한 위상에서 반향제거회로와 등화회로가 수렴된 상태에서 위상동기회로를 동작시키면 클럭이 적절한 위상에 수렴하면서 또한 반향제거회로와 등화회로가 변화한 위상에 재수렴하게 된다. NT 모드에서 반향제거회로와 등화회로가 수렴하는 과정을 그림9에서 보여주고 있다. 반향제거회로의 수렴과정은 LT 모드의 경우와 동일하다. 원단신호가 없는 상태에서 등화회로는 40,000 symbols 정도에서 error 신호를 -32dB까지 감소시켰다가 수신신호에 원단신호가 포함되면 -27dB로 증가한다.

회로 설계후 동작의 검증을 위해 LT, NT 시스템과 선로 모델을 이용하여 그림10과 같이 시뮬레이션 시스템을 구성하였다. LT는 교환기측 Layer-2 기능을 수행하는 EPIC(Extended PCM Interface Controller)과 Master 모드용 UDIC 및 AFE(Analog Front End)와 선로 모델로 구성되며, NT는 가입자측 Layer-2 기능을 수행하는 ICC(ISDN

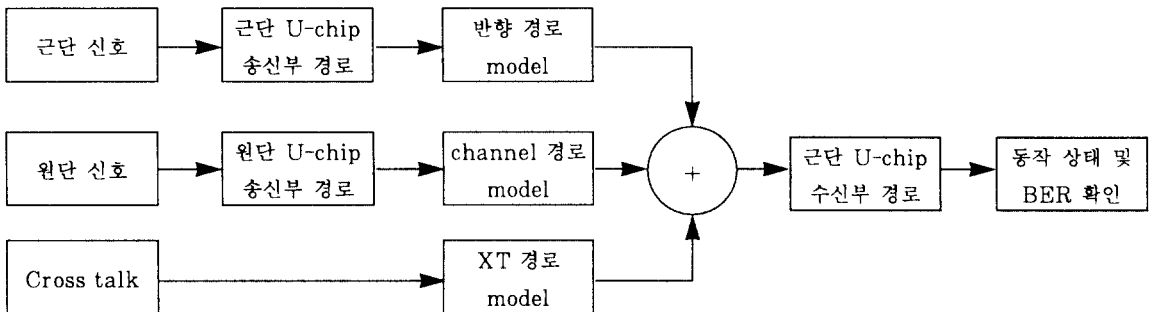


그림 7. 시뮬레이션 프로그램 동작계통도
Figure 7. Simulation program architecture

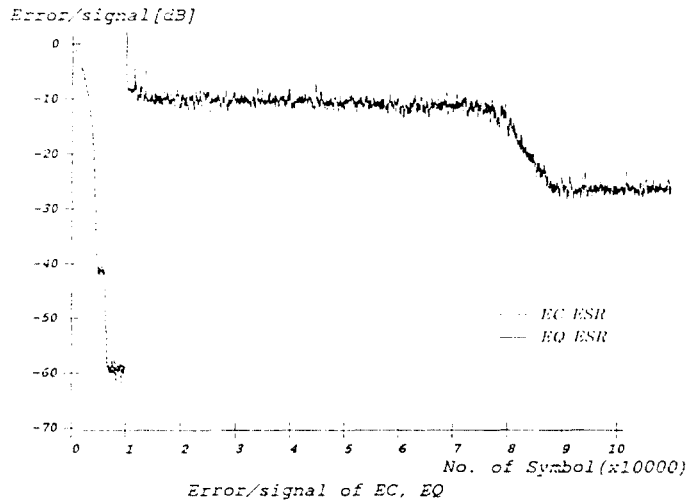


그림 8. LT 모드시 Error/Signal
Figure 8. Error/Signal for LT mode

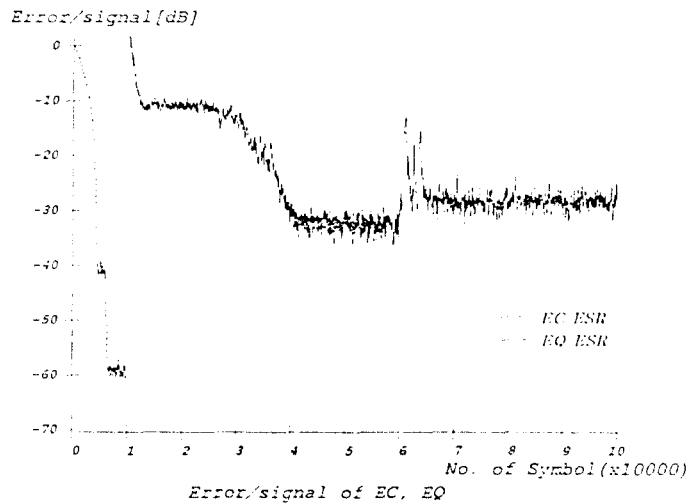


그림 9. NT 모드시 Error/Signal
Figure 9. Error/Signal for NT mode

Communications Controller)와 Slave 모드용 UDIC 및 AFE와 선로 모델로 구성된다. AFE 회로는 quaternary 코딩된 디지털 송신신호에 대해서 DAC 및 PSF(Pulse Shaping Filter) 기능을 수행하고, 수신신호에 대해서는 over-sampling Σ - Δ ADC 기

능을 수행한다. 설계된 칩이 좋은 성능을 얻기 위해서는 아날로그 송신회로에서 +1의 펄스와 +3의 펄스간에 1:3의 비율을 유지해야 하며 positive 펄스와 negative 펄스의 크기가 동일해야 하고 수신회로에서는 ADC가 11 비트 이상의 해상도를 나타내야 한다.

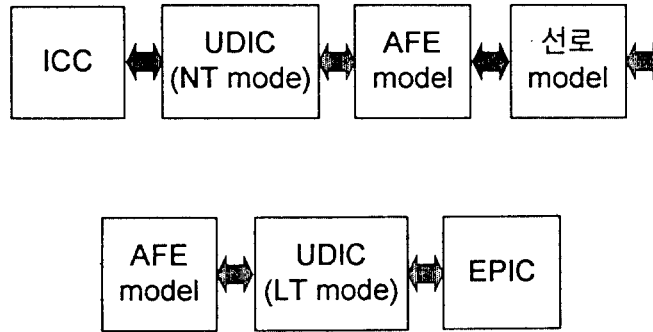


그림 10. 논리 시뮬레이션 시스템 구성도
Figure 10. Logic simulation system

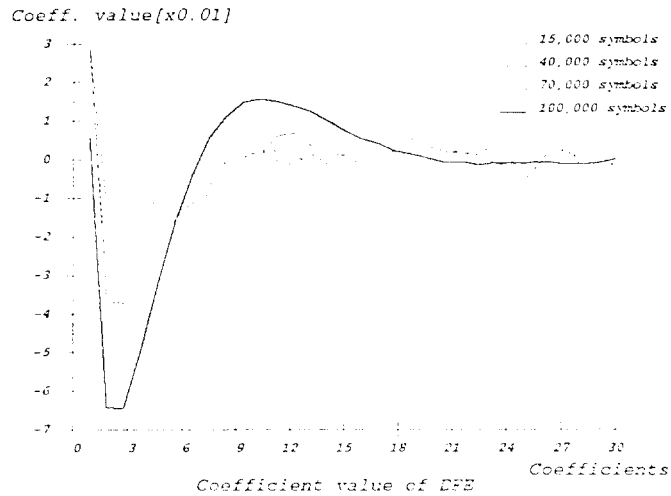


그림 11. LT 모드시 DFE 계수의 수렴과정
Figure 11. Convergence of DFE coefficients for LT mode

회로 시뮬레이션은 기동절차를 따라서 진행하였다. 시뮬레이션을 수행하면서 500 symbols 간격으로 EC 및 EQ의 각 계수치 및 SNR, 수렴완료 신호등을 출력하여 수렴진행상황을 확인하였다. 회로 시뮬레이션 결과로서 LT 및 NT 모드에 대한 DFE 계수의 수렴과정을 그림

11 및 12에 도시하였다. 회로 시뮬레이션 결과 시스템 시뮬레이션과 거의 동일한 수렴특성을 얻었다. 그러나 bit-truncation으로 인한 roundoff error의 영향으로 수렴시간이 증가하고 EQ error가 5dB 정도 증가하는 현상을 확인하였다.

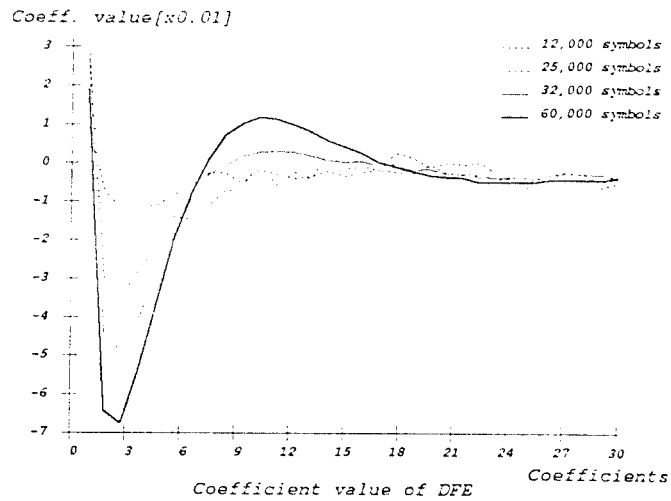


그림 12. NT 모드시 DFE 계수의 수렴과정
Figure 12. Convergence of DFE coefficients for NT mode

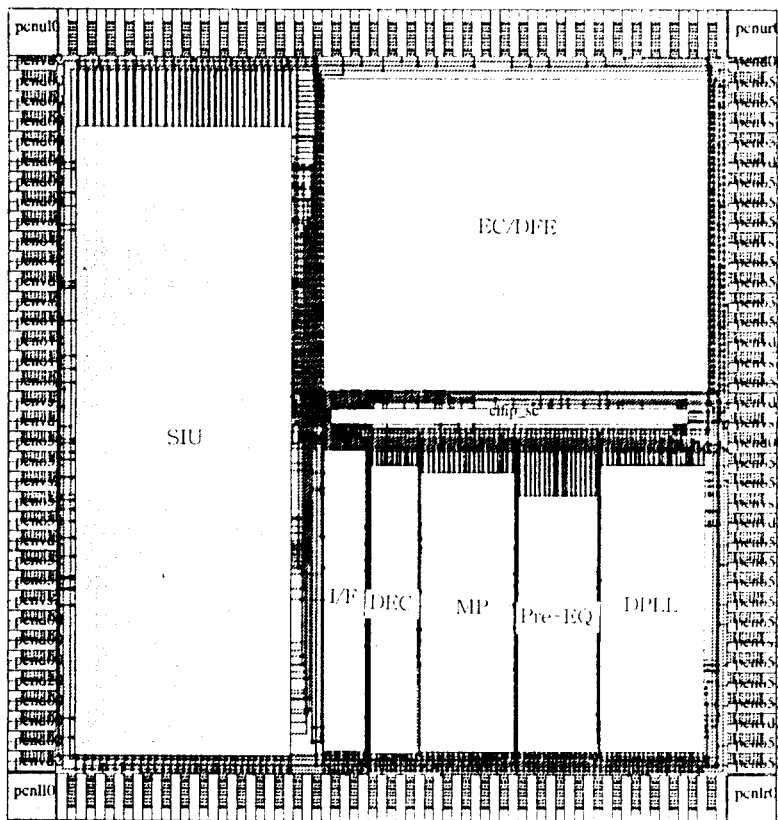


그림 13. 디지털 칩의 Layout 도면
Figure 13. Layout of Digital Chip

표 2. 칩의 주요 사양
Table 2. Digest of Chip Specification

선로 부호	2B1Q Code
전송 방식	ECM
전송 속도	160 Kbps
동작 모드	LT/NT Mode 겸용
BER	$< 10^{-7}$
Startup 시간	$< 15\text{sec}$ (Cold start) $< 300\text{msec}$ (Warm start)
Gate 수	약 85,000 개
Package	144Pin TQFP
제작 공정	0.8 μm .CMOS CBIC

VI. Chip 제작

회로에 대한 Layout 도면은 그림13에서 보여주는 바와 같이 SIU, EC/DFE, DPLL, MP, Pre-EQ, DEC, I/F 블록등으로 구성되어 있다. 각 블록의 배치는 블록간 연결의 복잡도 및 블록의 입출력 핀수등을 고려하여 결정하였다. 본 칩에 대한 주요 사양이 <표2>에 요약되어 있다. 칩의 핀 수는 144개로서 36개는 실제 데이터용, 65개는 기능 시험 및 칩의 내부상태 점검용, 43개는 내부회로 및 입출력 패드의 전원 공급용으로 사용된다. Prototype 칩을 시험하기 위해 반향제거회로 및 등화회로의 수렴 확인용, 동작상태 및 성능 확인용 핀들 65 핀을 내부동작 확인용으로 추가하였다. 이 칩은 0.8 μm CMOS CBIC (Cell-Based Integrated Circuits) 공정으로 제작하였다. Die 크기는 85 mm² 이고, 소비전력은 약 650 mW이다.

VII. 결 론

본 논문은 ISDN 시스템에서 사용되는 U-인터페이스 칩의 설계 및 개발에 대하여 기술하고 있다. U-인터페이스 칩은 선로 부호화 및 복호화, 반향신호 제거, 수신신호간 간섭신호 제거, 위상 동기, 기동절차 제어등의

기능을 수행하며 U-인터페이스 상에서 데이터가 투명하게 전송될 수 있도록 물리적 계층을 설정하여 주는 역할을 한다.

본 칩은 2B1Q 코드와 반향제거방식을 사용하여 설계하였다. 칩은 2부분으로 나눌 수 있는데 SIU 부분은 6개의 기능 블록으로 구성되어 있으며 VHDL 언어를 사용하여 RTL 레벨로 설계한 후 회로합성하였고, DSP 부분은 6개의 기능 블록으로 나누어 논리설계하였다. DSP 부분을 설계하는데 있어서 bit truncation으로 인해 Slicer 회로의 입력단에서 약 5 dB의 round-off error가 발생하여 최적의 회로구조를 얻는데 상당한 시뮬레이션 시간이 소요되었다. 논리 시뮬레이션 결과 반향제거회로는 120 msec 이내에 반향신호 성분을 -60 dB 까지 제거함을 보였고, 등화회로는 380 msec 이내에 간섭신호를 -27 dB 까지 감소시킴을 보였다. 또한 기동절차 수행상태 및 위상동기회로의 수렴속도등에서도 좋은 성능을 나타냈다.

參考文獻

1. David G. Messerschmitt, "Design Issues in the ISDN U-Interface Transceiver", IEEE J. Select. Areas Commun., vol. SAC-4, pp.1281-1293, Nov. 1986.
2. "ISDN-Basic Access Interface for Use on Metallic Loops for Application on the Network Side of the NT", ANSI T1.601-1988.
3. Max W. Houser, "Principles of Oversampling A/D Converter", J. Audio Eng. Soc., vol. 39, No. 1/2, pp.3-26, Jan./Feb. 1991.
4. K. H. Mueller, "A New Digital Echo Canceller for Two-Wire Full-Duplex Data Transmission", IEEE Trans. Commun., COM-24, No.9, pp.956-962, Sept. 1976.
5. Y. Takasaki, "Timing Extraction in Baseband Pulse Transmission", IEEE Trans. Commun., vol. COM-20, pp.877-884, Oct. 1972.



李 倅 兩(Haeng-Woo Lee) 정회원

1985년 2월 : 광운대학교 전자공학과 졸업(공학사)

1987년 2월 : 서강대학교 대학원 전자공학과 졸업(공학석사)

1987년 2월~현재 : 한국전자통신연구소 ASIC설계연구실 선임연구원

*주관심 분야 : 통신용 ASIC 설계, 디지털 전송



田 濟 一(Yong-II Jun) 정회원

1981년 2월 : 고려대학교 전기공학과 졸업(공학사)

1983년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1983년 3월~1987년 3월 : 금성정밀(주) 주임연구원

1987년 4월~현재 : 한국전자통신연구소 ATM교환연구실 선임연구원

*주관심 분야 : ATM 스위치 구조, High-Speed Electronics, 통신용 IC 설계



裵 政 烈(Jung-Ryul Bae) 정회원

1980년 2월 : 한양대학교 전자공학과 졸업(공학사)

1982년 2월 : 한국과학기술원 전기 및 전자공학과 졸업(공학석사)

1982년 3월~현재 : 한국전자통신연구소 ASIC설계연구실 책임연구원

*주관심 분야 : 통신용 IC 설계, 아날로그 IC 설계

朴 元 權(Won-Sik Park)

정회원

1984년 2월 : 경북대학교 전자공학과 졸업(공학사)

1987년 2월 : 경북대학교 대학원 전자공학과 졸업(공학석사)

1987년 2월~현재 : 한국전자통신연구소 ATM시스템연구실 선임연구원

*주관심 분야 : 통신 프로토콜, DSP

郭 銘 僮(Myung-Shin Kwak)

정회원

한국통신학회 논문지 1995년 제20권 제5호 참조

현재 : 한국전자통신연구소 ASIC설계연구실장