

부분적 공유버퍼 방식에 입각한 공통메모리형 ATM 스위칭 구조의 성능 분석

正會員 鄭允燦*, 殷鍾官**

Performance Analysis of ATM Switching Fabric with Hybrid Shared and Dedicated Output Buffers

Youn Chan Jung*, Chong Kwan Un** Regular Members

要 約

상대적으로 작은 량의 버퍼 메모리를 필요로하고 이에 따라 단위 칩 레벨에서 구현이 용이한 부분적 공유버퍼 방식에 입각한 공통 메모리형 ATM 스위칭 구조를 제시하고 성능을 분석한다. 이것은 메모리 액세스 측면에서는 공통버스형의 장점을 취하고 버퍼 메모리 요구 측면에서는 공통 메모리 방식의 장점을 이용한 스위칭 구조설계 방식이다. 이 논문에서는 이 구조의 성능 향상을 보이기 위하여 매트릭스 방식에 의한 분석 모델을 개발하고 이를 사용하여 구조 상의 주요 변수들에 대한 성능을 분석하였다.

ABSTRACT

We discuss a hybrid shared and dedicated output buffer switch approach for the design of ATM switching fabric, which requires fewer total bits of buffering memory and facilitates single-chip implementations. This design method is based on the idea of adopting each advantages of the shared bus type with respect to memory access time and the shared memory type with respect to the required size of buffer memory. We develop an analytical model of the hybrid buffer switching architecture by using the matrix method to analyze packet loss performance.

*국방과학연구소 통신연구실
**한국과학기술원 전기 및 전자공학과
論文番號 : 95025-0120
接受日字 : 1995年 1月 20日

I. 서 론

B-ISDN의 전달망 (transport network)을 구성하는 핵심 장비인 ATM 교환기 구조는 ATM 스위치부와 라인인터페이스부로 구성된다. 셀 교환을 위한 셀 라우팅이 수행되는 장소인 ATM 스위치부는 교환기의 핵심 모듈로서 고속 대용량 ATM 교환기를 설계하기 위한 기술적 이슈가 되는 부분이다. 라인인터페이스부는 전송 매체 접속을 위한 전송처리, 셀 단위 다중화/전송에 필요한 셀동기, 및 ATM 스위치부의 셀 교환용 라우팅 제어 정보를 실시간으로 공급해주는 헤드변환 (head conv.) 기능이 수행되는 장소이다. 즉, 라인인터페이스부는 ATM의 특징을 가장 잘 나타내는 B-ISDN 프로토콜 모델상의 물리계층과 ATM계층이 실질적으로 구현되는 모듈이다. ATM 스위칭 퍼브릭이라고 부르는 ATM 스위치부의 구조, 즉 스위칭 구조설계 방식은 다음과 같이 나눌 수 있다:

- 자원 공유 (shared resource)형⁽¹⁾
 - 공통메모리형^(2, 3)
 - 공통버스형⁽⁴⁾
 - 공간 분할형⁽⁵⁾
- 이 가운데서 공통메모리 형으로 설계된 스위치가 구현

성 측면과 성능 측면에서 가장 좋은 스위치로 평가되고 있다. 특히 공통메모리 형으로 구현될 때는 우선 순위 제어, multicasting 및 broadcasting 등의 다양한 서어비스 등급을 처리하기 위한 구조 변경이 용이하다. 그러나 공통메모리 형은 모든 입,출력 회선용 버퍼가 공유되므로 메모리 액세스 속도의 한계에 더 민감하며, 따라서 스위치가 처리할 수 있는 총 스루풋은 공통버스형에 비해 상대적으로 더 많은 제한을 받는다^(6, 7). 이것은 결국 공통메모리 형으로 스위치부를 구현할 때 단위 칩으로 구현 가능한 스위치 크기 N 의 한계로 작용하여 대용량 구현이 어렵다는 단점이 있다. 반면에 공통버스형은 출력측마다 전용버퍼를 가져야 하므로 버퍼 메모리의 효율적인 이용 측면에서는 공통메모리형에 비해서 단점으로 작용한다.

버퍼 메모리의 관리와 메모리 액세스 동작시에 셀의 일정량의 bits를 동시 처리단위로 하여 병렬처리하면 스위칭 처리 속도를 한층 증가시킬 수 있다. 외국에서 제작 및 시험해 보이고 있는 bit slice 구조와 bit parallel 구조를 복합한 병렬 처리 구조에서는 병렬 처리 bit 수 W 가 최대 424 bits 까지의 병렬 처리가 가능하다. 이것은 특히 B-ISDN용 스위치 설계시에, ATM 셀교환 방식 만이 가지는 고속화 처리 스위칭 구조에 적

표 1-1. 공통메모리형 스위치의 구현가능 회선 수
Table 1-1. Maximum capacity of ATM links in the design of a shared-memory switching element.

구분	스위칭 회선 수(N)							
	4	8	16	32	64	128	256	512
총 스루풋 (Gbit/s)	0.6	1.2	2.4	4.8	9.6	19.2	38.4	76.8
메모리 액세스 속도 (ns)	353	176	88	44	22	11	5	2
0.5 μ CMOS 가용 속도 (ns)	20	20	20	20	20	20	20	20
구현 가능 여부	○	○	○	○	○	×	×	×
병렬 처리 bit $W = 424$ bits 회선 속도 $V = 150$ Mbit/s (○ : 가능, × : 불가능)								

합한 장점이기도 하다. 고속 대용량 스위칭 구조 구현 시에 공통메모리형의 단점으로 지적되는 메모리 액세스 시간측면에서는 입.출력 라인 속도를 V 라고 할 때 $\{W/(2NV)\}$ 액세스 시간을 만족하는 CMOS 기술이 필요하다⁽⁸⁾. NEC가 단계적으로 개발한 ATOM 스위칭의 예를 들면 버퍼메모리 동작 주파수가 1 단계에서는 38.88 Mhz, 2 단계에서는 77.76 Mhz, 최근의 3 단계에서는 200 Mhz에서 동작하도록 기술을 발전시켰다⁽⁹⁾. 표 1-1에 나타낸 바와 같이, 공통메모리 스위칭 구현시에 메모리 액세스 속도만 가지고 본다면 150 Mbit/s, 64×64 정도의 공통메모리형 스위칭은 현재 수준의 전자 기술 (CMOS 버퍼 동작주파수 = 50 Mhz

가정)로도 바로 설계가 가능함을 알 수 있다.

그러나 일반적인 출력 버퍼형 (예, 공통버스형) 스위칭 구조에서는 메모리 액세스 속도 측면에서 공통메모리에 비해서 상당한 이득을 가지게 된다. 버스형인 경우 메모리 액세스 시간이 $W/\{(N+1)V\}$ 을 만족하면 스위칭부의 구현이 된다. 표 1-2에 표시된 바와 같이 일반적인 공통버스형 구조로 스위칭을 설계한다면 150 Mbit/s, 128×128 용량까지의 설계가 가능하다. 즉 메모리 액세스 속도 측면에서는 공통버스형이 대용량 구조를 설계하기위한 유리한 설계 방식이다.

다음으로 스위칭부 설계시에 고려해야 하는 중요한 사항은 LSI 집적 규모이다^(10, 11). 보통 메모리형 스위칭에

표 1-2. 공통버스형 스위칭의 구현가능 회선 수
Table 1-2. Maximum capacity of ATM links in the design of a shared-bus switching element.

구분	스위칭 회선 수(N)							
	4	8	16	32	64	128	256	512
총 스투풋 (Gbit/s)	0.6	1.2	2.4	4.8	9.6	19.2	38.4	76.8
메모리 액세스 속도 (ns)	565	314	166	85	43	22	11	5
0.5 μ CMOS로 구현 가능 여부	○	○	○	○	○	○	×	×
병렬 처리 bitW = 424 bits 회선 속도 V = 150 Mbit/s								

표 1-3. 성능을 만족하기위한 셀 버퍼 수
Table 1-3. Required buffering capacity.

구분	스위칭 회선 수(N)							
	4	8	16	32	64	128	256	512
공통메모리 구조에서 요구되는 총 버퍼 수	60	90	110	120	130	150	150	150
공통버스 구조에서 요구되는 총 버퍼 수	160	320	640	1280	2560			
트래픽 이용률 ρ=0.8, 셀 손실률=10 ⁻⁹ 기준								

서 필요한 버퍼의 수와 단위 버퍼를 구성하는 bit 수가 집적 규모를 결정한다. 표 1-3은 균등 트래픽이고 링크 이용률 $\rho = 0.8$ 이하를 기준으로 10^9 의 셀 손실률을 보장해 주기 위하여 필요한 셀 버퍼 수를 분석과 시뮬레이션에 의해 얻은 값이다.

표 1-3에서와 같이 필요한 총 버퍼 수는 공통버스형인 경우 스위치 회선 수에 비례하여 증가한다는 사실이다. 즉 스위치 구현 시의 칩 집적 능력을 고려한다면 공통메모리 형이 유리한 구조임을 알 수 있다. 그러면 표 1-3의 버퍼 용량을 구현하기 위해서는 얼마 만큼의 버퍼 메모리가 필요한가 하는 것을 표 1-4에 나타내었다.

현재 0.5μ CMOS 기술로 구현한다면 칩당 약 150 K gate/bits 만이 집적 가능하다. 따라서 칩 집적도 측면에서는 공통메모리 형은 문제가 없으나 공통버스형인 경우에는 $N > 8$ 상태가 되면 1 칩으로 구현하기가 불가능하다.

스위치를 설계할 때 메모리 액세스 속도 측면에서는 공통버스형이 공통메모리 형보다 약 2 배 정도 많은 슬롯을 처리할 수 있다. 그 까닭은 공통메모리인 경우 1 슬롯 동안 N 번의 write 동작과 N 번의 read 동작이 필요하게 되지만, 공통버스인 경우에는 N 번의 write 동작과 1 번의 read 동작이 필요하기 때문이다. 그러나

칩의 집적 규모 측면에서는 공통메모리 형이 훨씬 유리한 설계 방법임을 확인하였다. 이 논문에서 제안하고 분석할 스위칭 처리 방법은 이 두가지 장점을 취한 혼합형 구조에 의한 스위칭 설계 방식이라 볼 수 있다. 칩 구현 측면에서 유리한 공통메모리 구조는 트래픽이 균등하지 못하고 링크 이용률 ρ 가 0.9 이상일 경우는 셀 손실률이 급격히 증가할 우려가 있다. 보기를 들면, multi-cast 동작과 같이 ρ 가 증가하게 되는 상황 아래서는 성능 저하가 예상된다.

II. 부분적 공유버퍼 방식 분석

2.1. 부분적 공유버퍼 방식 운용 개념

여기서 제안하는 버퍼 메모리 제어 방식은 그림 2-1과 같다. 우선 입력 포트로부터 들어오는 셀 들은 1 슬롯 동안 출력 버퍼에 저장하는데 N 번의 write 사이클이 필요하다. 그런데 출력 버퍼는 전용출력버퍼부와 공통메모리 버퍼부로 나뉘어져 있다. 전용출력버퍼부는 각 포트마다 k_{dbf} 크기의 포트별 전용버퍼를 보유하게 된다. 공통메모리 버퍼부에는 k_{sbf} 만큼의 공통메모리 공간이 확보된다. 각 출력 포트 입장에서 보면, k_{dbf} 보다 많은 숫자의 셀들이 큐잉되면 그 나머지 셀들은 공통메

표 1-4. 구현 시의 칩 집적 규모

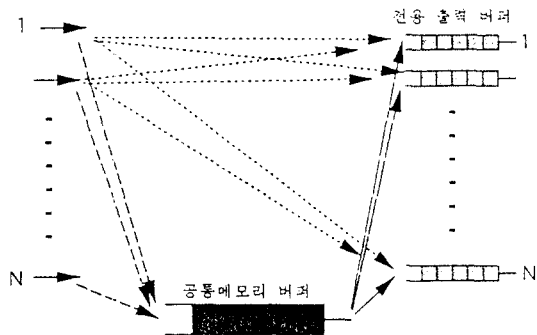
Table 1-4. Required bits of memory and possibility in a single-chip implementation.

구분	스위치 회선 수(N)							
	4	8	16	32	64	128	256	512
공통메모리 구조에서 필요한 버퍼 메모리 (K bits)	26	40	47	50	55	65	65	65
(1칩 구현 가능 여부)	○	○	○	○	○	○	○	○
공통버스 구조에서 필요한 버퍼 메모리 (K bits)	68	136	272	544	1088	2176		
(1칩 구현 가능 여부)	○	○	×	×	×	×	×	×
병렬 처리 bit 수 W = 424 bits								
0.5 μ CMOS 기술기준								

모리 버퍼부에서 공통메모리 형 스위치처럼 동작한다. 그러나 k_{dbf} 보다 작은 셀들이 큐잉되면 공통버퍼처럼 동작하는 원리이다. 그래서 각 출력 포트마다 $k_{abr} + k_{sbf}$ 만큼의 버퍼를 가진 것처럼 동작하나, 실은 전체 메모리 용량은 셀 단위 기준으로 $(Nk_{dbf} + k_{sbf})$ 이다. 즉, 각 입력 포트에 도달한 최대 N 개의 셀을 메모리에 write 할 때 각 셀의 목적지에 해당하는 전용출력버퍼가 full 상태가 아니면 전용 출력 버퍼에 write하고,

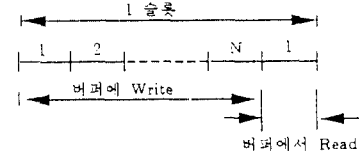
이곳이 가득찬 상태이면 공통메모리 버퍼부에 write한다. 또 여기서 제안하는 부분적 공유버퍼 방식을 잘 설명해주는 것으로는 read 동작이 이중으로 이루어진다는 점이다. 1 슬롯 동안의 read 과정을 보면, 만약 공통메모리 버퍼부에 셀이 있다면 FIFO 원리에 따라 목적지 포트에 관계없이 공통메모리에 있는 L 개의 셀을 읽어서 해당 출력의 전용출력버퍼부로 각각 보낸다. 그러나 공통메모리에서 읽어 전용출력버퍼로 쓰기위해서는 여기서 $2L$ 번의 동작이 필요해진다. 그리고 각 전용출력버퍼는 독립적으로 출력 포트로 1 슬롯에 한번씩 셀을 내보내므로, 결과적으로 제안하는 방식은 1 슬롯 동안 $N+2L+1$ 번의 내부 사이클 동작이 필요하게 된다.

참고로 공통버퍼형, 공통메모리형 및 여기서 제안하는 부분적 공유버퍼 방식 상호간의 차이점을 버퍼 메모리 액세스 관점에서 비교하면 그림 2-2와 같다. 여기서 1



- A. 1번부터 N번 입력 포트까지의 셀을 받아들여 순차적으로 버퍼에 저장하는 방법
- i. 각 셀의 목적지 전용출력 버퍼가 full인 경우, 공통메모리로 write (그림에 ----- 로 표시)
 - ii. 각 셀의 목적지 전용출력 버퍼가 full이 아닌 경우, 전용 출력 버퍼로 직접 write(그림에 로 표시)
- B. 공통메모리 버퍼에 저장된 셀을 각 출력으로 보내는 방법
- i. 각 셀의 목적지 전용출력 버퍼가 full이 아닌 경우, 1 슬롯에 최대 L 개의 셀을 각 목적지 전용출력 버퍼로 write (그림에 ----- 로 표시)

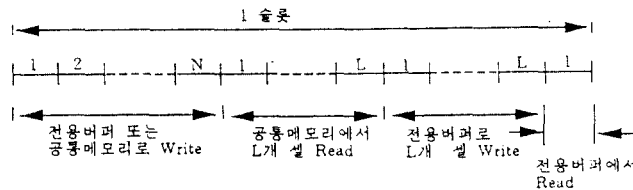
그림 2-1. 부분적 공유버퍼 방식
Fig. 2-1. Switching scheme with hybrid shared and dedicated output buffers.



가. 공통버퍼형



나. 공통메모리형



다. 부분적 공유버퍼형

그림 2-2. 1 슬롯 동안 메모리 액세스를 위한 내부사이클 구성 비교
Fig. 2-2. Comparison of internal slot times for memory access during 1 external slot time.

슬롯 시간은 외부 링크에서 하나의 셀이 전송되는데 필요한 시간을 나타낸다.

2.2 부분적 공유버퍼 성능 분석

공통메모리 버퍼부는 각 포트에 대응되는 총 N 개의 대기 큐로 구성되어 있다. 각 큐들은 FIFO로 동작하고, 서로 독립이며, 셀은 베르누이 프로세스에 따라 각 큐에 도달한다고 가정한다. 또 모든 셀은 목적지 포트가 균등히 분포되어 있다고 가정한다. 아울러 여기서 가상적인 머리카를 하나 더 정의한다. 머리카는 공통메모리 버퍼부에 있는 각 큐들의 head-of-line (HOL)을 합해 놓은 큐를 말한다. 즉 매 슬롯마다 $2L$ 번의 내부 시이클이 주어질 때 마다 이 머리카에서 랜덤하게 L 개의 셀을 읽어서 해당 전용출력버퍼부로 넘겨준다. 여기서의 슬롯 단위는 외부에서 53 byte 셀이 전송되는 시간 간격을 나타낸다. 특히 공통메모리 버퍼부의 각 큐들은 위의 가정에 임가하여 각각 같은 스토캐스틱 특성을 나타내므로 임의의 큐를 선택하여 그 큐를 선택큐로 정의한다. 그림 2-3과 같이 우선 공통메모리 버퍼부의 동작을 모델링하기 위하여 다음과 같이 확률 변수를 정의한다.

Q_m m 번째 슬롯에서 선택큐를 이루고 있는 셀들의 숫자
 I_m m 번째 슬롯에서 머리카에서 대기하고 있는 셀들의 숫자
 A_m m 번째 슬롯에서 머리카에 도달하는 셀의 숫자.

이상과 같이 정의된 큐잉 프로세스는 Q 와 I 에 의한 2 차원적인 Markov chain이되며, 그 상태 공간은 다음과 같이 나타낸다.

$$\{(0,0), (s,w) \mid 1 \leq s \leq k_{sbf}, 0 \leq w \leq N-L\} \quad (2.1)$$

여기서 공통메모리 버퍼부의 각 큐에 도달하는 셀의 흐름을 먼저 베르누이 과정이라고 가정하였다. 이 때 임의의 큐에 1 슬롯 동안 셀이 도달할 확률을 P 라고 한다면, 이 P 값은 다음의 과정에 임가하여 산출될 수 있다. 먼저 특정 출력 포트의 전용버퍼와 그에 해당하는 공통메모리 버퍼부의 특정큐를 합하여 하나의 복합큐라고 볼 수 있다. P 값을 구하기 위하여 이 복합큐를 분석해야 하며, 다음과 같이 확률 변수부터 정의한다.

\hat{Q}_m m 번째 슬롯에서 복합큐를 이루고 있는 셀들의 숫자
 \hat{A}_m m 번째 슬롯에서 복합큐에 도달하는 셀의 숫자.
 아울러 임의의 입력 포트에 특정 슬롯 동안 셀이 도달한 확률을 \hat{P} 라고 하면, 여기서 \hat{A}_m 는 다음과 같이 이항 확률 분포를 따른다.

$$Prob(\hat{A} = i) = \binom{N}{i} \left(\frac{\hat{P}}{N}\right)^i \left(1 - \frac{\hat{P}}{N}\right)^{N-i} \quad (2.2)$$

$$i = 0, 1, 2, 3, \dots, N$$

슬롯 시간 단위로 바뀌는 큐의 상태를 관련식으로 표시하면 다음과 같다.

$$\hat{Q}_k = \min(\max(\hat{Q}_{k-1} + \hat{A}_k - 1, 0), K_{sbf} + K_{abf}) \quad (2.3)$$

이와 같이 정리된 \hat{Q} 에 관한 Markov chain은 참고 문헌 (9)에서의 같이 계산되어 평형 상태에서의 \hat{Q} 의 확률, 즉 $\Phi_j = \lim_{k \rightarrow \infty} Prob(\hat{Q}_k = j), j = 0, 1, 2,$

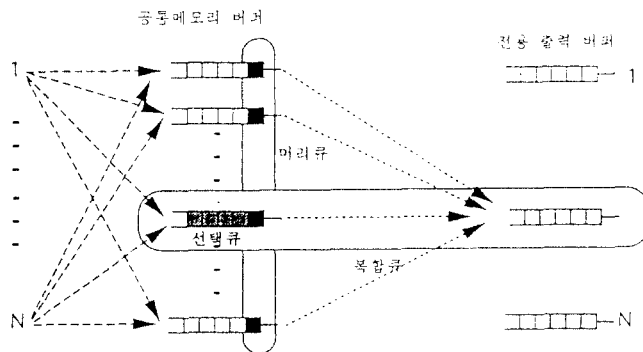


그림 2-3. 공통메모리 버퍼부의 모델링
 Fig. 2-3. Modeling of shared-memory buffers.

..., $(k_{abf} + k_{sbf})$ 이 얻어진다. 그러면 평형 상태에서 Q 가 k_{abf} 보다 더 큰 확률은 어떤 셀이 write되는 동안 전용버퍼에 바로 들어가지 않고 공통메모리 버퍼부에 들어갈 확률이라 볼 수 있다. 즉,

$$P = \sum_{j=K_{abf}+1}^{K_{abf}+K_{kbf}} \phi_j \quad (2.4)$$

의 관계가 성립한다. 이와 같은 근사 방법으로 위에서 공통메모리 버퍼부 안의 각 큐에 도달하는 셀의 도착 특성을 결정하는 P 값을 구하였다.

Markov chain에서 궁극적으로 구해야 하는 값은 평형 상태에서 특정큐와 머리큐가 어떤 상태에 있을 확률이다. 즉, 특정큐의 값이 l 이고 머리큐의 값이 θ 이면, 레벨 (level)이 l 이고 페이즈 (phase)가 θ 이면, 이 값은 $\Pi_{l,\theta} = \lim_{m \rightarrow \infty} Prob(Q_m = l, H_m = \theta)$ 이다. 이것을 확률 벡터 개념을 도입하여 Markov chain 평형 상태를 Π 라 표현할 때

$$\Pi = (\Pi_0, \Pi_1, \dots, \Pi_1, \dots, \Pi_{k_{sbf}}) \quad (2.5)$$

이다. 여기서 단위 확률 벡터, 즉 Π_0 를 제외한 Π_1 은 행 벡터 $\Pi_{1,0}, \Pi_{1,1}, \dots, \Pi_{1,N-L}$ 를 나타낸다. 참고 문헌 [12]에서 정의한 기호를 그대로 이용하여, 상태 천이 관련식을 얻기 위하여 다음 확률을 정의한다:

$$a_{k|w} \text{ Prob}(A_m = k | H_m = w)$$

$p_{suc,k|w} \text{ Prob}(A_m = k \text{ 이고 선택큐의 HOL에 있는 셀이 선택되어 동일 슬롯안에 전용버퍼부로 보내짐} | H_m = w)$

$p_{suc|w} \text{ Prob}(\text{선택큐의 HOL에 있는 셀이 선택되어 동일 슬롯안에 전용버퍼부로 보내짐} | H_m = w)$

$p_{blo,k|w} \text{ Prob}(A_m = k \text{ 이고 선택큐의 HOL에 있는 셀이 동일 슬롯안에 전용버퍼부로 보내지지 못함} | H_m = w)$

$t_{s_c, w_c; s_s, w_s} \text{ Prob}(\text{현재 상태가 } (s_c, w_c) \text{ 이고 1 슬롯 후의 상태가 } (s_s, w_s) \text{ 임})$

이 때 $a_{k|w}$, $k = 0, 1, 2, \dots, N-w$ 는 다음과 같이 주어진다.

$$a_{k|w} = \binom{N-w}{k} (1-p_0)^k p_0^{N-w-k}, \quad (2.6)$$

$$\text{for } 0 \leq w \leq N - I$$

여기서 p_0 는 선택큐가 비어 있을 확률을 나타낸다. 또 $p_{suc,k|w}$, $k = 0, 1, 2, \dots, N-w$ 는 다음과 같이 주어진다.

$$p_{suc,k|w} = a_{k|w} \min\left(1, \frac{L}{k+w}\right), \quad (2.7)$$

$$\text{for } 0 \leq w \leq N - L$$

따라서 $p_{suc|w}$ 는 다음과 같이 주어진다.

$$p_{suc|w} = \sum_{k=0}^{N-w} a_{k|w} \min\left(1, \frac{L}{k+w}\right), \quad (2.8)$$

$$\text{for } 0 \leq w \leq N - L$$

또 $p_{blo,k|w}$, $k = 0, 1, 2, \dots, N-w$ 는 다음과 같이 주어진다.

$$p_{blo,k|w} = a_{k|w} \frac{\max((k+w-L), 0)}{k+w}, \quad (2.9)$$

$$\text{for } 0 \leq w \leq N - L$$

다음으로 차원이 $(1+k_{sbf}(N-L+1)) \times (1+k_{sbf}(N-L+1))$ 인 상태 천이 행렬 T 를 구해내는 일은, $\Pi = \Pi T$ 와 $\sum_{v, \theta} \Pi_{v, \theta} = 1$ 식에 의해서 선택큐와 머리큐의 평형 상태 값을 구하기 위한 중요한 과정이다. 상태 천이 행렬 T 는 다음과 같이 주어지며

$$T = [t_{s_c, w_c; s_s, w_s}] \quad (2.10)$$

여기서 $\sum_{s_s, w_s} t_{s_c, w_c; s_s, w_s} = 1$ 의 관계식이 항상 성립한다. 그러나 차원이 $(1+k_{sbf}(N-L+1)) \times (1+k_{sbf}(N-L+1))$ 인 연립 방정식을 직접 풀려고 하면 대단히 어려운 문제이다. 그런데 행렬 T 를 잘 관찰하면 이것은 불력으로 규칙적으로 분할된 quasi birth-and-death (QBD) 형태의 구조를 갖고 있다는 사실이다. 이는,

$$T = \begin{bmatrix} A_{II}^* A_{III}^* & 0 & 0 & \cdots & 0 & 0 & 0 \\ A_I^* & A_{II} & A_{III} & 0 & \cdots & 0 & 0 \\ 0 & A_I & A_{II} & A_{III} & \cdots & 0 & 0 \\ \vdots & \vdots & \vdots & \vdots & \ddots & \vdots & \vdots \\ 0 & 0 & 0 & 0 & \cdots & A_I A_{II} A_{III} & \\ 0 & 0 & 0 & 0 & \cdots & 0 & A_I^* A_{II}^* \end{bmatrix} \quad (2.11)$$

$$A_I = (1-P)C, \quad (2.12)$$

$$A_{II} = PC + (1-P)B, \quad (2.13)$$

$$A_{III} = PB, \quad (2.14)$$

$$A_I^* = (1-P)C + PB = C, \quad (2.15)$$

$$A_{II}^* = (1-P)B + PB = B, \quad (2.16)$$

$$A_I^* = (1-P)Ce, \quad (2.17)$$

$$A_{II}^* = Pp_{suc|0} + (1-P), \quad (2.18)$$

$$A_{III}^* = Pe^*B, \quad (2.19)$$

이며, 여기서 C , B , e 및 e^* 는 다음의 형태를 갖는다.

$$C = \begin{bmatrix} p_{suc,0} & 0 & \cdots & 0 \\ p_{suc,1} & 0 & \cdots & 0 \\ p_{suc,2} & 0 & \cdots & 0 \\ \vdots & \vdots & \ddots & \vdots \\ p_{suc,N-1} & 0 & \cdots & 0 \end{bmatrix} \quad (2.20)$$

$$B = \begin{bmatrix} 0 & p_{sto,N-1,0} & \cdots & p_{sto,N,0} \\ 0 & p_{sto,N-1,1} & \cdots & p_{sto,N-1,1} \\ \vdots & \vdots & \ddots & \vdots \\ 0 & 0 & \cdots & p_{sto,L,N-L} \end{bmatrix} \quad (2.21)$$

$$e = [1 \ 1 \ \cdots \ 1]^T \quad (2.22)$$

$$e^c = [1 \ 0 \ 0 \ 0 \ \cdots \ 0] \quad (2.23)$$

여기서 C나 B는 모두 차원이 $(N-L+1) \times (N-L+1)$ 인 정방구조를 가지고 있으며 e 나 e^c 는 $(N-L+1)$ 개의 요소를 갖고 있다. $\Pi = \Pi T$ 식을 QBD 특성을 이용하여 행렬방정식 형태로 풀면, $(1-k_{sbf}(N-L+1)) \times (1-k_{sbf}(N-L+1))$ 인 정방형 행렬의 연산이 $(N-L+1) \times (N-L+1)$ 인 정방형 행렬 연산 형태로 풀릴 수 있다. 이는 실질적인 버퍼 파라미터에 입각한 연산이 가능케 한다. $\Pi = \Pi T$ 식은 다음의 다섯 개의 식으로 표현될 수 있다.

$$\Pi_0 = \Pi_0 A'_{II} - \Pi_1 A^*_{I1} \quad (2.24)$$

$$\Pi_1 = A^*_{III} - \Pi_1 A_{II} - \Pi_2 A_{I1} \quad (2.25)$$

$$\Pi_i = \Pi_{i+1} A_{III} - \Pi_i A_{II} - \Pi_{i+1} A_{I1} \quad (2.26)$$

for $k_{sbf} - 1 \leq i \leq 2$.

$$\Pi_{k_{sbf}-1} = \Pi_{k_{sbf}-2} A_{III} - \Pi_{k_{sbf}-1} A_{II} - \Pi_{k_{sbf}-1} A^*_{I1} \quad (2.27)$$

$$\Pi_{k_{sbf}} = \Pi_{k_{sbf}-1} A_{III} - \Pi_{k_{sbf}} A^*_{II} \quad (2.28)$$

위의 행렬방정식을 푸는 과정은 참고 문헌 [10]에서 유도한 방법을 그대로 따르면 된다. 결과적으로,

$$\Pi_l = \begin{cases} \Pi_0 e^c BR(BR)^{l-1} & \text{if } 1 \leq l < K_{sbf}, \\ P \Pi_0 e^c BR(BR)^{K_{sbf}-2} B(I-B)^{-1} & \text{if } l = K_{sbf}, \end{cases} \quad (2.29)$$

가 된다. 위 식은 이 장에서 다루고 있는 확률과정의 분산 값을 나타내므로 가정된 Markov chain은 완전히 풀렸다고 볼 수 있다. 이 식에서 R과 Π_0 는 다음과 같이 주어진다.

$$R = p\{I - P e e^c - (1-P)B\}^{-1} \quad (2.30)$$

$$\Pi_0 = \left\{ 1 + e^c BR \sum_{l=1}^{K_{sbf}-1} (BR)^{l-1} e + P e^c \right.$$

$$\left. BR(BR)^{K_{sbf}-2} B(I-B)^{-1} e \right\}^{-1} \quad (2.31)$$

위 식에서 I는 단위 정방 행렬을 나타낸다. 그런데 Π 를 계산해내기 위해서 처음에 p_0 값을 0으로 가정하였다. 그러므로 $p_0 = (1-P)\Pi_0$ 의 관계식이 성립하도록 순환 연산을 반복한다. 반복 뒤 Π_0 값이 안정되면 그때의 Π 값이 구하고자 하는 값이 된다. 여기서 공통메모리부는 지금 계산된 선택큐와 서로 독립적인 N개의 통계적으로 동일한 성질의 큐들로 이루어지므로 마지막으로 구해야 할 값은 공통메모리부를 구성하는 N개 큐의 통합 분산 특성이다. 이 N개 큐의 통합한 큐를 통합큐라 표현한다. 가정에서 서로 독립이라고 했으므로 통합큐의 분산을 Π^0 이라고 했을 때 다음과 같이 정의되며,

$$\Pi^0 = (\Pi^0_0, \Pi^0_1, \dots, \Pi^0_j, \dots, \Pi^0_{k_{sbf}}) \quad (2.32)$$

이 값은 아래와 같은 방법으로 얻어진다.

$$\Pi^0 = \overbrace{\Pi \otimes \Pi \otimes \dots \otimes \Pi}^{N \text{ 번의 convolution 형태}} \quad (2.33)$$

이 계산에서 k_{sbf} 값을 충분히 큰 값으로 가정하므로 매 중첩마다 k_{sbf} 에서 값을 절상한다. 궁극적으로 구해야 하는 값은 평형 상태에서의 통합큐의 값, 즉 통합큐의 값이 1인 경우, 이 값을 Π^0 로 정의하며 이는 곧 공통메모리의 통합큐 상태가 l개의 셀로 차 있을 확률을 나타낸다. 가장 중요한 성능 분석 파라미터인 공통 버퍼부에서의 셀 분실률 P_{loss} 는 $\Pi^0 k_{sbf}$ 로 표현된다.

그럼 2-4는 링크 이용률이 80%, 85% 그리고 90% 일 때, 주어진 k_{dbf} 값에서 특정 셀이 출력 포트마다 진용으로 보유하는 출력 버퍼에 바로 들어가지 않고 일단 공용 버퍼로 들어갈 확률을 나타낸다. 그림 2-5는 k_{dbf} 값이 15인 경우, 공용 버퍼 수 k_{sbf} 에 따른 셀 분실률을 나타낸다. 이 그림에서 확인할 수 있는 사항은 입력 트래픽 부하가 85% 이하인 경우에는 50개 미만의 공용 버퍼가 있어도 원하는 성능을 만족시켜 준다. 다만 입력 측 트래픽 부하가 85~88%인 경우는 이보다 많은 공용 버퍼 수가 필요하며 부하가 88% 이상이면 적당한 크기의 공용 버퍼로 원하는 성능을 보장할 수 없다는 점이다. 입력 트래픽 부하가 88% 이하인 경우에는 적당한 크기의 공용 버퍼로 원하는 성능을 보장할 수 있다. 이 그림에서 불과 1~3%의 부하 상태 변화에 민감히 셀 분실률 성능이 변하는 까닭은 하나의 입력 링크에 1%

씩 부하가 증가한다고 가정하면 결과적으로 하나의 슬롯 기간 동안에 0.64개의 셀이 더 많이 공용버퍼로 들어오는 상황이 된다. 그런데 공용버퍼는 한 슬롯에 2 개 ($L = 2$)의 셀만을 전용버퍼로 보낼수 있다고 가정했으므로 포화 상태에 그만큼 빨리 접근하게 되기 때문이다. 그림 2-6에서는, 제한한 부분적 공유버퍼 방식에서 전용버퍼의 용량이 20 이고 아울러 공용 버퍼의 용량이 50 정도 이면 적정한 트래픽 부하 상황에서는 충분한 성능을 보여준다.

2.3 분석 결과에 입각한 부분적 공유버퍼 스위칭 시스템

지금까지 수행한 분석의 궁극적인 목표는 이 논문에서 제시하고 있는 부분적 공유버퍼 방식의 장점을 정량화하는 것이다. 우선 표 2-1에서 메모리 액세스 시간 측면에서의 장점을 보면 물론 공용 버스형 보다는 다소 못하지만 비슷한 수준을 유지하고 있음을 알 수 있다. 앞에서 분석한 자료에 의하면, k_{dbf} 를 15 정도로 값을 설정하고 k_{sbf} 값을 50으로하면 원하는 성능을 얻을 수 있

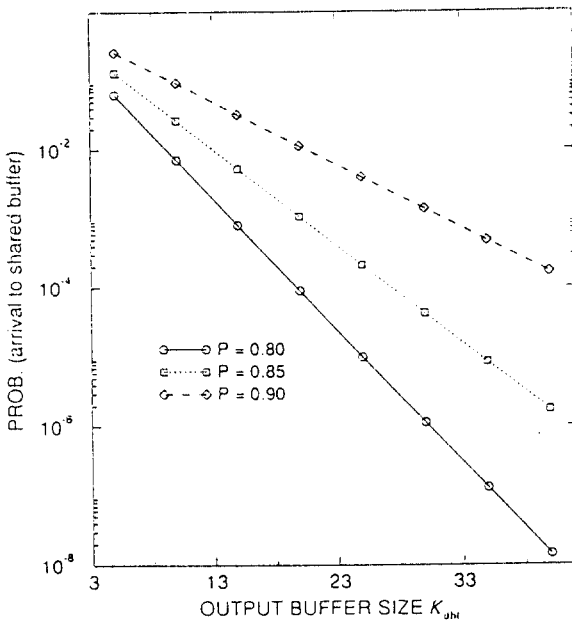


그림 2-4. 특정 셀이 공용 버퍼에 도달할 확률
Fig. 2-4. Probability that a tagged cell arrives at the shared buffers.

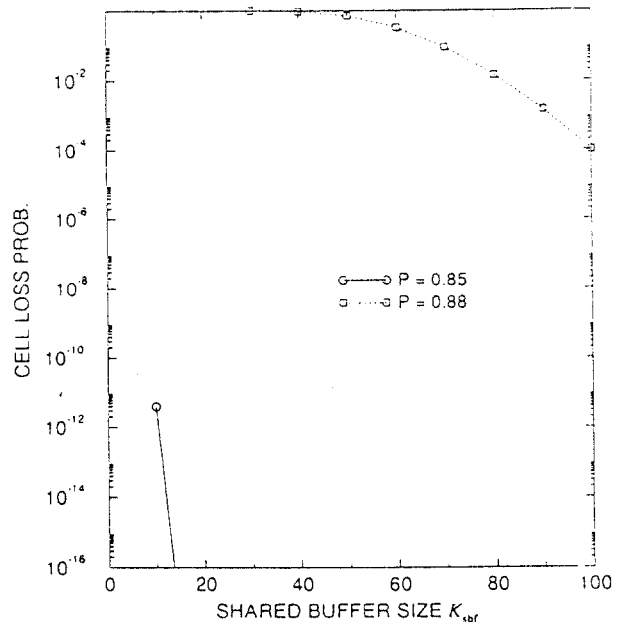


그림 2-5. $k_{dbf} = 15$ 인 경우 공용 버퍼 수에 따른 셀 분실률 ($L = 2$ 운용)
Fig. 2-5. Cell loss prob. versus number of shared buffers ($k_{dbf} = 15, L = 2$).

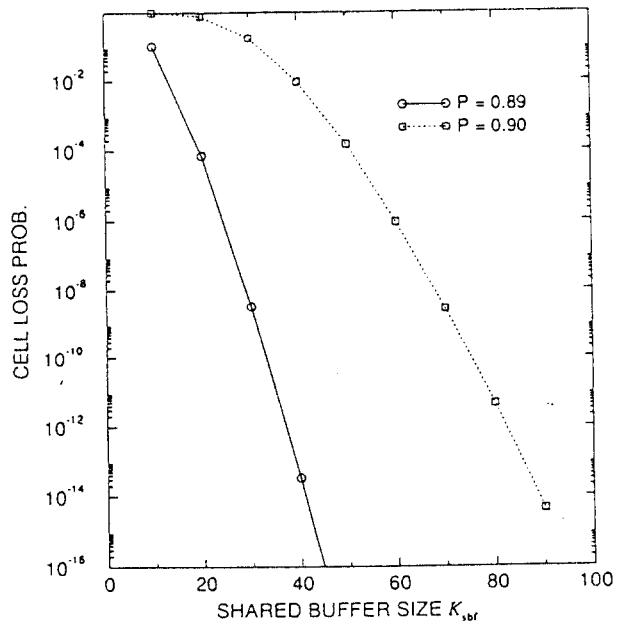


그림 2-6. $k_{dbf} = 20$ 인 경우 공용 버퍼 수에 따른 셀 분실률 ($L = 2$ 운용)
Fig. 2-6. Cell loss prob. versus number of shared buffers ($k_{dbf} = 20, L = 2$).

다. 칩 구현 측면상의 특성을 표 2-2에 나타내었다. 표 2-1과 표 2-2에서 나타난 데이터에서 처럼 부분적 공유 버퍼형 스위치는 메모리 액세스 시간 특성은 공용 버퍼형 스위치의 특성을 비슷하게 따르며, 칩 구현 특성은 공통메모리형의 스위치 성능을 비슷하게 따른다는 사실을 알 수 있으며 이는 앞에서 전제한 부분적 공유버퍼형 이 두 가지 방식의 장점을 살린 방식임을 입증하는 것이

다.

이상과 같이 본 논문에서 제안한 부분적 공유버퍼 방식에 의해 기본 스위칭 시스템을 설계하면 150 Mbit/s, 64×64 (10 G 스루풋 급) 스위치는 4 bit slice 구조로, 즉 4 개의 칩으로 구현 가능함을 확인하였다.

Ⅲ. 결 론

표 2-1. 부분적 공유버퍼형 스위치의 구현가능 회선 수

Table 2-1. Maximum size of an element switching fabric with the hybrid buffers.

구 분	스위치 회선 수(N)						
	4	8	16	32	64	128	256
총 스루풋 (Gbit/s)	0.6	1.2	2.4	4.8	9.6	19.2	38.4
메모리 액세스 속도 (ns)	314	217	134	76	40	21	11
0.5 μ CMOS로 구현 가능 여부	○	○	○	○	○	△	×
병렬 처리 bit 수 W = 424 bits. 회선 속도 V = 150 Mbit/s. L = 2 기준							

표 2-2. 부분적 공유버퍼형에서 성능을 만족시키기 위한 버퍼 메모리

Table 2-2. Required size of buffer memory for the hybrid buffer switching architecture.

구 분	스위치 회선 수(N)						
	4	8	16	32	64	128	256
필요한 총 버퍼 수	110	170	300	530	1010	1970	3890
필요한 버퍼 메모리 (K bits/chip)	12	18	32	56	107	208	411
(1칩 구현 가능여부)	○	○	○	○	○	×	×
트래픽 링크 이용률 $\rho = 0.85$, 셀 손실률 = 10^{-9} 이하, $K_{dbr} = 15$, L = 2, 4 bit slice 구조 기준							

ATM 교환기의 스위칭 구조로서 구현성 측면과 성능 측면에서 우수한 특성을 갖는 공통메모리형과 공통버스형에 대하여 장·단점을 메모리 액세스 시간과 칩 구현성 측면에서 정량적으로 분석하였다. 공통메모리형 스위칭 구조는 버퍼 메모리를 공유한다는 측면에서 칩 구현 측면에서는 장점을 갖고 있으나, 반면에 공통버스형 구조는 메모리 액세스 시간 측면에서 장점을 가지고 있다. 이에 본 논문에서는 이 두 가지의 장점을 혼합한 부분적 공유버퍼 방식을 제시하였다. 아울러 이 방식으로 스위칭 시스템이 구현될 때는 메모리 액세스 시간과 칩 구현 측면에서 어떤 성능을 발휘하는지를 수학적 분석 모델을 설정하고 분석하였다. 이 분석 결과에 따르면 제시한 부분적 공유버퍼형 스위칭 구조는 메모리 액세스 시간 특성은 공통버스형 스위치의 성능 특성을 비슷하게 따르며, 칩 구현성 측면에서는 공통메모리형의 특성을 비슷하게 따른다는 사실을 확인하였다.

따라서 ATM 교환기의 스위치부 설계시에 이 논문에서 제시한 부분적공유 버퍼형을 이용한다면 기존의 공통메모리형 스위치의 장점을 최대한 이용하고 아울러 이 방식의 단점인 스위칭 속도상의 한계를 해결해 줄 수 있는 방안이라고 판단된다.

참고문헌

1. T. Takeuchi, H. Suzuki, and T. Aramaki, "Switch architectures and technologies for asynchronous transfer mode," *IEICE Trans. Commun.*, Vol. E 74, pp.752-760, Apr. 1991.
2. Y. Shobatake, M. Motoyama, E. Shobatake, T. Kamitake, S. Shmizu, M. Noda, and K. Sahaue, "A one-chip scalable 8*8 ATM switch LSI employing shared buffer architecture," *IEEE J. Select. Areas Commun.*, vol. 9, pp.1248-1254, Oct. 1991.
3. T. Kozaki, N. Endo, Y. Sakurai and O. Matsubara, "32 X 32 Shared buffer type ATM switch VLSI's for B-ISDN's," *IEEE J. Select. Areas Commun.*, vol. 9, pp.1239-1247, Oct. 1991.
4. A. Itoh, W. Takahashi, H. Nagano, M. Kurisaka, and S. Iwasaki, "Practical implementation and packaging technologies for a large-scale ATM switching system," *IEEE J. Select. Areas Commun.*, vol. 9, pp.1280-1288, Oct. 1991.
5. H. Ahmadi and W. E. Denzel, "A survey of modern high performance switching techniques," *IEEE J. Select. Areas Commun.*, vol. 7, pp.1091-1103, Sept. 1989.
6. H. Kuwahara, et al., "A shared buffer memory switch for an ATM exchange," *ICC*, pp.118-122, June 1989.
7. T. R. Banniza, G. J. Eilenberger, B. Pauwels, and Y. Therasse, "Design and technology aspects of VLSI's for ATM switches," *IEEE J. Select. Areas Commun.*, vol. 9, pp. 1255-1264, Oct. 1991.
8. Y. C. Jung and C. K. Un, "Banyan multipath self-routing ATM switches with shared buffer type switch elements," *IEEE J. Select. Areas Commun.*, VOL. 43, No. 11 Nov. 1995.
9. H. Hisamatsu et al., "A CMOS 2.4 Gbps 16×16 ATM switch chip set," *NEC Res. & Develop.*, Vol. 35, No. 4 Oct. 1994.
10. Y. Doi and H. Yamada, "A 160 Gbit/s large-capacity ATM switching system using a dynamic link speed controlled switch architecture," *GLOBECOM*, pp. 24-48, Dec. 1993.
11. Y. C. Jung, C. K. Un, S. M. Ryu, and S. C. Lee, "Analysis of the out-of-sequence problem and the preventive schemes in a parallel switch architecture for high-speed ATM networks," *IEE Proceedings Part I*, Vol. 141, No. 1, Feb. 1994.
12. Y. C. Jung and C. K. Un, "Performance analysis of packet switches with input and output buffers," *Comput. Networks and ISDN Systems* 26 pp.1559-1580 1994.



鄭 允 燦(Youn Chan Jung) 정희원

1976년~1980년 : 경북대학교 공대
전 자 공 학 과
(B.S.)

1989년~1991년 : 한국과학기술원
전기 및 전자공
학과(M.S. 과
정)

1991년~1994년 : 한국과학기술원 전기 및 전자공학과(박사
과정)

1994년 8월 : 한국과학기술원 전기 및 전자공학과 석사. 박사
학위 취득

1979년 12월~현재 : 국방과학연구소 선임연구원

1979년 12월~1989년 : 군용 이동통신망 설계 및 시스템
TESTBED 구현

1994년~현재 : 21세기형 군 무선 종합정보 통신망 설계

※주관심 분야 : 무선 ATM, PCS 시스템 설계, 컴퓨터 네트
워크, 통신망 성능분석



殷 鍾 官(Chong Kwan Un) 정희원

1964년 : 미국 University of
Delaware 전자공학과
학사

1966년 : 동 대학원 전자공학과 석사

1969년 : 동 대학원 전자공학과 박사

1969년~1973년 : 미국 University of Maine 전자공학과
조교수

1973년~1977년 : 미국 스텐포드연구소(SRI) 책임연구원

1977년~현재 : 한국과학기술원 전기 및 전자공학과 교수

1983년~1989년 : 한국과학기술원 통신공학연구실장

1991년~현재 : 음성정보연구센터장

- 국제 전기 및 전자공학회(IEEE)의 Fellow
- IEEE Communication Society, Acoustics Speech and Signal Processing Society 및 Circuit and System Society 논문 심사위원
- IEEE Communication Society의 Asian-Pacific Committee 한국 대표위원
- 대한 전자공학회 통신연구회 위원장(1979년 1월~1980년 12월)
- 한국음향학회 부회장(1981년 6월~1987년 11월), 회장(1987년 11월~1989년 11월)
- 한국통신학회 이사(1985년 11월~1990년 11월)

※주관심 분야 : 디지털 통신 및 신호처리