

완전 결합형 ATM 스위치 구조 및 구현
(I 부 : 구조 설정 및 성능 분석에 대하여)

김근배 김경수 김혁중
正會員 金根培*, 金敬洙*, 金浹鍾*

The Structure and The Implementation of Fully Interconnected ATM Switch
(Part I : About The Structure and The Performance Evaluation)

Keun-Bae Kim*, Kyeong-Soo Kim*, Hyup-Jong Kim* Regular Members

要 約

본 논문은 소규모 ATM 스위치 구현에 적합하다고 판단되는 완전 결합형 스위치의 개량 구조를 제시하고, 주문형 반도체 칩 및 스위치 네트워크의 실질적 구현에 따른 연구 결과를 제시 하고자한 전체 내용의 I부로서, 구조의 제안 및 성능 분석과 그에 따른 검토 사항을 포함하고 있다. 본 연구에서 제안한 구조는 각 선별 다중화부(Filtered Multiplexer)에 입력 링크별로 할당되는 작은 용량의 개별 버퍼 및 큰 용량의 공통 버퍼가 같이 존재하는 두 단계 버퍼링 방식을 사용하였으며, 다중화 서비스 방식은 입력 속도에 비해 두배 이상 빠르게 다중화 서비스를 수행하여 속도 이득 효과를 갖도록 하였다. 특히 버퍼 점유도에 따라 서비스 우선순위를 동적으로 설정하는 방식을 취하여 ATM 트래픽이 갖는 버스트 특성에 잘 적응되도록 구성 하였다. 제안한 구조는 시뮬레이션을 통하여 성능 분석을 하였으며, 다중화 방식에 대한 비교와 성능 향상을 위해 계속 고려되어야 하는 설계 변수들에 대한 고찰을 하였다.

ABSTRACT

This paper is the part I of the full study about improved structure of fully interconnected ATM switch to develop the small sized switch element and practical implementation of switch network. This part I paper describes about proposed switch structure, performance evaluations and some of considerations to practical implementation.

The proposed structure is constructed of two step buffering scheme in a filtered multiplexer. First step buffering is carried out by small sized dedicated buffers located at each input port. And second step buffering is provided by a large sized common buffer at the output port. To control bursty traffic, we use speed up factor in multiplexing and priority polling according to the levels of buffer occupancy. Proposed structure was evaluated by computer simulation with two evaluation points. One is comparison of multiplexing discipline between hub polling and priority polling. The other is overall which should be considered to improve the practical implementation.

* 한국전자통신연구소 광대역통신망연구부
論文番號 : 95299-0831
接受日字 : 1995年 8月 31日

I. 서론

ATM 시스템 구성을 위한 스위치 네트워크 구조는 지난 수년간 국내외를 통해 활발히 연구되고 제안 되어 왔으며, 그 중 일부는 실험실에서의 프로토타입 수준을 벗어나 현재 상용화가 이루어지고 있다. 현재까지 제안 되어온 스위치들은 보다 우수한 성능, 보다 용이한 구현을 위하여 계속 그 형태가 변형되어 왔으나 크게 메모리를 사용한 공유메모리형(Shared Memory Type) 스위치, 고속 버스 등을 이용한 공유미디어형(Shared Medium Type) 스위치, 다단상호접속망을 이용한 공간분할형(Space Division Type) 스위치 및 Knockout 스위치와 같은 완전결합형(Fully Interconnected Type) 스위치 등으로 분류가 가능하다⁽¹⁾⁽²⁾. 그러나, 현재까지 제안된 스위치 구조들은 그 각각이 나름대로의 장 단점을 갖고 있으므로 어느 한 구조가 가장 우수하다고 판단을 내릴 수 없는 것이 사실이다. 즉, 구현의 관점에서 보면 현재까지 제안되어온 각종 스위치 구조는 서로 절대적인 우수성을 갖을 수 없으며, 용량 확장성의 문제, 멀티캐스팅 서비스 수용의 복잡성, 스위치 네트워크 내부 블럭킹 배제를 위한 하드웨어의 복잡성 등에서 서로 장점 내지는 단점을 갖고 있다.

상기와 같은 특성을 고려하여 본 연구에서는 스위치 네트워크의 사이즈를 8×8 또는 16×16 이하의 소규모로 가장한 상태에서의 용이한 구현을 위한 스위치 네트워크의 개량 구조를 제시하고자 하며, 연구의 대상으로서는 비교적 소규모 스위치 구현에 용이하면서도 멀티캐스팅 기능을 자연스럽게 제공할 수 있는 완전결합형 스위치를 연구의 대상으로 하였다. 완전결합형 스위치는 시스템의 각 입력 정합부가 모든 출력라인 정합부와 개별적인 방송형 버스(Dedicated Broadcast Bus)로 연결되는 구조를 갖는다. 따라서 스위치 네트워크의 규모가 큰 경우에는 버스의 Fanout 등이 문제가 되나 16×16 이하 정도의 소규모 스위치 네트워크에의 적용에는 큰 무리가 없다고 판단되며, 특히 스위치 내부 블럭킹 해소를 위해 공간 분할형태의 스위치와 같이 부가적 하드웨어가 필요치 않으며 단지 출력포트에서의 블럭킹 만이 존재하는 출력버퍼형 스위치의 특성을 갖는다. 또한 개별적인 방송 버스를 사용함으로써 멀티캐스팅 기능을 자연스럽게 수용하는 구조를 갖는다.

본 연구에서는 이와 같은 특성을 갖고 있는 완전결합형 스위치의 구조를 이용하여 소규모 스위치를 실질적으로 구현하기 위한 세부 구현 구조를 제시하고, 이 구조가 갖는 트래픽 처리 특성을 다양한 버스트 트래픽 환경 하에서 컴퓨터 시뮬레이션을 통해 수행하였다. 분석의 초점은 선별 다중화 기능부에 구성될 수 있는 다중화 방식들중 허브 폴링(Hub Polling)방식과 버퍼 점유도에 따른 우선순위 다중화(Priority Polling with Buffer Occupancy) 방식을 비교하여 그 적용성을 검증 하였으며, 전체적인 성능 분석을 바탕으로 하여 완전한 시스템 구성 시에 뒤따라야하는 개선/보완 구조를 검토 하였다. 본 논문의 구성은 I장 서론에 이어 제 II장에서는 제안 스위치 구조의 특성 및 각 구성 유니트의 기능 동작에 대해 설명하고, III장에서 본 제안 구조의 성능 분석을 위한 시뮬레이션 모델링 및 성능 분석 방향에 대하여 논하였으며 이에 따른 결과의 분석을 제 IV장에서 자세히 기술 하였다. 마지막으로 제 V장에서 결론을 맺었다.

II. 스위치 구조 및 기능 구성

1. 완전 결합형 스위치에 대한 고찰

완전결합형 스위치의 일반적 형태는 그림1과 같다.

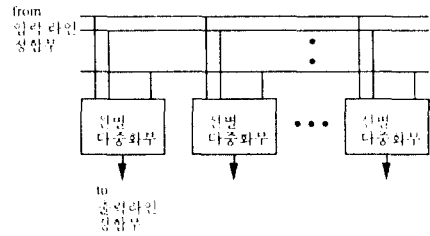


그림 1. 완전결합형 스위치의 일반적 구조
Fig. 1. General Structure of Fully Interconnected Switch

완전 결합형 스위치 네트워크는 그림 1과 같이 논리적으로는 입력 라인 정합부와 출력 라인 정합부 사이에 위치하며, 각 입력 라인 정합부마다 구성되는 개별적인 방송 버스와 각 출력 라인 정합부 단위로 구성되는 선별 다중화기를 통해 스위칭 기능이 수행된다. 여기서 스위치 네트워크 구성의 핵심이 되는 것은 선별 다중화기로서, 선별 다중화기는 버스를 통해 입력되는 셀 들의 목

적지 주소를 검사하여 선별적으로 셀을 통과 시키는 필터링 기능과 통과된 복수개의 셀들을 일시적으로 저장하였다가 출력 라인 정합부로 하나씩 송출하는 다중화 기능으로 크게 구성된다. 이러한 일반적 구조에서 중요한 것은 다중화 기능 구성에 소요되는 버퍼의 양과 다중화 방식으로써, 필요시 되는 스위치 네트워크의 규모가 크고 셀 손실 요구치가 매우 낮은 경우에는 구성에 소요되는 버퍼가 방대해지게 되고 그에 따른 다중화 방식의 복잡도가 가중된다.

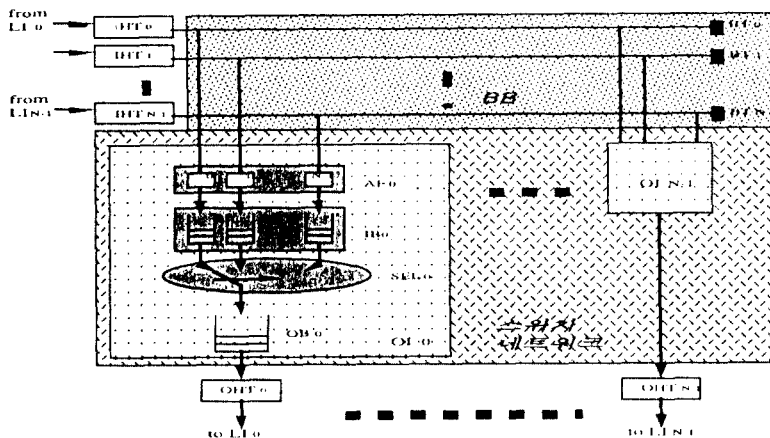
이와 같은 단점을 극복하고자 제시되고 있는 구조가 잘 알려진 Knockout 스위치 구조로써, Knockout 스위치는 셀 필터링 및 Knockout 집중화기를 통과한 셀들을 쉬프트 레지스터를 이용한 공유버퍼에 저장하는 방식을 사용하여 소요되는 버퍼 용량을 절감하는 구조를 갖고 있다⁽³⁾⁽⁴⁾. 이 같은 구조는 버퍼 절약 측면만이 아니라 공유버퍼 구조가 갖는 버스트 트래픽 처리에 따른 우수성을 제공할 수 있을 것이다. 그러나, Knockout 집중화기의 특성상 다수의 입력 라인 정합부로 부터의 셀들이 하나의 출력라인 정합부를 목적지로 하여 일정기간 동안 집중되는 현상(Hot Spot 현상) 하에서는 일시적으로 과도한 셀 손실이 일어날 수 있으며, 스위치의 규모가 작은 경우는 Knockout 집중화기의 구현에 따른 복잡도가 상대적으로 크고 Knockout 메카니즘의 효과가 미약해 지는 구조를 갖고 있다. 즉 8×8 정도의 소규모 스위치 구현에는 Knockout 집중화기를 적용할 필요가 없어지고 이에따라 Knockout 스위치는 집중화

기가 없는 상태에서 단순 입력 버퍼만을 갖는 구조로 변형이 될 것이며 제시되고 있는 구조를 근간으로 봤을때 어드레스 필터와 입력 수 만큼 존재하는 1셀 버퍼 및 쉬프트 레지스터를 이용한 공유버퍼를 갖는 구조가 되고 이때는 쉬프트레지스터로의 다중화 속도가 입력속도에 비하여 상당히 높아야 성능을 보장 할 수 있을 것이다. 결국 Knockout 스위치는 구조가 갖는 특성이 잘 표현되기 위해서는 약 32×32 정도 이상의 스위치를 대상으로 하여야 한다고 판단되며 소규모 스위치로의 적용은 구조 자체가 갖는 장점이 반영되기가 힘든 구조이다. 결론적으로 완전 결합형 스위치는 구현코자하는 스위치 규모를 바탕으로하여 세부 스위치 구조가 결정되어야 하며, 또한 실질적 구현에 있어서 중요시 되는 설계변수는 기본적으로 스위치 구성에 소요되는 총 버퍼의 크기 및 버퍼 구조가 제공하는 버스트 트래픽 처리 능력과 Hot Spot 기간 동안의 대처 능력 및 스위치 규모에 적절한 구현상의 복잡도 등으로 정리 될 수 있다.

상기의 사항들을 고려하여 본 연구에서는 필요 시 되는 단위 스위치 네트워크의 규모가 소규모일 경우에 있어서 성능을 보장하면서도 구현의 용이성이 제공될 수 있는 구조로써 그림 2와 같은 선별 다중화기를 갖는 완전 결합형 스위치 구조를 제안한다.

2. 제안 구조 및 기능 구성

그림 2에 제시한 스위치 네트워크의 구성 및 선별 다중화기의 기능을 수행하는 Output Interface(OI) 유



- LI : Line Interface
- IHT : Input Header Translator
- OHT : Output Header Translator
- AF : Address Filter
- SEL : Selector
- IB : Internal Buffer
- OB : Output Buffer
- OI : Output Interface
- BB : Broadcast Bus

그림 2. 제안 스위치 구조
Fig. 2. Proposed Switch Structure

니트의 동작 특성은 다음과 같다.

1) 헤더 변환기의 구성

시스템 전체적으로 셀 헤더부분에 대한 변환 작업은 스위치 네트워크의 입력단과 출력단에 각각 구성한다. 입력단에 위치하는 Input Header Translator(IHT)는 시스템에 입력되는 셀의 VPI/VCI값에 따라 셀프라우팅 태그를 셀의 앞단에 부가하는 기능과 시스템 내부에서의 연결 식별자 값을 셀의 헤더부분에 첨가하는 기능을 수행하며, 스위치 네트워크의 출력단에 위치하는 Output Header Translator(OHT)는 셀에 부가된 라우팅 태그를 제거하고 헤더내의 시스템 내부 연결 식별자를 이용하여 출력 시 새로운 VPI/VCI를 헤더에 첨가하는 기능을 수행한다. 이와 같이 헤더 변환기를 스위치 네트워크의 입 출력단에 각각 구성하므로써 멀티캐스팅 시에 VPI/VCI 할당을 시스템 자원에 독립적으로 할당할 수 있으므로 망내 다른 시스템과의 연동시 VPI/VCI 할당 메카니즘을 보다 유연하게 구성할 수 있다. 헤더 변환기는 기본적으로 메모리 기능을 이용하여 룩업테이블로 구성된다. 전송한 각 헤더변환기에서의 룩업테이블 운영은 그림 3과 같다.

입력	어드레스 출력	데이터
IHT	입력 VPI/VCI	라우팅태그 및 내부연결식별자
OHT	내부연결식별자	출력 VPI/VCI

그림 3. 헤더변환기의 룩업테이블 운영
Fig. 3. Lookup Table Processing in Header Translator

본 스위치 구조는 셀프라우팅 방식을 사용하는 스위치이므로 53바이트의 셀 앞단에 출력 포트 주소를 나타내는 라우팅 태그의 구성이 필요하며, 라우팅 태그는 스위치의 기능에 따라 기본적으로 일대일 및 일대다의 스위칭 서비스가 동시에 이루어지도록 구성되어야 하며, 특히 라우팅 태그의 구조에 따라 어드레스 필터(Address Filter)의 구현 난이도가 결정되는 것을 같이 고려하여야만 한다. 일반적으로 N개의 출력 포트를 어드레싱하기 위해서는 $n(n=\log_2 N)$ 개 만큼의 비트가 소요되므로 8×8의 경우 라우팅 태그는 3개의 비트가 소요된다. 그러나 이 방식은 일대일 스위칭 서비스만을 처리하는 데는 문제가 없으나 일대다의 멀티캐스팅 서비스를 수행하는

데는 비트 구성에 한계가 있다.

이러한 점을 해결하기 위해 완전결합형 스위치를 대상으로 선행 연구된 방안은 두가지를 들 수 있다⁵⁾. [5]에서 제시하고 있는 방안중 멀티캐스팅을 위한 멀티캐스팅 전용 모듈을 따로이 두는 방식은 대용량 스위치에서 무수히 많은 일대다 접속 조합을 한정된 갯수의 비트를 이용하여 제공할 수 있는 방안이나, 구현에 있어서 모듈의 추가, 전용 버스의 추가 구성이 필요한 등 하드웨어의 복잡도가 부가되는 반면 [5]에 언급되는 방안중 비트 위치별로 출력포트를 지정하는 비트 단위 어드레싱 방식은 스위치 사이즈가 큰 경우는 라우팅 태그 구성에 소요되는 비트 수가 출력포트 수 만큼 필요하게되어 스위치 네트워크내에서의 전송 효율을 약화시키는 단점을 갖고 있으나, 스위치가 소규모인 경우는 작은수의 비트 만으로 라우팅 태그 구성이 가능하므로 전송효율을 크게 약화시키지 않는 범위내에서 용이하게 구현할 수 있는 방식이다. 따라서 본 연구는 스위치의 크기를 소규모로 한정된 상태에서의 연구이므로 비트 어드레싱 방식을 적용한 라우팅 태그를 적용하였다.

이상과 같이 헤더변환기의 구성과 비트 어드레싱 방식에 따른 라우팅 태그를 고려한 스위치 네트워크에서의 48바이트 페이로드를 제외한 셀의 구성 형태는 그림 4와 같다. 그림 4는 스위치 사이즈를 8×8로 한 경우의 구성으로써 입력 셀의 VPI/VCI 영역은 시스템 내부연결 식별자로 변환되고 3바이트의 라우팅 태그가 부가되어 총 56바이트로 셀이 구성된다. 본 구성에서 여유분 라우팅 태그 영역으로 할당한 두번째와 세번째 바이트는 본 구조를 그대로 확장하여 16×16 또는 24×24 정도의 단위 스위치를 구성하거나, 또는 8×8 단위 스위치를 이용하여 다단망을 구성하는 방법을 사용하여 스위치 네트워크를 확장할 시에 사용되는 것을 고려한 것이다. 그림에 나타난 라우팅 태그는 8×8 스위치에서 출력포트가 2, 3 및 7로 멀티캐스팅을 요구한 경우이다. 스위치 네트워크를 통해 라우팅이 이루어진 셀은 OHT에서 라우팅 태그 부분이 삭제되고 시스템 내부 연결 식별자 영역은 새로운 출력 VPI/VCI로 변환되어 53바이트의 표준 셀로써 시스템에서 출력되게 된다.

2) 각 기능 유니트의 동작 특성

그림 2에 보인 스위치 네트워크의 각 기능 유니트의 동작 특성은 다음과 같다.

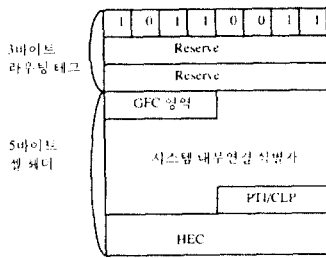


그림 4. 스위치 네트워크 내부에서의 셀 헤더 구조
Fig. 4. Cell Structure in Switch Network

o 각 입력 라인 정합부에 위치하는 IHT는 선별 다중화 기능부에 해당하는 스위치 네트워크내의 모든 Output Interface(OI)모듈과 전용의 방송 버스를 통해 접속되며, 구현상의 시스템 동작속도를 고려하여 버스는 바이트 단위 또는 워드단위로 구성한다.

o Address Filter(AF)는 버스를 통해 입력되는 셀의 라우팅 태그를 조사하여 해당 OI의 물리적 주소 위치인 비트가 0인 셀은 통과시키고 그 외의 셀은 바로 폐기시키는 기능을 수행한다.

o AF를 통과한 셀들은 각 Internal Buffer(IB)에 저장된다. IB는 입력 셀이 다중화 서비스를 받기까지 일시적으로 저장되는 버퍼로써 각 입력별로 버퍼를 할당하는 개별 버퍼방식(Dedicated Buffering)으로 구성하였다. IB는 버퍼 사이즈의 절감, 버스트 트래픽에 대한 강인성 등을 위해서는 공유버퍼 형태의 구조가 바람직하나 스위치 사이즈가 적고, 개발의 편의성을 고려하여 본 연구에서는 입력 별로 개별 버퍼를 두었다. 즉, 스위치 사이즈가 큰 경우는 개별 버퍼 방식과 공유버퍼 형태 방식 간의 소요 버퍼의 절감 효과가 크게 나타나나 스위치 사이즈가 소규모 일때는 오히려 공유버퍼 형태 방식을 취할 경우 버퍼의 절감 효과 보다는 공유버퍼 형태 구조에 따른 제어 메커니즘이 더 부담이 되는 점을 고려하였다. 단, 버스트 트래픽의 효과를 위하여 Sector(SEL)과 OB에서 버스트 트래픽에 대한 감내 효과를 구현한다.

o SEL는 다중화 기능부로서 IB의 저장 상태에 따라 다중화 서비스를 수행한다. 다중화 방식은 각 셀 단위로 우선순위를 제공하여 처리하지 않는다면 통상적으로 허브 폴링(Hub Polling) 방식과 버퍼점유도에 따른 우선순위 폴링(Level Priority Polling) 방식 등이 있을

수 있다. 허브 폴링 방식은 매 셀 타임마다 검색을 시작하는 버퍼의 위치를 순차적으로 할당하고, 해당 버퍼에 셀이 있는 경우는 서비스를 제공하나 해당 버퍼에 셀이 없는 경우는 바로 다음 버퍼에 대해 서비스 시간을 제공하는 방식이다. 반면 버퍼 점유도에 따른 우선순위 폴링 방식은 매 셀 타임마다 모든 버퍼에 대해 셀이 저장되어 있는 정도를 검사하여 가장 점유도가 높은 버퍼에 대해 다중화 서비스를 제공하는 방식이다. 이 두 방식은 각기 장단점을 갖고 있는데 허브 폴링의 경우는 각 버퍼에 대하여 공정한 서비스 기회를 제공한다는 측면에서는 탁월한 방식이나 전체적인 트래픽 밀도가 높고 어느 한 버퍼로 입력되는 트래픽의 버스트 특성이 강할 경우는 셀 손실이 많이 발생할 소지가 있다. 반면에 점유도에 따른 다중화 방식은 공정성이라는 측면은 취약하여 입력 트래픽 밀도가 상대적으로 낮은 버퍼내의 셀들에 대해서는 셀 지연이 상대적으로 증가하는 단점을 갖고 있으나, 버퍼 점유도가 높은 버퍼를 우선적으로 서비스 함으로써 버퍼가 모자라서 생기는 셀 손실 확율을 최소화 할 수 있는 방식이다. 즉, 다중화 속도가 상당히 빠른(속도 이득이 높은) 경우는 허브 폴링 방식이 우수할 것이나 본 연구에서는 다중화 서비스의 대상이 되는 버퍼의 수를 8개 정도로 한정하였고, 구현상 현실적인 다중화 속도의 제한성을 고려하여 버퍼 점유도에 따른 우선순위 폴링 방식을 사용하였다. 버퍼 점유도 검사를 위한 구현 기술로써는 각 버퍼의 점유도 값을 하드웨어적으로 정렬(sorting)하는 방식을 사용하며 이 기능은 Bitonic Sorting회로를 사용하였다. 또한 점유도 검사에 따라 순위가 정해진 IB들에 대해서는 최종적으로 셀이 있는 IB만이 서비스의 대상이 되도록 부가 회로를 사용하여 셀이 없는 IB에 대한 서비스 시간상의 손실은 없도록 한다. 즉, 타임슬롯내에 어느 IB에도 셀이 없다면 다중화 서비스는 이루어지지 않고 계속 버퍼 점유도를 검사하는 기능만을 수행하게 되며 어느 한 IB에라도 셀이 입력되게 되면 바로 다중화 서비스가 이루어지는 구조를 갖도록 하였다.

다중화 속도와 관련하여서는 IB로 부터 셀을 읽어내는 속도(V_r)를 IB에 쓰는 속도(V_w)에 비해 높게하는 방식을 사용하여(즉, $V_r > V_w$ 의 관계), 다중화 시의 속도 이득을 제공하였으며 구현의 난이도를 고려하여 2배 정도 즉, 바이트 단위 입력이 20Mbps(155.52Mbps/8bit=19.44Mbps)일때 다중화 속도는 이의 두배인 40Mbps를 사용하였다. 이는 약

0.7 μ 의 CMOS를 이용하여 ASIC화 할 경우 클럭킹의 한계성 및 과도한 병렬처리에 따른 I/O핀의 제약성을 고려한 것으로서 ASIC화 과정에서의 레이아웃등에 따라서는 다중화 속도가 최대 3배정도(60 Mbps)는 가능하리라 판단한다. 이 같은 방식을 통해 본 구조는 매 셀 타임마다 두개 이상의 IB에 대한 다중화 서비스를 제공한다.

o Output Buffer(OB)는 출력단에 위치하는 공유 버퍼로서 IB가 개별버퍼를 갖는데 따른 버스트 트래픽 처리 특성의 약화에 대처하는 방식을 사용하였다. 여기서 OB의 쓰기속도는 Vr, 읽기속도는 Vw의 속도로 하여 최종 출력시 속도 정합을 수행한다. 예로써 바이트 동작시 속도 이득이 2이면 Vr=40Mbps, Vw=20Mbps의 속도를 갖는다. 즉, IB의 용량을 작게하고 개별 버퍼 형태로한 대신 다중화 속도를 높여 속도 이득을 갖고 출력 버퍼를 공유 버퍼 형태로 구성하여 버스트 트래픽에 대처하는 구조를 갖는다. 여기서 OB의 버퍼 용량은 속도이득 동작을 감안하여 IB 각각의 버퍼 용량에 비례하여 크게 설정한다.

이상과 같은 동작 특성을 갖도록 각 출력 포트별로 구성되는 스위치 엘리먼트 즉 선별 다중화기를 제안하며 동작 특성의 구성은 구현을 주문형 반도체로 구현하는 것을 고려하여 선정 하였다. 이 같은 구조는 일반적인 완전 결합형 스위치 구조를 용량이 8 \times 8정도로 한정된 형태로써 어느정도는 중용량 스위치 구현을 목표로하는 Knockout 스위치 등과는 구현의 방법론을 달리한 것이다.

III. 시뮬레이션 모델링 및 성능 분석의 주안점

본 연구에서는 컴퓨터 시뮬레이션을 이용하여 몇 가지 고정 변수를 설정하여 성능 분석을 하였으며 다양한 트래픽 특성에 따른 셀 손실율과 지연 시간의 정도를 분석하고자 하였다. 특히 다중화 방식에 있어서의 허브 폴링 방식과 버퍼 점유도에 따른 우선순위 폴링 방식이 갖는 성능을 분석 비교하고자 하였다.

1. 시뮬레이션 모델링 및 가정

스위치 네트워크 구성 단위인 선별 다중화기는 서로 각기 독립적으로 기능을 수행하므로 선별 다중화기 하나를 분석 함으로써 전체 스위치 네트워크의 성능 분석을

대신 할 수 있다. 또한 일정 한계 내에서의 성능 분석을 위하여 IB및 OB의 버퍼 용량을 고정 시키고 실질적 구현을 위하여 다중화 시의 속도를 한정하고자, IB의 버퍼 용량을 8셀로 OB의 버퍼 용량은 120셀로 한정 하였으며, 다중화 속도 이득도는 2로 하였다. 스위치 네트워크의 용량은 8 \times 8로 하여 하나의 선별 다중화기는 8:1의 선별 다중화 기능을 수행하는 것으로 가정 하였으며, 어드레스 필터부는 실시간 처리 동작 특성을 갖고 있으므로 셀 처리 능력과는 무관하여 선별 다중화기의 동작 특성 분석은 어드레스 필터를 통과한 입력 트래픽의 정도에 따른 셀 처리 능력을 보고자 하였다.

이상과 같은 가정하에 선별 다중화기의 동작 과정을 모델화 하면 그림 5와 같다.

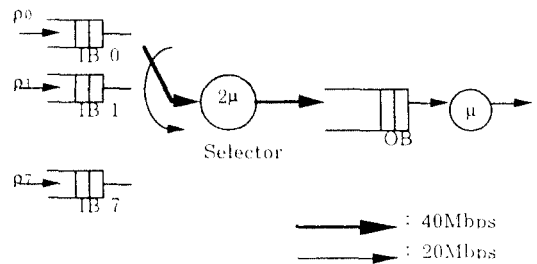


그림 5. 선별 다중화기의 동작 모델
Fig. 5. Operation Model of Filtered Multiplexer

동작 및 입력 트래픽 밀도에 대한 가정은 다음과 같다.

o 입력 동작: 각 IB로의 입력은 바이트 동작에 의해 Vw(20Mbps)의 속도로 입력 된다.

o Selector 동작: SEL는 허브 폴링 방식 또는 각 IB의 버퍼 점유도에 따른 폴링 서비스를 수행하며, 버퍼 점유도에 따른 폴링의 경우 점유도가 상대적으로 큰 두개의 IB를 선택하여 두개의 IB에 있는 셀을 Vr(Vr=2 \times Vw=40Mbps)의 속도로 OB로 전달한다. 이때 셀의 점유도가 같은 경우의 우선순위는 IB 0가 가장 높고 그 다음은 IB의 번호 순으로 순위가 주어진다. 따라서 IB 7은 상대적으로 우선순위가 가장 낮게 구성된다.

o 출력 동작: OB에서의 출력은 선 입력 선 출력(Fisrt In First Out)방식에 따라 서비스가 되며 출력

시의 속도는 V_w 이다.

o 8개의 각 IB에 입력되는 트래픽 밀도 ρ_i 의 총합 ρ_T 는 1이하로 하며 입력 셀의 최대속도는 149.76Mbps로 한다. 따라서 각 IB로의 입력 밀도가 동일하고 ρ_T 가 0.9이면 각 IB에 입력되는 트래픽은 $(149.76\text{Mbps} \times 0.9)/8 = 16.848\text{Mbps}$ 가 되고 각 ρ_i 는 0.1125가 된다.

입력 트래픽의 생성은 각 IB별로 독립적으로 발생되도록 하였으며 트래픽의 버스트 특성을 표현하기 위하여 이산시간에 기반을 둔 IBP(Interrupted Bernoulli Process)를 사용하여 입력 트래픽을 발생 시켰다. IBP에서는 활성(busy)상태와 비활성(idle)상태의 두 가지 상태로 반복하여 나타난다. 활성 상태에서는 입력 셀들이 Bernoulli 분포에 따라 각 IB에 도착하며, 비활성 상태에서는 셀의 도착은 없는 것으로 가정한다. 만약 t 번째 타임 슬롯에서 입력 트래픽의 상태가 활성(혹은 비활성)상태라면, 다음의 $t+1$ 번째 타임 슬롯 t 에서 활성(혹은 비활성) 상태로 남아있을 확률은 p (혹은 q), 비활성(혹은 활성)상태로 변할 확률은 $1-p$ (혹은 $1-q$)가 된다. 그림 6은 IBP에서의 활성 상태와 비활성 상태 사이의 전이도이다.

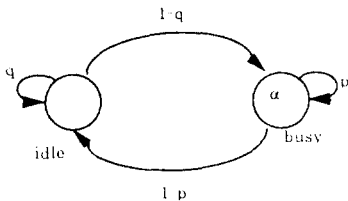


그림 6. IBP에서의 상태 전이도
Fig. 6. Transition State Diagram of IBP

입력 트래픽의 변수로는 최고 셀 도착율(PCR:Peak Cell Rate), 평균 셀 도착율(ACR:Average Cell Rate), 평균 버스트 지속 기간(B)를 사용하였다. 만약 입력 트래픽이 활성 상태에 있을때 셀의 도착 확률 α , 즉 활성 상태에서 셀이 α 의 확률을 갖고 매 타임슬롯 마다 도착한다면 트래픽의 PCR은 α 로 나타낼 수 있다. 또한 버스트 지속 시간(B)은 확률 p 에 의한 기하분포를 갖게 된다. ACR은 셀이 매 타임슬롯 마다 평균적으로 입력 포트에 도착할 확률(ρ)로 표현할 수 있다. 따라서,

각 IB 입력에 대한 트래픽 변수와 IBP 변수와의 관계는 다음과 같은 식으로 나타낼 수 있다⁶⁾.

$$\rho_i = \frac{\alpha(1-q)}{2-p-q}, B = \frac{1}{1-p}, \alpha = \frac{\text{Peak Cell Rate}}{149.76\text{Mbps}} \quad (1)$$

수식 (1)를 이용하여 PCR, B, ρ_i 를 매 시뮬레이션에서의 가변 변수로 사용할 경우 확률 p, q 를 구할 수 있고, 이 확률값을 이용하여 IBP 상태의 전이 및 활성 상태마다 각 입력에 독립적으로 셀 발생율을 제어한다.

2. 성능 분석의 주안점

시뮬레이션은 다음과 같은 몇가지 가정을 토대로 하여 수행하였다. 스위치 네트워크의 단위 스위치 엘리먼트가 되는 선별 다중화기는 8:1의 다중화 기능을 갖는 것으로 하여 전체적으로는 8x8의 스위치 네트워크가 구성되는 것으로 가정 하였다. 선별 다중화기내의 버퍼인 IB와 OB의 크기는 각각 8과 120셀 크기를 갖는 것으로 가정 하였으며, 다중화 서비스 속도는 입력 속도에 비하여 두배의 속도 이득을 갖는 것으로 가정 하였다.

이와 같은 가정하에 셀 손실은 다음의 두가지 경우를 통해 발생된다.

첫째, IB 8개에 인가되는 트래픽의 합이 과중하여 다중화 서비스의 한계로 인하여 IB 입력단에서 셀이 손실되는 경우 및 둘째, OB의 입력 속도는 출력 속도의 두 배이므로 여기서의 속도 정합상에서 트래픽이 과중할 경우 OB의 입력단에서 셀이 손실되는 경우의 두가지로 구분된다. 특히 여기서 OB에서의 셀 손실은 출력단에 큰 용량의 버퍼를 OB와 직렬로 연결하므로써 손쉽게 대처할 수 있으나, IB에서의 셀 손실은 각 선별 다중화기와 각 라인 정합부 간에 방송형 버스 형태로 연결되므로 복잡한 역방향 제어(Backpressure Control) 버퍼링 방식이 요구되므로 시스템내에서의 보완이 용이치 않다.

이상과 같은 면을 고려하여 시뮬레이션은 다음의 두가지에 중점을 두고 수행 하였다.

첫째, 허브 풀링 방식과 버퍼 점유도에 따른 우선순위 풀링 방식에 따른 IB에서의 셀 손실 율 및 지연도를 조사하고, 두번째로 IB와 OB를 전체로 봤을때 시뮬레이션 조건에 따른 전체적인 셀 손실율과 셀 지연도를 조사하여 시스템이 갖는 트래픽 처리 특성을 파악하고자 하였다.

IV. 결과 분석

시뮬레이션은 하나의 트래픽 변수에 대해 총 10번의 시뮬레이션을 수행 하였으며 매 시뮬레이션 마다 총 100만개의 셀 타임 슬롯을 발생 하였다. 따라서 ρ_i 가 0.1 즉, ρ_T 가 0.8인 경우 총 발생되는 셀은 800만 셀 로써 하나의 입력으로 보면 100만 셀이 입력되게 된다. 시뮬레이션에 사용한 입력 변수는 다음과 같다.

- ρ_i : 각 IB에 입력되는 트래픽 밀도로써 149.76Mbps로 정규화 한값
- ρ_T : 각 ρ_i 의 총합
- PCR : 최고 셀 전달 율
- B : 평균 버스트 지속 기간으로써 타임슬롯 수로 표현

1. 다중화 방식에 따른 비교

허브 폴링 방식과 버퍼 점유도에 따른 우선순위 폴링 방식간의 특성을 명확히 비교하기 위하여 최고 셀 도착 율(PCR:Peak Cell Rate) 및 평균 버스트 지속기간(B)를 상당히 강하게 처리하여 시뮬레이션을 수행 하였다.

테이블 1은 PCR이 60Mbps, 평균 버스트 지속 타임 슬롯 수 B가 30일 경우로써 8개의 IB에 입력되는 총 트래픽 밀도가 0.6과 0.8일때이고, 각 IB에 입력되는 트래픽 밀도는 동일하게 처리 하였다. 즉, ρ_T 가 0.8이면 각 IB당 ρ_i 는 0.1이다.

시뮬레이션 결과를 보면 $\rho_T=0.6$ 에서는 허브 폴링 방

식은 10⁶정도의 셀 손실이 모든 IB에 대해 대체적으로 균등하게 발생하고 있으나, 버퍼 점유도에 따른 우선순위 폴링의 경우는 셀 손실이 없다. 그러나 우선순위 폴링의 경우도 ρ_T 가 0.8로 가증되는 경우는 IB 6과 7에서 10⁶정도의 셀 손실이 발생하기 시작하고 있다. 허브 폴링의 경우는 셀 손실이 폴링 메카니즘의 특성상 전체적으로 균등하게 발생되고 있으나 우선순위 폴링의 경우는 Bitonic Sorting 회로의 특성상 버퍼 점유도가 같은 경우 IB 7이 가장 낮은 우선순위를 할당 받게 되므로 셀 손실이 비 균등적으로 발생이 된다. 즉, IB 7이 셀 손실 측면에서 가장 취약한 버퍼가 된다. 그러나 ρ_T 가 0.8인 경우 우선순위 폴링 시의 IB 7에서의 셀 손실치가 허브 폴링시의 모든 IB에서의 셀 손실치 보다 우수함을 알 수 있다. 이 같은 현상은 ATM 트래픽이 갖는 버스트 특성에 기인 한 것으로서 비록 버퍼 서비스의 공정성 제공 측면은 취약하나 시스템의 전체적인 셀 손실 특성을 위해서는 균등 서비스 특성을 갖는 허브 폴링 방식 보다는 버퍼 점유도에 따라 서비스의 우선순위를 달리 하는 것이 더욱 효과적임을 보이고 있다. 두 다중화 서비스 방식의 균등성 측면을 보다 명확히 보여 주는 것은 셀 지연 특성으로써 테이블에서 보면 허브 폴링 방식은 셀 지연이 모든 IB에 대해 2셀 이하에서 균등하게 나타나고 있으나, 우선순위 폴링의 경우는 IB 번호가 커져갈 수록 지연도가 약간씩 증가 되나 역시 2셀 이하의 지연도를 보이고 있다.

테이블 2는 PCR을 80Mbps로 하여 상기의 현상을 보다 명확히 보여주는 시뮬레이션 결과이다. 허브 폴링

테이블 1. 시뮬레이션 결과 (PCR=60Mbps, B=30 슬롯)
Table 1. Simulation Result(PCR=60Mbps, B=30 Slots)
(HP : Hub Polling, PP : Priority Polling)

			IB 0	IB 1	IB 2	IB 3	IB 4	IB 5	IB 6	IB 7
$\rho_T=0.6$	LOSS	HP	4.49E-06	2.36E-05	8.80E-6	8.80E-6	4.43E-6	4.50ZE-6	5.93E-06	1.04E-06
		PP	0	0	0	0	0	0	0	0
	DELAY	HP	1.12	1.12	1.12	1.12	1.12	1.12	1.12	1.12
		PP	1.03	1.04	1.06	1.09	1.12	1.15	1.20	1.24
$\rho_T=0.8$	LOSS	HP	4.66E-05	5.52E-05	6.30E-5	7.72E-05	9.59E-5	8.90E-05	5.48E-05	5.12E-05
		PP	0	0	0	0	0	0	2.24E-06	2.26E-06
	DELAY	HP	1.26	1.26	1.26	1.27	1.26	1.26	1.26	1.25
		PP	1.09	1.12	1.16	1.21	1.26	1.33	1.40	1.48

테이블 2. 시뮬레이션 결과 (PCR=80Mbps, B=30 슬롯)
 Table 2. Simulation Result(PCR=80Mbps, B=30 Slots)
 (HP : Hub Polling, PP : Priority Polling)

			IB 0	IB 1	IB 2	IB 3	IB 4	IB 5	IB 6	IB 7
$A=0.6$	LOSS	HP	3.82E-04	2.87E-04	3.59E-04	3.90E-04	2.66E-04	2.60E-04	3.94E-04	3.63E-04
		PP	0	0	2.90E-06	2.05E-05	5.63E-05	3.42E-05	7.65E-05	9.34E-05
	DELAY	HP	1.25	1.24	1.25	1.25	1.25	1.25	1.24	1.25
		PP	1.14	1.17	1.20	1.23	1.26	1.30	1.33	1.39
$A=0.8$	LOSS	HP	1.09E-03	1.05E-03	1.02E-03	1.18E-03	1.19E-03	1.15E-03	1.20E-03	1.28E-03
		PP	0	0	1.77E-05	6.11E-05	1.26E-04	1.93E-04	3.25E-04	4.54E-04
	DELAY	HP	1.36	1.37	1.37	1.37	1.37	1.38	1.36	1.36
		PP	1.23	1.26	1.30	1.34	1.40	1.45	1.50	1.56

의 경우는 여전히 셀 손실과 지연에 있어서 모든 IB에서의 수치가 비교적 균등한 반면, 버퍼 점유도에 따른 우선순위 폴링은 IB 번호가 증가 할 수록 셀 손실도 커지고 지연 또한 약간씩 증가되고 있음을 알 수 있다. 그러나 중요한 것은 우선순위 폴링에서 IB 7에서의 셀 손실이 허브 폴링에서의 셀 손실 값들보다 작다는 것이다. 즉, ATM 다중화에 있어서는 다중화 서비스의 균등성 보장도 중요하나 그 보다는 트래픽의 버스트 특성에 얼마만큼 잘 적응하는가가 또한 중요함을 알 수 있다. 따라서 셀 지연 특성이 만족되는 환경 하에서라면 버퍼 점유도에 따라 다중화 서비스의 우선순위를 달리하는 것이 보다 효과적인 방법이라 할 수 있다. 테이블 2에서 Bitonic Sorting의 특성상 버퍼 점유도가 같은 경우 IB 0가 가장 높은 우선 순위를 갖고 그 다음이 IB 1이므로, IB 0와 1에서는 셀 손실이 나타나지 않는다. 이 같은 효과는 시스템 구성 시 트래픽이 과중할 것으로 미리 예상되는 입력 포트들 IB 0와 1에 할당 하는 방법 등으로 활용 할 수 있다.

2. 전체적 성능

앞절의 다중화 방식 비교를 통하여 버퍼 점유도에 따른 우선순위 폴링 방식이 셀 손실 측면에서 허브 폴링 방식에 비하여 우수함을 알 수 있었으므로 우선순위 폴링 방식을 이용하여 전체적인 선별 다중화기의 성능을 조사하기 위하여 IB를 8, OB는 120으로 버퍼 용량을 고정된 다음 다양한 입력 트래픽 조건에 따른 셀 손실 및 지연도를 파악 하였다.

그림 7 및 8은 8개의 각 입력이 평균 버스트 지속 슬롯 수 B는 10으로 고정하고 PCR을 40Mbps, 60Mbps 및 80Mbps로 변화 시키면서 구한 셀 손실율과 평균 지연도를 나타낸다.

결과를 보면 PCR이 40Mbps 일때는 전체 트래픽 밀도가 0.8까지는 셀 손실이 발생이 안되고 있으나 트래픽 밀도가 0.9가되면 10⁻⁶정도의 셀 손실이 발생하고 있다. 60Mbps의 경우는 트래픽 밀도가 0.8이 되면 손실이 발생하고 있으며, PCR이 80Mbps인 경우는 트래픽 밀도가 0.7이되면 손실이 발생되고 있음을 알 수 있다. 즉, 전체 밀도가 0.7정도로 각 입력당 평균 셀 도착율이 13Mbps(즉, 0.7/8 × 149.76Mbps = 13.104Mbps)이면서 PCR이 약 60Mbps로 상당히 근접성이 강한 트래픽에 대해서도 만족스러운 결과를 보이고 있으나, 평균 버스트 지속 기간이 10 슬롯이 이상이 되면 손실이 증가 할 것이다.

그림 8에 나타난 지연 특성을 보면 PCR이 80Mbps 이고 트래픽 밀도가 0.9인 경우에 약 30셀 정도의 지연을 보이고 있으므로 약 80μsec 정도의 지연이 발생되고 있다.

이상과 같은 셀 손실 및 지연 특성을 봤을때 우수한 지연 특성에 비하여 셀 손실 특성이 상대적으로 나쁨을 알 수 있다. 즉, 이는 전체 버퍼 크기의 구성을 상당히 크게 하여도 지연 특성을 보장하면서도 손실 특성을 개선할 수 있는 여지가 있다고 유추 해석 할 수 있으며, 시뮬레이션 과정에서 보면 셀 손실의 대부분이 OB에서 발생되므로 IB보다는 OB의 버퍼 크기를 지연 특성이

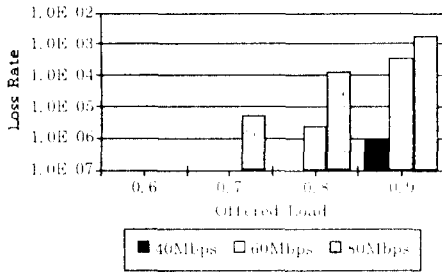


그림 7. PCR 변화에 따른 셀 손실율(B=10 슬롯)
Fig. 7. Cell Loss Ratio under PCR (B=10 Slots)

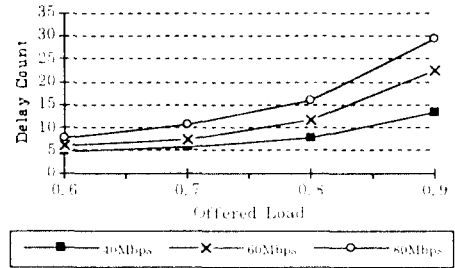


그림 8. PCR 변화에 따른 셀 지연도 (B=10 슬롯)
Fig. 8. Cell Delay under PCR (B=10 Slots)

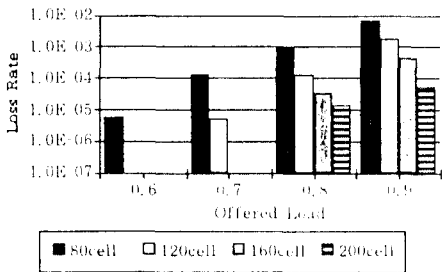


그림 9. OB 사이즈 변화에 따른 셀 손실율(PCR=80M, B=10 슬롯)
Fig. 9. Cell Loss Ratio under OB Size (PCR=80M, B=10 Slots)

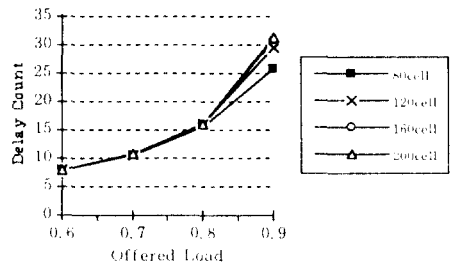


그림 10. OB 사이즈 변화에 따른 셀 지연도 (PCR=80M, B=10 슬롯)
Fig. 10. Cell Delay under OB Size (PCR=80M, B=10 Slots)

만족 되는 범위에서 최대한 크게 보완해줄 필요성이 있다. 그림 9와 10은 이같은 특성을 확인하기 위하여 OB의 버퍼 사이즈를 가변 시켜가면서 셀 손실율과 지연도를 검사한 것이다. 여기서 PCR은 80Mbps, B는 10이다.

확인된 결과를 보면 OB가 약 160셀 정도가 되면 트래픽 밀도가 0.7까지도 셀 손실이 일어나지 않음을 알 수 있으며, OB의 사이즈가 커짐에 따라 셀 손실율을 개선할 수 있음을 보이고 있다. 특히 중요한 것은 평균 지연도로서 OB 사이즈가 커짐에 따른 평균 지연도는 거의 같은 수준을 유지하고 있음을 볼때 평균지연도가 만족되는 한계내에서는 OB를 최대한 확장하는 것이 타당함을 알 수 있다. 그러나 선별 다중화기를 주문형 반도체 칩화 하고 칩 자체의 활용성을 계속 유지하기 위해서는 OB가 칩내에 장착 되는 것이 좋은 반면 버퍼 크기를 크게 한다는 것은 칩 제작이 어려워지므로 일정 크

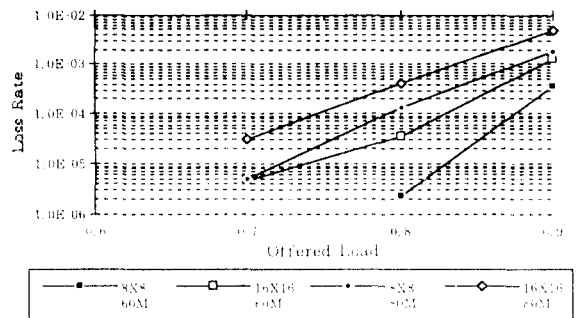


그림 11. 스위치 사이즈 변화에 따른 셀 손실율 (PCR=60M 와 80M, B=10 슬롯)
Fig. 11. Cell Loss Ratio under Switch Size (PCR=60M and 80M, B=10 Slots)

기의 버퍼만을 칩내에 구현하고 나머지 필요시 되는 버퍼는 칩 외부에 따로이 구성하여 주문형 반도체 칩과 직렬로 구성하는 것이 바람직 하다 판단된다.

그림 11은 본 구조를 그대로 16×16으로 확장함에 따른 성능의 변화를 보인다. 16×16일 때에도 IB는 8셀 버퍼, OB는 120셀 버퍼로 하였으며, 다중화 속도 이득은 동일하게 2로 하였다. 성능 분석은 PCR이 60Mbps와 80Mbps일때를 기준으로 하였으며 B는 10으로 하였다.

결과를 보면 16×16과 8×8의 셀 손실율이 크게 차이가 나지 않음(약 10^{-1} 정도)을 알 수 있으며, 이는 16×16의 경우 IB에 입력되는 셀이 8×8에 비하여 상대적으로 분산되어 IB에서의 셀 손실 위험이 감소되며, 2배의 다중화 속도 및 버퍼 점유도에 따른 우선순위 다중화 방식이 16×16 까지 계속 유효한 특성을 제공함을 의미한다. 그러나 실제 서비스 시에는 각 IB로의 트래픽이 같은 수준을 유지하기 보다는 특정 포트들로의 트래픽 집중이 일어나게 될 것이므로 16×16 이상의 스위치를 구현하기 위해서는 다중화속도를 더 높여야 할 것으로 판단되며 이것이 칩제작상 용이치 않을 경우는 8X8 또는 16×16 스위치를 단위 스위치로 하여 다단망을 구성하여야 할 것이다. 또한 추후 다양한 셀 손실 및 지연 특성이 요구되는 트래픽들에 대하여 차별적인 서비스 품질(QoS:Quality of Service)를 제공하기 위해서는 외부에 구성되는 버퍼는 각 연결(Connection)별 또는 QoS 등급별로 서비스 우선 순위를 달리하는 방식이 필요 시 되며 이때 고려될 수 있는 방식은 지연 우선 순위적인 MLT(Maximum Laxity Threshold), QLT(Queue Length Threshold) 방식을 사용 할 수도 있고, 손실 우선 순위적인 PO(Push Out), RS(Route Seperate) 또는 PBS(Partial Buffer Sharing) 방식 등을 사용할 수도 있다^(71/8).

V. 결 론

본 연구는 작은규모(8X8 또는 16X16 정도)의 ATM 스위치 네트워크를 완전결합형 구조를 이용하여 구성하는 방식에 대하여 전체적인 스위치의 개량구조 및 구현에 관한 연구의 I부로서 구조 설정 및 성능분석에 대하여 다루었다. 본 연구에서 제시한 구조는 스위치 네트워크의 각 출력포트별 선별 다중화기를 작은 양의 개별버

퍼(IB)를 스위치 네트워크의 입력 별로 할당하여 구현을 용이하게 한 대신 IB에 비해 상대적으로 큰 규모의 공통 FIFO인 OB를 최종 출력단에 두고 IB의 다중화 서비스를 IB 입력 속도의 두배 이상의 속도로 서비스함으로써 각 IB에 인가되는 트래픽들의 버스트 특성을 감내하는 방식을 사용하였다. 또한 각 입력별로 인가되는 트래픽의 버스트 특성이 각기 다른점을 고려하여 다중화 방식을 각 IB의 버퍼 점유도에 따라 서비스 우선순위를 할당하는 방식을 적용하였다.

제안한 구조는 컴퓨터 시뮬레이션을 통해 그 특성을 분석하였다. 먼저 일반적인 허브 폴링 다중화 방식과 본 연구에서 적용한 버퍼 점유도에 따른 우선순위 다중화 방식을 비교하였다. 그 결과 허브 폴링 방식은 공정성 제공이라는 측면에서는 우수성을 보이고 있으나 ATM 트래픽 환경과 같이 버스트 특성이 서로 다른 트래픽 특성 하에서는 버퍼 점유도에 따른 우선순위 서비스 방식이 셀 손실 특성에서 보다 우수함을 보이고 있다. 다만 상대적으로 트래픽 밀도가 낮은 입력에 대한 서비스 기회가 줄어들어 인한 과도한 지연이 예상될 수 있으나 IB 버퍼의 크기가 작고 다중화시에 속도 이득 방식을 취함으로써 충분히 보상될 수 있음을 분석 하였다. 또한 IB와 OB의 버퍼 크기를 일정 치로 고정된 상태에서 본 스위치 구조가 갖는 특성을 파악하여 보완 방향을 제시하고자 하였다. 전체적으로 평균적인 셀 지연은 작게 나타난 반면 셀 손실의 대부분이 OB에서 발생되고 있음을 알 수 있으므로, 셀 지연 특성이 보장되는 한도내에서 OB의 버퍼를 크게하는 것이 바람직하며 주문형 반도체화를 고려하여 확장시켜야 하는 버퍼는 주문형 반도체 칩 외부에 따로이 구성을 하고 OB와 직렬로 연결시키는 것이 바람직하다 판단한다. 특히 다양한 QoS의 보장을 위해서는 외부에 구성되는 버퍼에 셀 손실 또는 지연 우선순위를 제공할 수 있는 버퍼링 방식이 추가되어야 하리라 본다.

이상과 같은 스위치 구조는 향후 ATM-LAN 등의 백본 스위치 및 B-ISDN 공중망내의 가입자 망 구성에 쓰이는 서비스 액세스 노드 등에 적용될 수 있을 것으로 기대하며, 현재 일차적으로 0.7 마이크론의 CMOS 기술을 이용하여 약 15만 게이트를 사용하여 주문형 반도체 칩으로써 개발이 완료되었고 이 칩을 이용한 보드의 구성 및 시스템 구성이 이루어지고 있다. 칩의 세부 설계 및 전체 스위치 네트워크의 설계와 구현에 따른 고려

사항들은 본 연구의 II 부에서 자세히 다루고자 한다.

참고문헌

1. Ahmadi H., Denzel W.E., "A Survey of Modern High-Performance Switching Techniques", IEEE JSAC, vol. 7, no. 7, Sep. 1989, pp.1091-1103.
2. Tobagi F.A., "Fast Packet Switch Architecture for Broadband Integrated Services Digital Networks", Proceedings of the IEEE, vol. 78, no. 1, Jan. 1990, pp.133-167.
3. Y.S. Yeh, M.G. Hluchyj and A.S. Acampora, "The Knockout Switch: A Simple, Modular Architecture for High-Performance packet Switching," ISS 1987 Proc., March 19, 1987, pp.B10.2.1.~B10.2.8.
4. K. Y. Eng, M.G. Hluchyj and Y.S. Yeh, "A Knockout Switch For Variable-Length Packets," Proc. ICC '87, June 9, 1987, pp.22.6.1.~22.6.6.
5. K.Y.Eng, M.G. Hluchyj and Y.S.Yeh, "Multi-cast and Broadcast Services in a Knockout packet Switch," Proc. INFOCOM '88, Aug. 1988, pp.1A.4.29~1A4.34.
6. Heffes H., Lucantoni D.H., "A markov Modulated Characterization of Packetized Voice and Data Traffic Related Statistical Multiplexer Performance", IEEE HSAC, Vol. Sac-4, No. 6, Sep. 1986, pp. 856-868.
7. Hans Kroner, Gerad Hebuterne, Piere Boyer and Annie graney, "Priority Management in ATM Switching Nodes," IEEE JSAC, Vol. 9, No. 3, April 1991, pp.418-427.
8. Hans Kroner, "Comparative Performance Study of Loss Priority mechanisms for ATM networks," Proc. INFOCOM '90, Los Alamitos, 1990, pp.1136-1143.



金根培(Keun-Bae Kim) 정회원

1984년 2월 : 성균관대학교 전자공학과(공학사)
 1990년 2월 : 성균관대학교 대학원 전자공학과(공학석사)
 1993년 2월 : 성균관대학교 대학원 전자공학과(공학박사)

1984년 1월~1988년 2월 : (주)대우통신 종합연구소
 1993년 3월~현재 : 한국전자통신연구소 광대역통신망연구부 선임연구원



金敬洙(Kyeong-Soo Kim)정회원

1988년 2월 : 경북대학교 전자공학과(공학사)
 1990년 2월 : 경북대학교 대학원 전자공학과(공학석사)
 1990년 2월~현재 : 한국전자통신연구소 선임연구원

현재 : 광대역 통신망연구부 ATM 처리연구실 근무
 ※주관심 분야 : ATM 스위칭 시스템, 액세스망, ATMLAN

金泮鍾(Hyup-Jong Kim) 정회원

1982년 2월 : 한양대학교 전자공학과(학사)
 1983년 3월 : 서강대학교 대학원 전자공학과(석사)
 1983년 3월~현재 : 한국전자통신연구소 근무
 현재 : 광대역 통신망연구부 ATM 처리연구실장
 ※주관심 분야 : ATM 스위칭, 액세스망, ATMLAN