

3V에 동작하는 PCS 단말기용 표면실장형 전압제어 발진기의 설계 및 제작

正會員 염 경 환*

Design and fabrication of the surface mountable VCO operating at 3V for PCS handset

Yeom Kyung-Whan* *Regular Member*

요 약

본 논문에는 PCS(WACS/TDMA) 단말기 내의 국부발진기에 적용 가능한 표면실장형 전압제어발진기의 체계적인 설계방법을 기술했다. 능동소자로는 표면 실장형 package로 구성되고 f_T 가 4GHz인 silicon bipolar transistor를 2개 사용했으며 이들의 발진 한계로 인해 분리형으로 설계했고 공진기는 4층의 multilayer PCB의 제3층을 이용한 strip line 공진기를 사용했다. 설계된 전압제어 발진기는 $12 \times 10 \times 4\text{mm}$ 의 크기를 가지며 동작 전압 3V에서 22mA의 전류소모와 출력 0 dBm, 주파수 조정폭 50MHz 이상, 위상잡음이 중심주파수에서 100kHz offset 시 -100 dBc/Hz의 성능을 보이고 있다. 크기와 전류소모 면에서는 개선이 요구되며 크기 면에서 개선은 좀더 소형인 chip 부품을 사용 가능할 것이며, 전류소모 면에서는 좀 더 높은 f_T 를 갖는 transistor를 사용 개선할 수 있을 것으로 사료된다.

ABSTRACT

In this paper, the design and the fabrication of the surface mountable voltage controlled oscillator is described for local oscillator in PCS(WACS/TDMA) handset. The VCO employs two silicon bipolar transistors of f_T of 4 GHz as active devices. These are assembled to form the VCO on the 4 layer PCB of the size $12 \times 10\text{mm}$ which provides the strip line resonator at the third layer. The fabricated VCO shows tuning range over 50 MHz, phase noise -100 dBc/Hz at the 100 kHz frequency offset, and 0 dBm output power with the consumption of 22 mA at 3V. It is believed that the size will be more reduced by employing 1005 chip components and that the current consumption will be improved by employing transistors of higher f_T .

*충남대학교 전자공학과
論文番號: 96037-0202
接受日字: 1996년 2월 2일

I. 서 론

최근 900MHz의 주파수 대역을 사용한 휴대전화기

의 사용은 급증하여 포화 상태에 있는 추세이다. 이에 기존의 휴대전화기보다, 좀 더 많은 가입자에게 서비스를 제공할 수 있는 차세대 전화기가 구상되고 있으며, 이들의 사용주파수 대역은 2GHz 대역으로 확정될 것이 분명해진다.

이러한 PCS(Personal Communication System)라 불리는 신규로 제공될 이동통신용 단말기에서도 기존의 900MHz 휴대전화기와 유사하게 다수의 가입자에게 서비스하기 위해서는 사용 주파수 대역 내의 channel 선택을 위한 주파수 합성기가 필요하게 된다. 이러한 주파수합성기는 위상 동기회로(Phase Lock Loop)로 구성되며, 크게 분류하여 이는 전압제어 발진기, 저역여파기, PLL IC의 부분품으로 구성된다. 따라서 쌍방향으로 송수신 시 대역 내 channel 선택을 위한 주파수합성기 구성을 위한 2GHz 대역에서 발진하는 전압제어발진기가 필연적으로 필요하게 되며, 이는 단말기 제작 시 핵심 부품으로 볼 수 있다.

이러한 전압제어발진기는 발진 특성 면에서는 낮은 위상잡음(phase noise)을 가져야하며, handset의 battery 측면에서는 휴대 battery 개수를 줄이기 위해 낮은 동작전압에서 동작하는 것이 필요하며, 또한 휴대 battery 사용 시간을 늘이기 위해서는 전압제어 발진기는 전류소모가 적어야 한다. 휴대성 측면에서는 소형 경량화되는 것이 필요하며, 양산 측면에서는 표면실장형으로 되어 생산의 자동화를 기하기 용이하게 하여야 할 것이다.

기존의 900MHz 대역의 이러한 복합적인 측면을 만족시키는 전압제어발진기로서는 그림 1과 같은 회로 형식의 전압제어 발진기가 상용화되어 널리 쓰이고 있다. 이것은 transistor Q1과 Q2가 전류를 공통으로 사용하여 전류 소모를 약 절반으로 줄일 수 있어 battery를 효율적으로 사용할 수 있는 회로상의 특징을 가지고 있다.

초기의 이러한 전압제어 발진기는 그림 1의 공진기 θ_1 으로서 주파수 안정도가 높고 Q가 좋은 유전체 세라믹 공진기를 이용 삽입형식의 package로 구성됐으나 [2-6] 양산시 주파수 조정 문제와 set 실장시 점유면적의 문제가 있었다. 현재에는 유전체 공진기를 이용한 전압제어 발진기보다는 다소 성능은 떨어지나 set 적용시 문제가 야기 안되는 소형 경량이고 대량생산이 보다 쉬우며 set 실장이 용이한 strip 선로를

공진기를 θ_1 으로 이용한 전압제어 발진기가 보다 널리 사용되고 있다[7-9]. 이 strip 선로 전압제어발진기의 특징은 RF choke 및 공진기를 제외한 모든 수동 부품이 저항과 capacitor로 되어 있어 최근 소형화된 1005형 같은 소형 chip 부품들로 소형화하는 것이 가능하며, 공진기와 RF choke의 경우 다층기판을 사용 실장면적을 크게 줄일 수 있는 점이다.

국내에서 이러한 전압제어발진기의 대량생산을 위한 MMIC화는 보다 많은 수요가 예상되는 차세대 개인통신 전화기용으로 한국통신을 비롯한 국가 출현 기관에서 자체 foundry나 외국의 foundry를 이용 집중 개발되고 있으나 MMIC화시 이 주파수대에서 MMIC에 적합한 공진기의 부재와, 양산시 주파수 조정문제로 많은 문제점이 예상된다. 현재 외국의 경우 전압제어발진기의 MMIC화로는 상기 이동통신용 전압제어발진기로 보다는 신 공정 또는 새로운 device를 이용한 밀리미터파대의 자동차 충돌방지용으로 활발히 연구되고 있으며[11-14] 이에 대한 발표가 많이 이루어지고 있다. 그러나 필연적으로 향후에는 기술의 진전을 통해 이 이동통신용 전압제어발진기 또한 상업성 있는 형태로 MMIC화되리라고 본다.

본 논문에서는 한국통신에서 초기 PCS에 적용하려고 했던 TDMA 방식의 WACS 규격[1]을 기준으로 사용될 수 있는 상기 strip선로를 이용한 전압제어 발진기를 설계 제작하였다. 이는 CDMA 방식이나 타 TDMA(예를 들어 DCS-1900) 방식에도 약간의 수정 후 사용될 수 있다고 사료된다. 본 논문에서는 상기 strip선로를 이용한 전압제어 발진기를 언급한 여러 측면의 장점들을 수용하기 위해 그림 1과 같은 VCO (Voltage Controlled Oscillator)의 형태를 가능한 유지 하면서 3V의 낮은 전압과 2GHz 대역에서 동작하는 분리형 전압제어 발진기를 설계 제작하였다. 그림 1과 같은 공통형을 2GHz 대역으로 적용할 경우 낮은 battery 전압에서 오는 bias 저항 RE의 영향이 커져 [15] 발진주파수보다 훨씬 높은 차단 주파수 f_r 를 갖는 transistor가 필요하게 되어 발진을 얻기가 곤란하게 된다. 분리형은 그림 1과 같은 전류 공통형에 비해 전류소모는 커지게 되나 차단 주파수 f_r 가 동작전압과 동작 전류에서 발진주파수에 비해 그리 크지 않아도 용이하게 발진을 얻을 수 있는 장점이 있다.

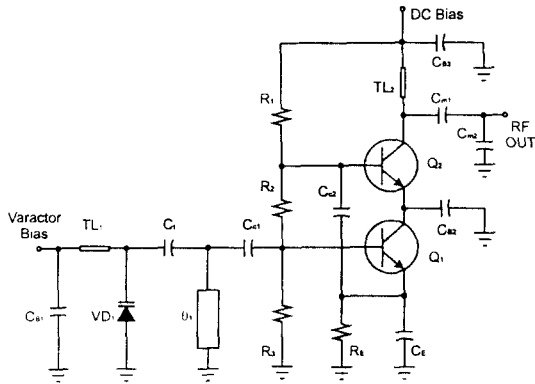


그림 1. 900MHz 대역의 전압제어 발진기 회로

II. 전압제어발진기의 설계 및 제작

1. 구 조

그림 2에 본고에서 제작된 전체적인 전압제어 발진기의 구성을 보인다. 이 전압제어발진기의 크기는 12 × 10 × 4mm로서 약 4.8cc의 부피를 가진다. 그림에서 볼 수 있듯이 이 전압제어발진기는 전자파 차폐와 접지를 제공하는 뚜껑과 전압제어발진기에 소요되는 칩 부품을 실장한 multilayer 인쇄회로기판으로 구성되어 있다. 따라서 전체 전압제어 발진기의 무게는 인쇄회로기판과 얇은 금속 뚜껑 만으로 구성되어 경량의 구조를 가지고 있다. 그리고 전압제어발진기의 동작에 필요한 DC 전원 공급, 발진 출력, 접지 및 주파수 조정 단자들은 인쇄회로 기판의 through hole의 중심 부위를 반으로 절단하여 얻어지는 도금된 반쪽 원기둥 면을 그림과 같이 이용하고 있다. 인쇄회로기

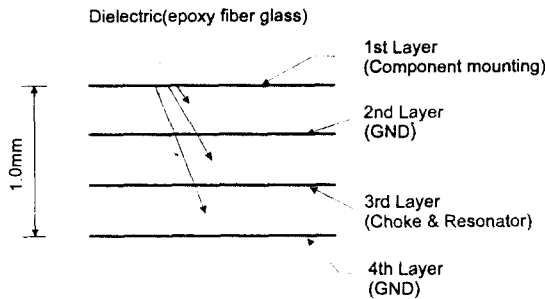
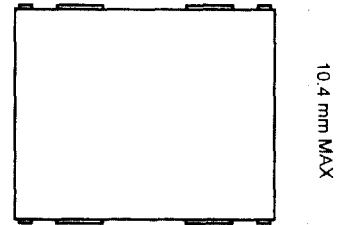


그림 2. 전압제어 발진기에 사용된 multilayer PCB의 단면도

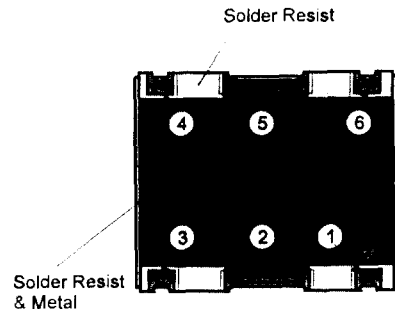
판 뒷면의 단자 이외의 금속 면은 절연체(Solder Resist)로 피복되어 있어 이 전압제어 발진기를 장착 시 장착 PCB의 타 pattern과 전기적으로 격리되게 된다.

이중 부품 조합에 쓰이는 multilayer PCB의 단면구성은 그림 3과 같다. 절연체 재질은 상용의 epoxy fiber glass(Oak사의 FR4 substrate)이며, 전체 두께는 1.0

12.4 mm MAX

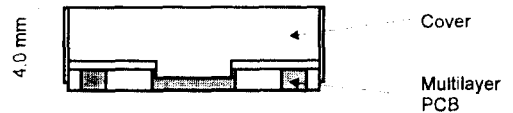


(a)



(b)

1. RF OUT Terminal
2. GND Terminal
3. NC
4. Varactor Bias Terminal
5. GND Terminal
6. DC Bias Terminal



(c)

그림 3. 전압제어 발진기의 구성. (a) 평면도 (b) 뒷면도 (c) 정면도

mm로서 각 3 층이 균일하게 두께를 배분하고 있다. 첫 번째 금속 면은 부품 장착을 위한 설계된 도체 pattern이 있는 실장 면이며, 두 번째 금속 면은 첫째 면에 대해 접지 면을 제공하는 접지 면이다. 세 번째 금속 면은 RF choke 및 공진기 pattern이 들어가는 면으로 이용되며, 네 번째 면은 역시 접지 면으로 이용되고 있다. 따라서 제1면은 전자기적으로 볼 때 microstrip line 형태가 되며 세 번째 면은 양쪽이 접지 면으로 둘러싸여 있어 strip line의 구조가 되게 된다. 따라서 제1면과 제3면은 연결 hole을 제외한 다른 부위에서는 제2면 및 제4면에 의해 전자기적으로 격리 되는 구조를 갖고 있다.

2. 전압제어발진기의 회로 구성

그림 4에 본 논문에서 사용된 전압제어발진기의 회로도를 보였다. 본 논문에서는 3V의 낮은 전압에서 동작하고 사용된 bipolar transistor의 차단주파수 f_T 가 약 4GHz인 관계로 2GHz 대역에서 효과적인 발진을 얻기 위하여 그림 4와 같이 2개의 bipolar transistor Q_1 과 Q_2 를 독립적으로 bias시켰다. 이것은 진류소모 면에서는 emitter 전류를 공통으로 사용하는 그림 1과 같은 기존 900MHz 전압제어발진기에 비해 진류소모는 약 2배로 많아지나, bias 저항 R_E 를 큰 값으로 할 수 있어 f_T 가 4GHz로 제한된 현 transistor에 있어서 공유형보다 f_T 가까이 까지 부성저항을 유지할 수 있게되어, 원하는 2GHz 대역에서 효과적인 발진을 얻을 수 있다. [15]

그림 4에서 저항 R_1 , R_2 , R_E 는 transistor Q_1 의 동작 점을 결정하는 bias 저항이다. 저항 R_1 및 R_2 에 의해

DC bias 전압을 분배한 전압이 transistor Q_1 의 base에 인가되게 되며 이 전압으로부터 저항 R_E 에 의해 transistor Q_1 은 설계된 전류를 흘리게 된다. 또한 이들 저항들은 주변의 impedance 값들에 비해 커서 동작 주파수에서는 영향이 적도록 설정되어야 한다. Transistor Q_1 의 collector는 bypass capacitor C_{B2} 에 의해 접지면과 연결되어 transistor Q_1 은 common collector로 동작하게 된다. 여기서 transistor Q_1 은 궤환 capacitor C_E 에 의해 부저항 (negative resistance)를 얻게 된다. 궤환 capacitor C_E 의 값이 작을 경우 Q_1 의 emitter에는 저항 R_E 만 남게 되어 저항만의 부 궤환 회로가 되어 부성 저항은 사라지고, 또한 너무 클 경우는 단락으로 동작 Q_1 은 common emitter 상태가 되어 역시 부성 저항은 유지되지 않는다. 따라서 부성 저항을 유지하기 위해서는 궤환 capacitor C_E 의 값은 동작 주파수 대역에서 적절한 값이 되어야 한다. 이렇게 생성된 부저항으로 인해 transistor Q_1 은 varactor diode VD_1 및 strip line resonator θ_1 으로 구성된 공진부와 함께 공진부에서 결정된 공진주파수 근처에서 발진을 일으키게 된다.

발진 출력은 capacitor C_E 양단에 출력되며, 이 출력은 transistor Q_2 에 인가된다. Transistor Q_2 도 transistor Q_1 과 같은 방식으로 저항 R_3 , R_4 , 및 R_5 를 통해 bias되고 있다. 여기서 capacitor C_{B3} 는 transistor Q_1 의 bias와는 달리 궤환용이 아니며, bypass capacitor로서 동작 주파수에서 단락으로 작용하여, transistor Q_2 를 common emitter 상태가 되게 한다. 따라서 transistor Q_2 는 증폭기로서 동작하게 되며, capacitor C_E 양단에 출력된 발진 출력은 transistor Q_2 에 의해 증폭된 후 부하로 출력되게 된다. Transistor Q_2 의 출력단의 전송선 TL_2 및 capacitor C_{m1} , C_{m2} 는 부하에 최대의 전력을 전달하기 위한 정합용 소자들이다.

3. 전압제어 발진기의 회로 해석

그림 5에 그림 4의 각 소자의 기능을 설명하기 위해서 이용한 silicon bipolar transistor의 소신호 등가 회로를 보였다.[3]

그림 5(a)에서 r_{be} , C_{be} 는 forward bias된 base emitter 간의 pn junction 등가회로를 나타내며 C_{ob} 는 역 bias된 collector base간의 등가회로를 나타낸다. r_{bb} 은 base spreading resistance를 나타내며 L_b 는 bonding

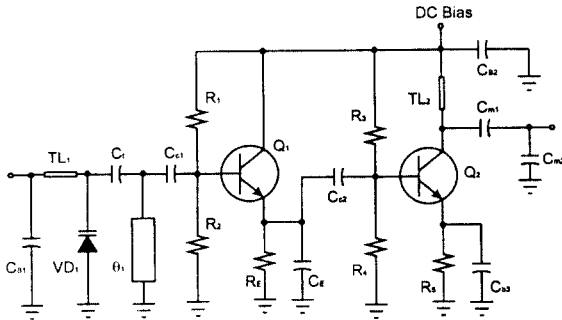


그림 4. 본 고에서 이용한 전압제어 발진기 회로

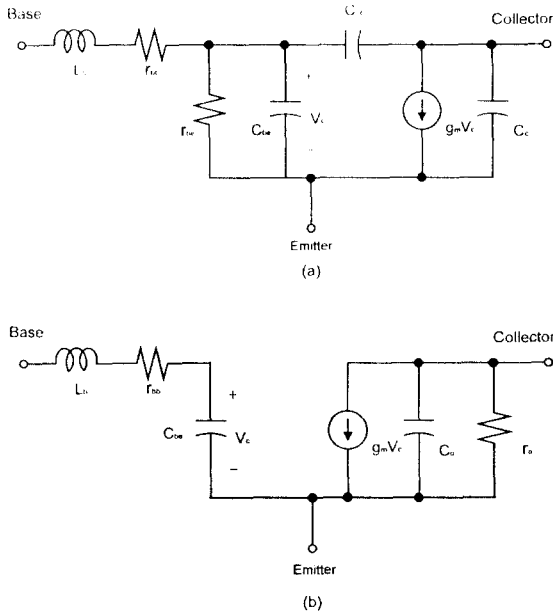


그림 5. (a) bipolar transistor 등가회로 및 (b) 간략화된 등가회로

및 package로 나타나는 inductance를 나타낸다. 이것은 C_{ob} 가 작을 경우 그림 5의 (b)와 같이 unilateral한 등가회로로 근사적으로 취급할 수 있다. [15] 그림 5의 (b)의 등가회로 값들은 그림 5(a)의 회로를 이용 유도해낼 수 있으며 또는 직접 측정된 S-parameter로부터도 산출이 가능하다.[17]

이 등가회로를 이용 transistor Q_1 및 Q_2 에 연결되는 외부 소자들의 전압제어 발진기에서의 기능을 해석할 수 있으며 이 해석된 기능을 바탕으로 회로를 입력시킨 뒤 computer MDS 상에서 simulation하여 발진 응답을 보고 발진 응답이 마땅치 않을 경우 수정하고자하는 방향으로 기능을 가진 소자를 조정하여 원하는 응답이 나오도록 조정작업을 하여 설계하려고 한다. 이 장에서는 정량적으로 각 소자의 기능을 분석하고 다음상에서는 이 기능을 이용한 computer 상에서의 설계를 보이려고 한다.

(1) 발진부

발진부의 각 기능을 알기 위해서 transistor Q_1 및 Q_2 를 그림 5(b)와 같은 간략 등가회로로 대치한 뒤 동작 주파수에서 기능이 없는 부분, 즉 choke 및 bypass

capacitor 등을 제거하고 발진부를 다시 그리면 그림 6과 같다. 그림 6에서 C_o 및 r_o 는 주변 소자에 비해 영향이 적어 삭제하였으며 이는 그림 6의 회로를 해석하는데 큰차이를 주지 못한다.

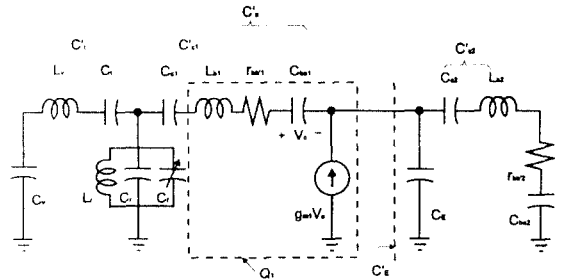


그림 6. 발진부의 동작주파수 대에서의 등가회로

그림 6에서 L_b 는 varactor diode의 package로 인해 발생하는 inductance를 나타내며, L_{b1} , r_{bb1} , C_{be1} 및 g_{m1} 은 transistor Q_1 의 등가회로 값들이며 L_{b2} , r_{bb2} , C_{be2} transistor Q_2 의 base emitter 간의 등가회로 값들로서 capacitor C_E 양단에 부하 효과로 나타나는 값들이다. 또한 L_c 및 C_c 은 공진기가 1/4 파장 영역에서 동작할 때의 등가회로를 나타낸다. 그림 4의 회로에 없는 capacitor C_f 는 중심 주파수 조절용으로 삽입된 것으로 이 것은 pattern 설계 시 발생하는 작은 값으로 보통 patch pattern으로 설계되며 이 것을 조정하므로서 원하는 중심 주파수에 정확히 일치시킬 수 있게 된다.

그림 6의 회로에서 외부에서 부착하는 capacitor C_{e1} 및 C_{e2} 를 작게 할 경우 각 transistor base emitter 간에 나타나는 저항 r_{bb1} , r_{bb2} 의 각 branch 내의 손실 효과는 무시할 수 있다. 또한 inductor L_{b1} 및 L_{b2} 의 값을 이 capacitor C_{e1} 및 C_{e2} 에 포함하여 새로운 capacitor C'_{e1} 및 C'_{e2} 를 정의할 수 있다. 이들 inductor의 영향은 동작 주파수보다 훨씬 더 높은 고주파 영역에서 적절 공진 현상을 취급하지 않는한 동작주파수 영역에서의 계산에서는 새로운 capacitor에 포함시킬 수 있다. 따라서 transistor Q_2 의 base emitter간 branch는 r_{bb2} 를 무시하고 L_{b2} , C_{be2} 및 C_{e2} 의 reactance를 단일 capacitance C_m 으로 나타낼 수 있고 이것은 equivalent capacitor C_E 와 병렬로 되어 있으므로 그 값을 C'_1 로

하였다. 마찬가지로 varactor diode의 inductor L_v 를 포함한 capacitor의 교정 값을 C'_i 라 할 경우 발진주파수는 다음과 같이 쓸수 있다.

$$f_{osc} = \frac{1}{2\pi[L_r\{C_r + C_f + (C'_i \parallel C_v) + (C'_E \parallel C'_{cl})\}]^{1/2}} \quad (1)$$

위의 결과에서 발진주파수는 모든 capacitor에 의존하고 있는데 capacitor C_f 이외에는 모두 전압제어 발진기의 다른 특성을 조정하는 기능을 가지고 있다. 따라서 각 capacitor들이 중심 주파수 조정 이외에 다른 기능에서 적절한 값을 독립적으로 취할 수 있도록 C_f 가 삽입된 것이다.

상기식을 이용 주파수 조정범위를 알기 위해, 위의 발진 주파수를 자연 logarithm을 취하고 C_v 에 대해서 미분할 경우

$$\begin{aligned} \frac{\Delta f_{osc}}{f_{osc}} &\approx \frac{1}{2\{C_r + C_f + (C'_i \parallel C_v) + (C'_E \parallel C'_{cl})\}} \\ &\left(\frac{C'_i}{C_v}\right)^2 \Delta C_i \\ &= -\frac{1}{2} (4\pi^2 f_{osc}^2 L_r) \left(\frac{C'_i}{C_v}\right)^2 \Delta C_v \end{aligned} \quad (2)$$

로 되어 capacitor C'_i 를 조정할 경우 발진 주파수 변동 폭을 조정할 수 있게 된다. 즉 varactor diode의 capacitance 변화 범위는 이 추가된 C'_i 에 의해서 제한이 되며, 대신 varactor diode branch의 전체 직렬 reactance는 추가된 C'_i 에 의해서 커지게 되어 공진기에 부착되는 varactor diode branch의 Q가 높아지게 된다.

Capacitor C'_{cl} 은 transistor Q_1 의 base에 직렬로 추가되어 공진기 양단에 나타나는 부 저항의 크기를 조절하게 된다. 즉 control 전압을 C'_{cl} 및 C'_{bel} 의 직렬 연결 양단에 나타나는 것으로 고칠 경우 transconductance g_{m1} 의 크기가 아래와 같이 변화된 것으로 나타난다.

$$g'_{m1} = g_{m1} \frac{C'_{cl}}{C_{bel} + C'_{cl}} \quad (3)$$

이 때 C'_{cl} 및 C'_{bel} 의 직렬 연결 capacitance를 C'_x 라 하고 공진기측에서 이 branch를 들여다 본 impedance Z_i 를 쓰면

$$C'_x = \frac{C_{bel} C'_{cl}}{C_{bel} + C'_{cl}} \quad (4)$$

$$Z_i = \frac{1}{j\omega(C'_x \parallel C'_E)} = \frac{g'_{m1}}{\omega^2 C'_x C'_E} \quad (5)$$

따라서 공진기측에서 들여다 본 부성 conductance는

$$\begin{aligned} G &\approx -(C'_x \parallel C'_E)^2 \frac{g'_{m1}}{C'_x C'_E} \\ &= -\frac{g_{m1}}{C_{bel}} \frac{C'^2_x C'_E}{(C'_x + C'_E)^2} \end{aligned} \quad (6)$$

와 같이 쓸 수 있다. 위 식으로부터 공진기 측에서 들여다 본 부성 conductance G 의 크기가 클수록 발진이 용이하게 되는데 이 경우는 $C'_x = C'_E$ 일 경우 성립함을 알 수 있다. 즉 주어진 C'_x 에 대해서 C'_E 를 감소시키도록 설정하면 공진기측에 연결된 부성 conductance가 최대가 되어 용이하게 발진을 얻을 수 있음을 알 수 있다. 따라서 transistor Q_1 의 emitter bias저항 값을 동작 주파수에서 무시할 수 있도록 C_E 를 설정하고 C'_E 의 나머지 capacitance는 transistor Q_2 의 입력으로 연결되는 capacitor C_{c2} 를 조정함으로써 발진을 제어할 수 있게 된다. C_{c2} 가 작을수록 transistor Q_2 로 넘어가는 고주파 전력은 적어지게 되며 크게 할 경우 원치 않는 직렬 공진 주파수가 동작주파수 대역으로 넘어와 발진을 오동작 시키므로 적정 값이 되도록 선정할 필요가 있다.

그러면 C'_E 값의 결정을 위한 C'_x 값의 선정이 필요하게 되는데 이것은 C_{cl} 의 설정과 관련되며, 이것을 너무 작게 할 경우 (6) 식에 따라 부성 conductance가 너무 작아져 발진은 사라지게 되고 크게 할 경우 근사식 (6)에 의해서 부성 conductance가 커지나, (6)식은 C_{cl} 을 작게 설정해서 얻어진 근사식이 되어 실제로 더 커질 경우 더 이상 high Q 조건은 만족되지 않으며, 이 범위를 넘어 커질 경우 (5)식의 실수부나 허수부는 다 같이 작아져서 무시했던 r_{bb1} 의 영향이 나타나 부성 conductance는 오히려 줄어들게 되어 발진이 사라지게 된다. 또한 발진이 일어나더라도 공진기 주변의 Q가 작아져서 발진 파형은 정현파가 아닌 왜곡된 파형이 나타난다. 따라서 적절한 capacitor C_{cl} 의 값의 선정이 발진을 일으키는데 효과적이다.

요약하면 capacitor C_i 의 기능은 주파수 변동범위에

관련되며, Capacitor C_{c1} , C_{c2} , C_E 는 발진 형성과 발진 파형 및 발진 출력의 증폭단 전달에 관련된다. 따라서 설계된 전압제어 발진기의 정확한 중심주파수 조정용 기능을 가진 소자가 필요하게 되는데 이는 capacitor C_f 로서 pattern을 조정함으로써 중심주파수를 별도로 조정할 수 있게 된다.

(3) 증폭부의 동작 원리

증폭 부를 간략히 다시 그리면 그림 7과 같다.

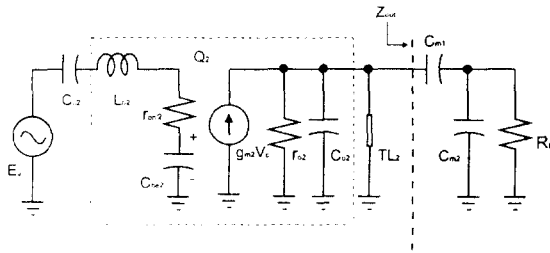


그림 7. 증폭 부의 동작회로

그림 7에서 E_b 는 발진기로부터 capacitor C_E 양단에 출력되는 전압을 나타낸다. 이것은 transistor Q_2 의 C_{bc2} 양단에 전압을 유기하게 되며, 이 유기된 전압에 따라 transconductance g_{m2} 은 전류를 흘리게 된다. 이때 유기된 전류의 일부는 부하 R_L 에 흐르게 되어, 부하 R_L 에 발진 출력이 나타나게 된다. 이러한 전력을 효과적으로 전달받기 위해서 부하 R_L 은 TL_2 , C_{m1} , C_{m2} 로 이루어진 impedance 정합회로를 거쳐 최대전력을 전달받도록 변형된다.

즉 capacitor C_{m2} 의 reactance 크기가 부하 R_L 에 비해 작다고 할 경우 그림 7에 표시한 impedance Z_{out} 는 high Q 조건에서 R_L 및 C_{m2} 에 대해 parallel series conversion한 뒤 다시 C_{m1} 을 포함하여 전체에 대해 series parallel conversion할 경우 근사적으로 다음과 같이 쓸 수 있다.

$$Z_{out} \approx \frac{1}{j\omega(C_{m1} \parallel C_{m2})} \parallel \left(\frac{C_{m1} + C_{m2}}{C_{m1}} \right)^2 R_L \quad (7)$$

따라서 capacitor C_{m1} 및 C_{m2} 를 조정 상기 식의 실수부의 크기를 조정할 수 있다. 전송선 TL_2 는 1/4 파장보다 작게 설정되어 그 끝이 단락 되어 있으므로

등가 적으로 inductor로서 작용하게 된다. 이 inductor는 Z_{out} 의 실수부 조정 시 발생한 Z_{out} 의 허수부 및 transistor 출력 등가 소자 C_{o2} 와 동작 주파수 대역의 중심에서 공진하게 된다.

결론적으로 transistor Q_2 의 알맞은 load의 크기를 단순히 정합용 capacitor들의 조정으로 얻을 수 있게 되며 조정 시 발생한 capacitance들은 전송선 TL_2 에 의해 공진시키므로서 복소정합(conjugate matching)을 시켜 최대의 전력을 부하 R_L 에 전달하는 것이다.

3. 전압제어 발진기의 상세설계

위와 같은 회로의 동작을 확인하고 값들을 결정하기 위해서 그림 4와 같은 회로를 MDS에 입력하고 MDS상에서 harmonic balance를 통한 발진기 해석 방법을 이용하였다. 우선 중요한 transistor의 대신호 등가 model을 구해야 하는데, 선정된 NEC사의 transistor 2SC4226의 경우 MDS에서 제공하는 library가 있어 이를 이용했고, varactor diode ISV229의 경우 해석을 간단히 하기 위해서 선형 R-L-C 직렬 공진 회로로 대체하고 이 중 capacitor 값을 parameter로 sweep시켜 발진 주파수의 조정 범위를 만족하는 지 조사했다. 이렇게 하더라도 varactor의 경우 선형등가회로의 소자들 값과 bias에 따른 capacitance 변화 범위가 필요하여 시험적으로 이 것들을 구한 뒤 이 값을 사용하였다.

Varactor diode의 동작전압에 선형 R-L-C 직렬등가회로를 얻기 위하여 varactor diode의 impedance를 network analyzer를 통해 계측했다. 우선 network analyzer를 1-port calibration한 후 varactor diode의 impedance를 계측하고 이 것을 MDS로 불러들인 후 공진점 근처에서 data에 대해 curve fitting 함으로서 이러한 R-L-C 값을 얻을 수 있었다. 즉 varactor의 impedance를 Z_v 라 할 때

$$Z_v = R_v + j\omega L_v + \frac{1}{j\omega C_v} \quad (8)$$

로 표시할 수 있으므로, 저항은 측정된 Z_v 의 실수부로부터 얻을 수 있고, L_v 및 C_v 는 직렬 공진 주파수 ω_0 부근에서 다음 식과 같이 측정된 Z_v 허수부의 주파수에 따른 slope 및 공진 주파수 ω_0 를 이용하여 구할 수 있다.

$$L_v = \frac{1}{2} \operatorname{Im} \left(\frac{dZ_v}{d\omega} \right) \Big|_{\omega=\omega_0} \quad (9)$$

$$C_v = \frac{1}{\omega_0^2 L_v} \quad (10)$$

그림 8에는 이같이 구한 동작 전압이 0 V일 때 시험 치로부터 얻은 varactor diode의 등가회로로 계산된 이론치 및 시험치를 비교하였다.

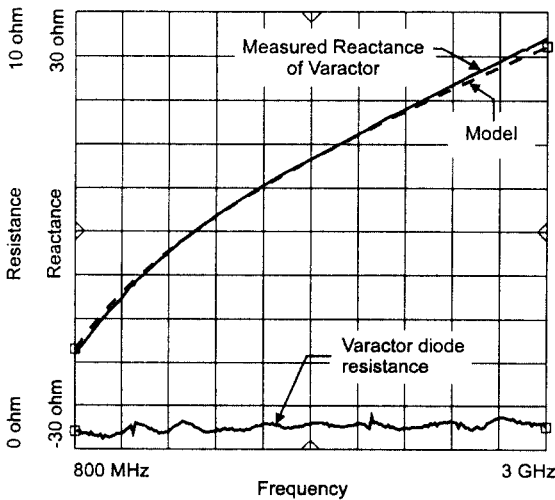


그림 8. 동작전압 0V에서의 varactor diode의 측정된 impedance의 실수부와 허수부 및 등가회로 값으로 계산된 허수부

그림 8의 inductance는 1.77 nH이며 이 때 capacitance는 8.1 pF였다. 동작 전압을 바꾸고 다시 이 작업을 반복할 경우에도 예상한대로 inductance의 값은 거의 변하지 않았으며 동작 전압에 따라 capacitance만 변화하는 것을 알 수 있었다. 동작 전압이 3V 일 때 capacitance는 3.3 pF였으며 inductance는 1.69nH로 거의 변화가 없었다. 또한 그림 8에서 varactor diode의 저항 값은 측정된 impedance의 실수부로부터 약 0.5ohm임을 알 수 있고 이것 또한 동작 전압의 변동에 관계없이 거의 일정했다.

이렇게 하여 구한 varactor diode의 R-L-C 등가회로를 입력한 후 varactor diode의 전압에 따른 capacitance의 변화를 MDS 상에서 선형 capacitor의 parameter sweep으로 대체하고 설계하였다. 물론 정확히

계산하기 위하여 varactor diode를 동작전압에 따른 비선형 model을 입력하고 계산해야하나 계산상의 편리성으로 transistor 만 library에 있는 대신호 등가 model로 대체하고 varactor diode를 선형 capacitor로서 입력하고 capacitance의 변화에 따른 발진 주파수를 계산하였다.

초기의 설계 값들은 다소 설계 치에서 벗어났으나 앞서서 언급한 전압제어 발진기 회로의 동작 원리를 기반으로 제반 parameter를 원하는 방향으로 수정한 뒤 반복 계산하여 원하는 결과를 얻을 수 있었다. 설계치는 발진 출력이 평균 2 dBm 정도였으며, 주파수 조정범위는 1840 에서 1900 MHz까지 조정되었다.

원하는 설계 값을 얻은 뒤 공진기는 연결 through hole을 포함한 정확한 길이를 얻기 위해서 EM simulator인 SONNET를 사용 설계치를 주는 공진기를 시행착오적으로 구했으며, 이렇게 해서 얻어진 SONNET 상에서의 공진기의 최종 pattern을 이용 전압제어 발진기의 구성에 필요한 각 소자들을 주어진 크기 내에 배치 layout하였다.

4. Layout 및 시험결과

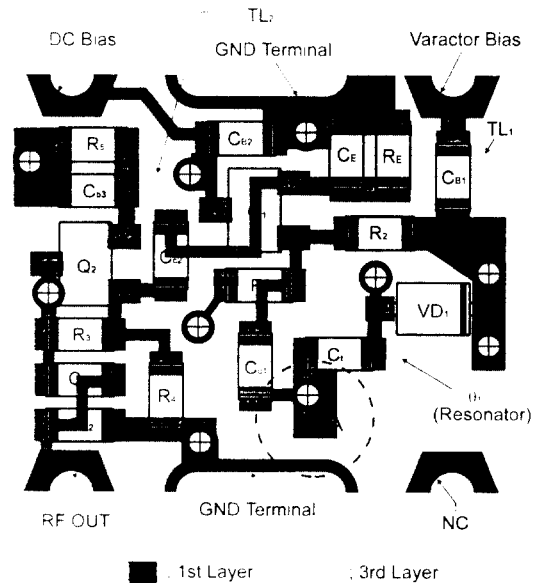


그림 9. 전압제어발진기의 layout

그림 9에서 그림의 복잡성으로 인해 접지 면으로 사용되는 제2 layer와 제4 layer는 제외하고 제1 layer와 제3 layer만 나타내었다. 부착되는 각 부품의 기호는 전술한 그림 4의 회로도 와 일치한다. 제1 layer는 부품의 부착 면으로 사용되며 그림 9에서 보는 바와 같이 부착된 부품의 거의 모든 연결이 형성된다. 제2 layer가 접지 면이므로 제1 layer의 연결 선로들은 microstrip으로 생각할 수 있고 선로의 길이는 고주파에서는 inductor로 작용하기 때문에 가능한 부품의 연결에 소요되는 선로의 길이를 짧게 하려고 하였다. Layout 시 할 수 없이 길게 되는 부분에 대해서는 선로로 늘어나는 inductance의 영향을 고려 이 것에 부착되는 capacitor의 값을 줄여서 부착하였다.

제3 layer에는 공진기와 transistor Q₂의 정합에 필요한 RF choke (그림 9의 TL₂) 및 varactor diode의 bias에 필요한 RF choke (그림 9의 TL₁) 그리고 제1 면에서 microstrip line의 inductance 영향을 최소화하기 위하여 부품을 가능한 짧게 연결할 때 제1 면에서 연결이 안되는 부분 중 simulation 상 영향이 가장 적은 부위를 제3 layer를 통하여 연결시켰다.

전압제어발진기의 단자를 제공하기 위하여 그림과 같이 인쇄회로기판 가장자리 4 군데에 직경 1 mm의 through hole로서 만들어, 이 hole을 반으로 절단하여 그림 9와 같이 단자로 사용했으며, 이 전압제어 발진기를 타 기판에 장착 시 공통 접지 면을 제공하기 위하여 사용되는 접지 단자 (그림 9의 GND terminal)는 단자와 같은 직경을 갖는 through hole을 촘촘히 연결하여 이루어진 길다란 홈을 반으로 절단한 면을 이용하여 장착되는 PCB와 넓은 면에서 접지가 되도록 했다. 그 이외에 사용된 hole들은 모두 직경이 0.5mm로서 ground hole과 제1 면과 제3 면을 연결하는 연결 hole들의 2종류가 있는데, 그림 9에는 제1 layer와 제3 layer만 그림에 나타내서 이들의 구분이 안되기 때문에 ground hole의 경우 그림에 □를 덧붙였다.

그림 9에 이용된 저항과 capacitor는 1608 type (길이 1.6mm 폭 0.8mm)의 chip 부품들이며, 그림 9의 A 부위는 공진부의 공진 주파수를 미세 조정하기 위한 patch pattern으로서 칼이나 laser로 trimming하여 발진 중심 주파수를 조정할 수 있게 하였다. 또한 이 부분의 trimming 작업을 편리하게 하기 위하여 이 근처에는 부품을 가능한 덜 밀집시키도록 하였다.

이 것을 조립한 후 VCO의 출력을 보기 위해서 이것을 제작된 test jig에 장착하고 출력을 spectrum analyzer로 입력시켰다. 주파수 조정 범위가 설계 시 설정범위인 1850-1890MHz에서 중심에서 다소 벗어나 A부 의 pattern을 칼로 trim하여 뚜껑을 덮을 시 주파수 조정범위가 맞도록 그림 9의 A 부위를 조정했다. 전압제어 발진기의 DC 공급전원이 3V인 상태에서, varactor 전압을 0에서 3V로 변화시킬 경우 발진주파수는 뚜껑을 제거했을 때 그림 10과 같이 약 1850에서 1905MHz로 변화했으며 뚜껑을 씌울 경우 중심주파수는 전체적으로 5MHz정도 하향 조정되었다. 그림 10에 뚜껑이 없는 상태에서 varactor전원 공급전압이 각각 0과 3V일 때 spectrum analyzer상의 출력을 나타내었다. 출력은 주파수 조정 전 범위에서 0

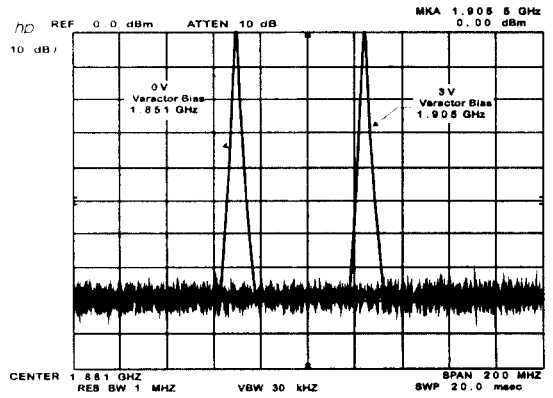


그림 10. 전압제어 발진기의 주파수 조정 특성

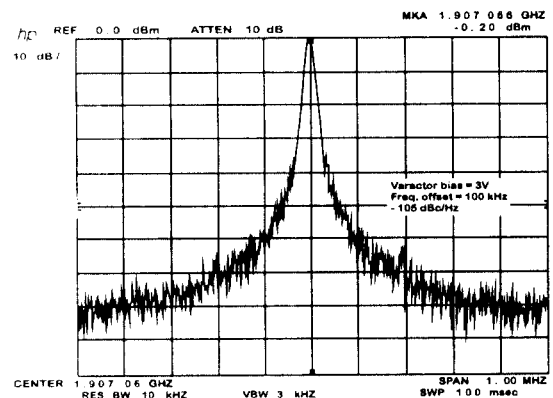


그림 11. 전압제어 발진기의 위상 잡음 특성

dBm 정도였으며 이 때 소모전류는 약 22mA였다.

위상잡음 특성을 보기 위하여 varactor 공급전압이 3V일 때 spectrum analyzer의 주파수 span을 좁혀 위상잡음을 계측하였다. 이것을 그림 11에 나타내었으며 위상잡음은 중심 주파수에서 100 kHz offset에서 -105dBc/Hz임을 알 수 있었다. Varactor 공급전압이 0 V일 경우는 위상 잡음 특성이 약간 나빠져서 약 -95 dBc/Hz 를 얻게 되었다.

III. 결론 및 개선 방향

본 논문에서는 초기 한국통신에서 차세대 개인통신용으로 연구된 TDMA WACS 규격으로 사용될 수 있는 3V에 동작하고 표면실장형 strip 선로 전압제어 발진기를 4층의 multilayer PCB를 사용 분리형으로 설계 제작하였다. 설계 절차로서는 우선 전압제어 발진기 각 부품의 전체적인 발진기 전기적 특성에의 영향을 정성적으로 해석하였다. 좀 더 개선된 설계치를 얻기 위하여 MDS에 입력시 문제되는 능동소자들의 입력방법을 설명했다. 여기서 varactor diode의 경우는 계산의 효율성을 위해 선형 직렬공진회로로 입력했으며 varactor diode의 동작전압 변동에 따른 capacitance의 변화는 MDS상에서 직렬공진회로 capacitance의 변화시 응답으로 계산했다. 설계후 얻어진 strip 선로 공진기 길이의 경우는 발진주파수와 밀접한 관계가 있어 이를 정확히 pattern 설계하기 위해 through hole을 포함한 정확한 길이를 Sonnet S/W를 이용 EM analysis를 하여 정확한 길이를 도출하였다. 설계된 발진기는 설계된 trim pattern을 조정 원하는 성능을 얻을 수 있었으며 뚜껑에 따라 중심주파수는 5MHz 정도 이동함을 알 수 있었다. 또한 3V 동작시 22mA의 전류를 소모하며, 출력이 주파수변화에 관계없이 0dBm 이상 주파수 조정폭 50MHz 이상 위상 잡음이 100kHz offset시 100dBc/Hz를 얻을 수 있었다.

제작된 발진기는 단말기의 국부발진기로 직접 사용이 가능하며(WACS/TDMA 방식 기준) 주파수 합성기로서 이용이 가능할 것 같다. 크기 면에서는 1005 chip 부품을 사용할 경우 좀 더 개선이 가능하며, 본 논문에서 제시한 동일한 제작 방법의 절차를 거쳐 설계 가능하리라 사료된다. 전류의 소모를 줄이고 좀더 효율을 높이기 위해서는 더 높은 f_T 를 갖는

transistor의 사용이 요구될 것이 예상된다. 현재의 silicon bipolar transistor의 기술로는 3V에서 동작하며 900 MHz대역의 표면실장형 전압제어발진기와 같이 전류의 소모를 줄이기 위해 emitter current 공유형으로는 가능치 않을 것으로 사료되며, 위상 잡음이 덜 심각한 경우 GaAs MESFET을 사용 현격히 효율을 올릴 수 있을 것으로 사료되어 시험해 보는 것이 필요하다고 본다.

새로운 시도로서 silicon이나 GaAs를 이용한 MMIC화는 계속적인 연구가 필요할 것 같다. 국내에서도 이미 이 방향으로 계속적인 연구를 하고 있으나 silicon의 경우 varactor diode와 공진기의 MMIC처리 문제가 문제 시 될 것 같고 또한 양산시 주파수 조정을 피해야하기 때문에 주파수 조정폭을 넓게 해야 하므로 이에 따른 위상잡음 특성의 열화 문제가 연구되어야 할 것이다. 반면 GaAs의 경우 공진기의 문제는 동일하나, 낮은 동작 전압에서(공통형의 경우 약 1.5V) 동작하는 소자의 문제와 양산시 주파수 조정 문제 또한 동일하다고 본다. 그러나 이는 국내만 하더라도 1000만 정도의 대량 수요를 필요로 하는 개인 통신에 있어서 반드시 대량 생산을 위해 해결 제작 될 수 있으리라 본다.

참고 문헌

1. "Generic criteria for version 0.1 wireless access communication systems (WACS)", Bellcore, TA-NWT-001313, Issue 1, July, 1992.
2. You Funada, "VCO technique enable compact, high-frequency mobilecom", Dec., JEE, 1993.
3. Toshio Nishikawa, "RF front end circuit components miniaturized using dielectric resonators for cellular portable telephones", IEICE Trans., vol. E74, No. 6, June 1991.
4. 中部孝治, 渡雅弘, 牧本三夫, 結城主央己, "800MHz대 주파수 synthesizer의 구성과 특징", 信學技報 MW-78-72, 1978.
5. 西木貞之, 結城主央己 "자동차 전화 이동기용 800MHz대 주파수 synthesizer", 信學論(B), J65-B, 6, pp. 737-744 1982-06
6. 上野伴希, 中川芳洋, 中村俊昭, 石崎俊雄, "휴대전

화용 소형 전압제어발진기의 저잡음화 설계법”, 電子情報通信學會論文誌, C-1, Vol. J76-C-1, No. 11 pp. 430-436 Nov. 1993.

7. 정 옥현, “이동통신용 frequency synthesizer의 설계”, RF 및 M/W분야 단기 기술강좌, 대한전자공학회, pp. 93-125, 6월 1994.
8. 홍 성용, “Frequency synthesizer용 전압제어 발진기”, 이동통신 위성통신용 부품설계워크샵, 한국통신학회 통신 및 회로부품 연구회, pp. 274-308, 1994.
9. S. W. J. Seawright, H. Ikeda, and M. Katsumata, “VCO design and analysis utilizing modern CAD Tools”, Hewlett Packard High Frequency Design Workshop, Atlanta, June, 1993.
10. H. Blanck, et al., “Fully monolithic Ku and Ka band GaInP/GaAs HBT wideband VCO”, IEEE, Microwave and Millimeter-Wave Monolithic Circuits Symposium, pp. 161-164, 1994
11. J. M. Schellenberg et al., “W-band oscillator using ion implanted InGaAs MESFETs”, IEEE, Microwave and Guided Wave Lett., vol. 1, No. 5, May 1991 pp. 100-102.
12. Y. Kwon, et al., “W-band monolithic oscillator using InAlAs/InGaAs HEMT”, Electron Lett., vol. 26, No. 18, pp 1425. -1426.
13. U. Guttich, et al., “Ka-band monolithic VCOs for low noise applications using GaInP/GaAs HBTs”, IEEE, Microwave and Millimeter Wave Circuit Symp., 1994, pp. 165-168.
14. K. W. Kobayashi et al., “A novel heterojunction bipolar transistor VCO using an active tunable inductance”, IEEE Microwave and Guided Wave Lett., vol. 4, No. 7, July 1994, pp. 235-237.
15. 엄 경환, 이 명성, “900 MHz 대역의 이동통신용 전압제어발진기의 더 높은 고주파 대역에서의 적용 가능성에 대한 검토”, 한국통신학회 논문지 '95-8, Vol. 20, No. 8, pp. 200-209, 1995.
16. H. Fukui, “Low noise microwave transistors and amplifiers”, IEEE Press, pp. 68-86, 1981
17. K. W. Yeom, T. S. Ha, and J. W. Ra, “Frequency dependence of GaAs FET equivalent circuit

elements from the measured S-parameters”, Proc IEEE, July, 1988.



엄 경 환(Yeom Kyung-Whan) 정회원

1976년~1980년: 서울대학교 공과대학 전자공학과 졸(학사)

1980년~1982년: 한국과학기술원 전기 및 전자과 (석사)

1982년~1988년: 한국과학기술원 전기 및 전자과 (박사)

1988년 3월: 금성전기(주) 소재부품연구소 선임연구원(MIC팀 팀장)

1990년 3월: 금성전기(주) 소재부품연구소 책임연구원

1991년 5월: 금성정밀(주) 기술연구소 연구1실 책임연구원

1991년 8월: (주) LTI 연구원

1995년 10월: 충남대학교 전자공학과 조교수