

전류 스위칭 시스템의 CFT 오차 감소에 관한 연구

準會員 崔 庚 鎭*, 正會員 李 海 吉*, 辛 烘 圭*

A Study on the CFT Error Reduction of Switched-Current System

Kyung Jin Choi*, Hae Gil Lee*, Hong Kyu Shin* *Regular Members*

※ "본 논문은 '96년도 원광대학교의 교비지원에 의해서 연구됨"

요 약

본 논문에서는 전류 스위칭(switched-current: SI) 시스템에서 THD(total harmonic distortion) 증가 원인인 클럭 피드스루(clock feedthrough: CFT) 오차 전압을 감소시키는 새로운 전류 메모리(current -memory) 회로를 제안하였다. 제안한 전류 메모리는 CMOS 상보형의 PMOS 트랜지스터를 이용하여 CFT 오차 전압에 의한 출력 왜곡 전류를 감소시킨다. 제안한 전류 메모리 회로를 1.2 μ m CMOS 공정을 사용하여 설계하고, 입력으로 전류 크기 68 μ A 인 1MHz 정현파 신호를 인가하였다.(샘플링 주파수: 20MHz)

모의 실험 결과, 기존의 전류 메모리보다 CFT 오차 전압에 의한 출력 왜곡 전류가 10배 정도 감소를 나타내었으며 신호 대 바이어스 전류비가 0.5(peak signal-to-bias current ratio: i/J)인 1kHz 신호를 인가할 경우 THD는 -57dB이다.

ABSTRACT

In this paper, a new current-memory circuit is proposed that reduces the clock feedthrough(CFT) error voltage causing total harmonic distortion(THD) increment in switched-current(SI) systems.

Using PMOS transistor in CMOS complementary, the proposed one reduces output distortion current due to the CFT error voltage. A proposed current-memory is designed using a 1.2 μ m CMOS process and a 1MHz sinusoidal signal having a 68 μ A amplitude current is applied as input (sampling frequency: 20MHz). It has been shown from the simulation that the output distortion current effected by the CFT error voltage is reduced by approximately 10 times the error voltage of conventional one, THD is -57dB in case of applying 1kHz frequency input signal with 0.5 peak signal-to-bias current ratio.

*圓光大學校 電子工學科
Dept. of Electronic Engineering, Wonkwang University
論文番號: 96050-0209
接受日字: 1996年 2月 9日

I. 서론

현재의 아날로그 신호처리는 스위치드 커패시터 (switched-capacitor: SC) 회로에 의해 주도되고 있다. 그러나 SC 회로는 커패시터의 크기가 다른 소자에 비하여 크고, 연산 증폭기의 비이상적인 영향 때문에 복잡도가 커지는 큰 시스템의 설계에서는 사용이 용이하지 못하게 되었으며 고임피던스의 분포 커패시턴스 성분을 갖기 때문에 높은 주파수 신호 처리에는 부적합하게 되었다. 또한 디지털 표준 CMOS 공정으로 정확한 커패시터를 제조하려면 부가적인 공정이 추가되는 불편한점이 따르게 된다. 이러한 단점을 보완하기 위하여 1989년에 발표된 SI 기법은 MOS 트랜지스터만으로 시스템이 구현되기 때문에 디지털 표준 공정으로 큰 시스템의 설계가 가능하고 저임피던스 회로에서 나타나게 되는 분포 인덕턴스의 영향만 고려하므로 주파수 대역폭을 확장시킬 수 있다.^[1-4]

그러나 SI 기법의 기본 블럭인 전류 메모리에서 발생하는 CFT 오차 전압은 SI 시스템에서 큰 오차를 초래하는 문제점이 있다.^[5] 이러한 문제점을 해결하기 위한 연구가 계속 진행되고 여러 기법들이 소개되었으나 트랜지스터 갯수가 증가되어 신호처리 대역폭의 제한과 칩 면적 증가의 단점을 갖는다.^[6-7]

본 논문에서는 이러한 단점을 해결하기 위하여 기존의 전류 메모리 회로에서 발생하는 CFT 오차 전압 발생 원인을 조사한 후, CFT의 오차 전압에 의한 출력 왜곡 전류를 외부 바이어스와 전류 메모리로 동작하는 CMOS 상보형의 PMOS 트랜지스터를 이용하여 NMOS 트랜지스터에서 발생 되는 CFT 오차 전압과 극성이 반대인 오차 전압으로 CFT 오차 전압을 감소시키는 새로운 형태의 전류 메모리를 설계하였다. 그리고 설계된 전류 메모리의 특성을 분석하기 위하여 3dB 주파수가 같도록 기존의 전류 메모리와 제안한 전류 메모리를 설계하여 수식적인 분석과 모의 실험에 의한 결과를 비교, 분석하였다.

II. CFT 오차의 분석

MOS 스위치의 비이상적 특성이 전류 메모리에 미치는 효과는 다음과 같다. 스위치 트랜지스터가 OFF 될 때 오버랩 커패시턴스(overlap capacitances)와 채널

전하 재분포(channel charge redistribution)에 의한 오차 전압이 출력 트랜지스터의 게이트 커패시턴스에 주입된다. 이 전하는 플우팅(floating)된 출력 트랜지스터의 게이트 전압에 변화를 일으켜서 출력 드레인 전류에 영향을 미치는 CFT 현상이 발생된다. CFT 현상이 일어나는 주된 원인은 오버랩 커패시턴스와 채널 전하의 재분포에 의한 영향이 지배적이다. 오버랩 커패시턴스와 채널 전하의 재분포에 의한 CFT 오차 전압은 [8]에서 구할 수 있다.

스위치와 전류 메모리의 트랜지스터의 크기에 따른 CFT 오차 전압을 조사하기 위하여 제1세대(first generation) 전류 메모리 회로 그림1을^[9] 1.2 μ m CMOS 공정을 이용하여 트랜지스터 크기에 따른 CFT 오차 전압을 계산하여 표1에 나타내었다.

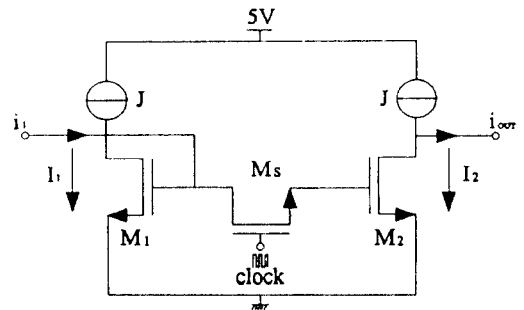


그림 1. 기존의 전류 메모리
Fig. 1. The conventional current-memory

표1에서 채널 전하 재분포에 의한 오차 전압의 크기가 오버랩 커패시턴스에 의한 오차 전압보다 많은 영향을 끼침을 알 수 있다.

그림1에서 전류 메모리의 트랜지스터의 크기가 동일하고 모든 트랜지스터가 포화 상태에서 동작 한다면 다음과 같은 출력 전류식을 얻을 수 있다.^[8]

$$i_{out} = J - I_2 = J - \beta(V_{gs1} - V_{tn} + V_{c2})^2 \quad (1)$$

$$= -i_1 - \beta[V_{c2}^2 + 2V_{c2}(V_{gs1} - V_{tn})]$$

식(1)의 오른쪽항(- β 항)은 CFT 오차 전압에 의하여 발생하는 출력 왜곡 전류로 CFT 오차 전압이 신

표 1. CFT 오차 전압의 크기

Table 1. Magnitude of CFT error voltage

Transistor size		Magnitude of CFT error voltage[V]		
M_s (W/L)	M_1, M_2 (W/L)	Error voltage due to overlap capacitances	Error voltage due to channel charge redistribution	CFT error voltage (V_C)
3/2	3/2	0.237	2.17	2.407
3/2	30/18	0.003	0.036	0.039
30/20	30/20	0.027	2.17	2.197

호 전류 i_1 에 영향을 끼치는 것을 알 수 있다. CFT 오차 전압은 왜곡 전류를 일으키므로 CFT 오차 전압 감소를 위하여 표1에서 조사한바와 같이 스위치 트랜지스터 면적보다 출력 트랜지스터 면적을 크게하여 CFT 오차 전압을 감소시킬 수 있다.

III. CFT를 보상하기 위한 제안한 전류 메모리

CFT 오차 전압은 표1에서 조사된바와 같이 전류 메모리의 출력 트랜지스터를 크게하거나 최근에 발표된 기법들에 의하여 감소시킬 수 있다. 그러나 이러한 방법들은 트랜지스터의 크기 및 회로의 복잡도가 증가되어 이에 따른 소비 전력의 감소, 칩 면적의 최소화 그리고 주파수 대역폭 확장에 제한을 가져온다. 따라서 본 논문에서는 CMOS 상보형의 PMOS 트

랜지스터를 이용하여 그림1의 전류 메모리의 트랜지스터보다 크기를 작게하여도 CFT 오차 전압을 감소할 수 있는 그림2와 같은 새로운 형태의 전류 메모리를 제안한다.

그림2의 전류 메모리의 회로 분석은 다음과 같다. 전류 메모리 입력 트랜지스터 M_1 과 M_2 의 드레인 전류는 DC 전류 J_i ($i=1, 2$)와 입력 신호 전류 i_1 이 1/2로 분할되어 흐르므로 트랜지스터 M_1 과 M_2 에 흐르는 전체 드레인 전류는 식(2)와 같다.

$$I_{ds1} = J_1 - \frac{i_1}{2} = \alpha(V_{gs1} - V_{tp})^2 \tag{2}$$

$$I_{ds2} = J_2 + \frac{i_1}{2} = \beta(V_{gs2} - V_{tn})^2$$

여기서 $I_{ds(i=1, 2)}$ 는 $M_{i(i=1, 2)}$ 트랜지스터에 흐르는 전체 드레인 전류이고, α 와 β 는 각각 PMOS와 NMOS 트랜지스터의 이득 상수이다. 만약 $M_1 = M_3$, $M_2 = M_4$ 이고 스위치 트랜지스터가 ON이 되면 전류 미러가 구성되어 $I_{ds1} = I_{ds3}$, $I_{ds2} = I_{ds4}$ 가 되므로 출력 전류는 식(3)과 같다.

$$i_{out} = I_{ds3} - I_{ds4} \tag{3}$$

이때, 스위치가 OFF 되면 출력 트랜지스터 M_3 과 M_4 에 발생하는 CFT 오차 전압 V_{c3} 과 V_{c4} 가 전류 메모리 출력 트랜지스터 M_3 과 M_4 의 게이트 커패시터에 남아 있기 때문에 전류 메모리 출력 트랜지스터 M_3 과 M_4 의 게이트 전압은 식(4)와 같다.

$$\begin{aligned} V_{gs3} &= V_{gs1} + V_{c3} \\ V_{gs4} &= V_{gs2} + V_{c4} \end{aligned} \tag{4}$$

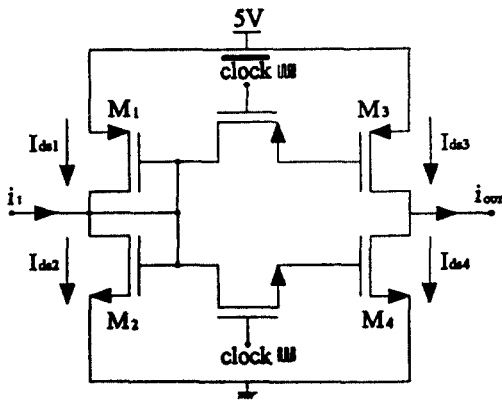


그림 2. 제안한 전류 메모리 회로

Fig. 2. The proposed current-memory circuit

윗식에서 CFT 오차 전압 $V_{ci}(i=3, 4)$ 는 $Qc/C_{gsi}(i=3, 4)$ 이고 Qc 는 스위치에 인가되는 전압에 의한 전하이다. 따라서, 식(5)가 성립하므로 출력 전류를 식(6)과 같이 구할 수 있다.

$$V_{c3} \approx \frac{Q_c}{C_{gs3}} = \frac{Q_c}{C_{gs4} A_3} = \frac{V_{o4}}{A_3} \quad (5)$$

여기서, A_3 는 M_4 트랜지스터에 대한 M_3 트랜지스터의 면적비이다.

$$i_{out} = [\alpha(V_{gs1} - V_{tp} + \frac{V_{o4}}{A_3})^2 - \beta(V_{gs2} - V_{tn} + V_{c4})^2] \\ = \alpha[(V_{gs1} - V_{tp})^2 + 2(V_{gs1} - V_{tp}) \frac{V_{c4}}{A_3} + \frac{V_{c4}^2}{A_3^2}] \quad (6) \\ - \beta[(V_{gs2} - V_{tn})^2 + 2(V_{gs2} - V_{tn}) V_{c4} + V_{c4}^2]$$

식(6)에서 $+\alpha$ 항과 $-\beta$ 항의 제곱 항은 식(2)와 식(3)으로부터 스위치가 ON 일 때 출력 트랜지스터 M_3 과 M_4 의 게이트 커패시터에 기억된 입력 신호를 반전으로 출력하게 되어 다음과 같은 식을 얻을 수 있다.

$$i_{out} = -i_1 + \alpha[2(V_{gs1} - V_{tp}) \frac{V_{c4}}{A_3} + \frac{V_{c4}^2}{A_3^2}] \quad (7) \\ - \beta[2(V_{gs2} - V_{tn}) V_{c4} + V_{c4}^2]$$

표2에서는 기존의 전류 메모리와 제안한 전류 메모리의 출력 전류를 비교하였다.

표2에 비교한바와 같이 기존의 전류 메모리는 출력 트랜지스터에서 발생하는 CFT 오차 전압에 의한 왜곡 전류가 $-\beta$ 항만으로 나타난다. 따라서 제안한 전류 메모리는 이러한 $-\beta$ 항의 왜곡 전류 성분을 줄이

기 위하여 NMOS 트랜지스터에서 발생하는 왜곡 전류와 극성이 반대인 왜곡 전류를 발생시키도록 PMOS 트랜지스터를 이용하였다.

즉, PMOS 트랜지스터의 면적비(A_3)를 조절하여 $-\beta$ 항의 왜곡 전류와 극성이 반대인 $+\alpha$ 항의 왜곡 전류로 전체적인 왜곡 전류를 감소시킬 수 있도록 하였다. SI 시스템의 기본 셀인 전류 메모리에서 발생하는 CFT 오차 전압은 직접적으로 THD와 관계가 있으므로 제안한 전류 메모리를 이용한 SI 시스템은 기존의 전류 메모리를 이용한 SI 시스템보다 주파수 특성을 향상시킬 수 있다.

그리고 전류 메모리의 유한한 입력 임피던스와 낮은 출력 저항에 의하여 발생하는 입력 신호 전류의 오차는^[10] CFT 오차 전압을 감소시킬 수 있을뿐만 아니라 바이어스로 이용될 수 있는 PMOS 트랜지스터가 캐스코드로 연결되었기 때문에 기존의 전류 메모리보다 전류 오차를 감소시킬 수 있다. 또한 출력 저항 증가에 의하여 출력단에 연결된 외부 부하에 많은 전류를 인가할 수 있으므로 부하 구동 능력을 증가시킬 수 있다.

특히 기존의 전류 메모리와 다르게 외부 바이어스 회로가 불필요함으로써 구조가 간단하여 SI 시스템의 복잡도가 증가할수록 저소비 전력 특성과 칩 면적의 감소화에 유리한 장점을 갖는다.

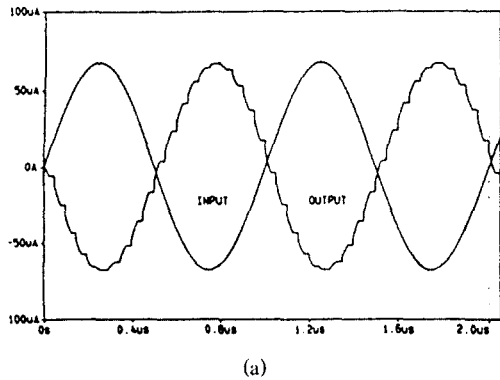
IV. 모의 실험 및 고찰

III절에서 제안한 전류 메모리의 CFT 오차 전압의 감소를 조사하기 위하여 동일하게 DC 바이어스 전

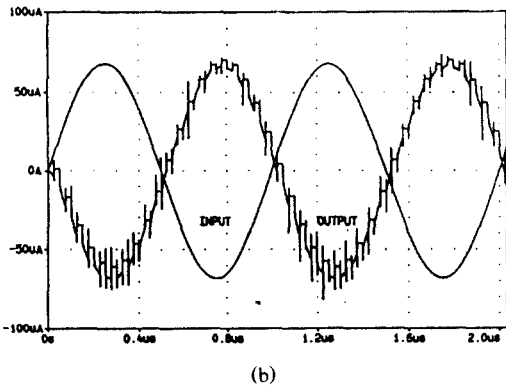
표 2. 전류 메모리의 출력 전류 비교[식(1)과 식(7)]

Table 2. The comparison of current-memory output current [equation(1) and equation(7)]

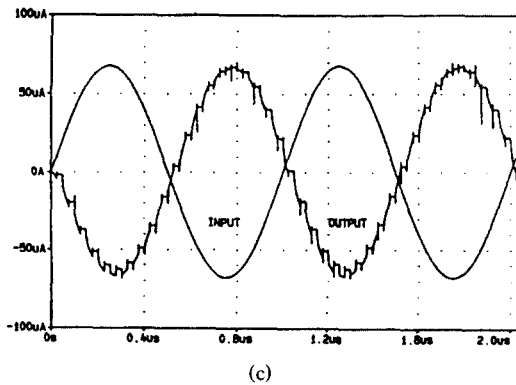
Output current Section	Ideal signal	Distortion current due to CFT error voltage in NMOS transistor	Distortion current due to CFT error voltage in PMOS transistor
Conventional current-memory	$-i_1$	$-\beta[V_{c2}^2 + 2(V_{gs1} - V_{tn})V_{c2}]$	
Proposed current-memory	$-i_1$	$-\beta[V_{c4}^2 + 2(V_{gs2} - V_{tn})V_{c4}]$	$+\alpha[\frac{V_{c4}^2}{A_3^2} + 2(V_{gs1} - V_{tp}) \frac{V_{c4}}{A_3}]$



(a)



(b)



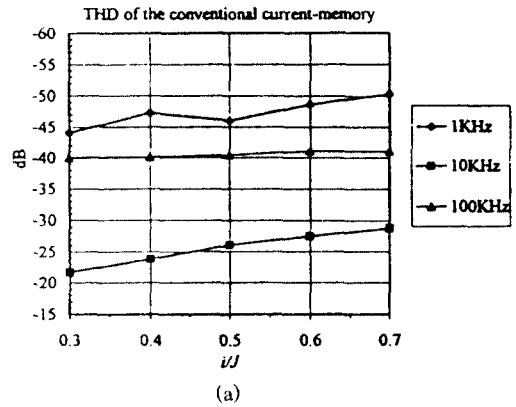
(c)

그림 4. CFT 오차 전압에 의한 출력 왜곡 전류 비교(샘플링 주파수: 20MHz)
 (a) 이상적인 전류 메모리 (b) 기존의 전류 메모리
 (c) 제한한 전류 메모리

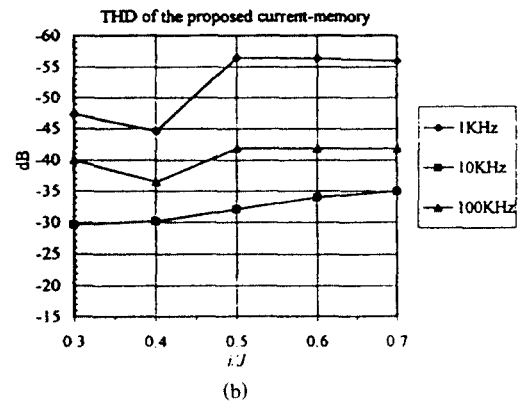
Fig. 4. The comparison of output distortion current due to CFT error voltage(sampling frequency: 20MHz)
 (a) ideal current-memory (b) conventional current-memory (c) proposed current-memory

류 137 μ A, 3dB 주파수 9.6MHz 조건이 만족되는 기존의 전류 메모리와 제한한 전류 메모리를 설계한 후, 1MHz 인 정현파를 인가하여 모의 실험을 하였다.

그림4(a)는 CFT의 영향이 없는 이상적인 스위치를 이용한 전류 메모리의 과도 응답을 보이고 있다. 이를 기준으로 그림4(b)와 그림4(c)의 결과 파형을 비교하면, 스위치가 OFF 될 때 발생하는 CFT 오차 전압에 의한 왜곡 전류가 기존의 전류 메모리보다 10배 정도 감소 되었으며 몇가지 특성을 표3에 비교 정리 하였다.



(a)



(b)

그림 5. 입력 주파수와 신호 대 바이어스 전류비의 변화에 대한 THD

(a) 기존의 전류 메모리 (b) 제한한 전류 메모리

Fig. 5. The THD relative to the change input frequency and peak signal-to-bias current ratio
 (a) conventional current-memory
 (b) proposed current-memory

표 3. CFT 오차 전압 감소 회로의 비교 (바이어스 전류: 137 μ A, 3dB 주파수: 9.6MHz)

Table 3. The comparison of CFT error voltage reduction circuit(bias current : 137 μ A, 3dB frequency: 9.6MHz)

Parameter	Section	Conventional current-memory	Proposed current-memory
Transistor size(W/L)		45/25	30/18
Number of transistor		2 + bias transistor	4
CFT error voltage		0.02V	0.003V
Power dissipation		1.38mW	1.38mW
THD at (i/J) = 0.5(1kHz)		-46dB	-57dB

그림5는 신호전류의 크기, 주파수에 따른 CFT 오차 전압에 의한 THD의 영향을 조사하기 위하여 i/J 비를 0.3에서 0.7까지 변화하여 Fast Fourier Transform 을 이용한 THD 측정치를 나타냈다.

입력 신호 1mV, i/J 비가 0.5 일 때 기존 전류 메모리 THD는 -46dB이고 제안한 전류 메모리 THD는 -57dB 로 낮아져 CFT 오차 전압에 의한 출력 왜곡 전류가 감소되었다. 이때의 계산된 CFT 오차 전압은 $3E3$ 에 나타난 것같이 기존의 전류 메모리보다 6.67배 감소 되었다.

V. 결 론

본 논문에서 제안한 전류 메모리는 NMOS 트랜지스터에서 발생하는 CFT 오차 전압에 의한 출력 왜곡 전류를 CMOS 상보형의 PMOS 트랜지스터를 적극적으로 활용하여 감소시켰으며 그림(4)의 모의 실험 결과 및 그림(5)의 THD 측정치 결과에서 나타난 것 과 같이 기존의 전류 메모리보다 CFT 오차 전압에 의한 출력 왜곡 전류가 현저히 감소됨을 입증하였다. 그리고 PMOS 트랜지스터가 캐스코드 연결이므로 기존의 전류 메모리보다 출력저항을 증가시킬 수 있어 정확한 동작과 구동 능력을 향상시킬 수 있으며 CFT 오차 전압을 감소시키는 PMOS 트랜지스터를 항상 포화 상태에서 동작할 수 있도록 자기 바이어스 형태를 이용함으로써 외부의 바이어스 공급 회로가 불필요하게 되어 칩 면적의 감소화에 유리한 장점을 갖는다.

지금까지 전류 메모리를 이용한 SI 시스템은 전류 메모리에서의 발생되는 CFT에 의하여 유성 주파수

에 한계를 보였으나 본 논문에서 제안한 전류 메모리 회로를 이용한 SI 시스템을 설계한다면 작은 면적과 저소비 전력을 요구되는 시스템에 적합하며 앞으로 계속적인 연구가 진행된다면 저전압(3.3V)에서의 영 상 주파수까지 확장될 수 있을것으로 사료된다.

참 고 문 헌

1. A. Vittoz. "The Design of High Performance Analog Circuits on Digital CMOS Chips," *IEEE Journal of Solid-State Circuits*, vol. SC-20, pp. 657-665, June. 1989.
2. T. Fiez and D. Allstot, "A CMOS Switched-Current Filter Technique," *IEEE ISSCC Digest of Technical Papers*, pp. 206-297. Feb. 1990.
3. D. J. Allstot, T. S. Fiez and G. Liang, "Design Considerations for CMOS Switched Current Filters," *Proc. IEEE Custom Integrated Circuits Conference*, pp. 8. 1. 1-4, May. 1990.
4. J. B. Hughes N. C. Bird, and I. C. Macbeth, "Switched Currents A New Technique for Analogue Sampled-Data Signal Processing," *Proc. IEEE International Symposium on Circuits and Systems*, pp. 1584-1587, May. 1989.
5. R. H. Zele, D. J. Allstot, T. S. Fiez, "Fully Balanced CMOS Current-Mode Circuits," *IEEE Journal of Solid-State Circuits*, vol. 28, no. 5 pp. 569-574, May. 1993.
6. C. Toumazou, F. J. Lidgley, and D. G. Haigh, *Analogue IC Design: The current-mode approach*,

Peter Peregrinus, London, pp. 415-450, 1990.

7. M. K. Song, Y. M. Lee, and W. C. Kim, "A New Design methodology of second order switched-current filter," in Proc. *IEEE Int. Symp. Circuits Syst.*, pp. 1797-1800, 1991.

8. M. K. Song, Y. M. Lee, and W. C. Kim, "A Clock Feedthrough Reduction Circuit for Switched-Current Systems," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 133-137, Feb. 1993.

9. T. S. Fiez and D. J. Allstot, "CMOS Switched-Current Ladder Filters," *IEEE Journal of Solid-State Circuits*, vol. SC-25, pp. 1360-1367, Dec. 1990.

10. T. Feiz, and D. J. Allstot "Switched-Current Circuits Design Issues," *IEEE Journal of Solid-State Circuits*, vol. SC-26, pp. 192-202, Mar. 1991.



崔庚鎭(Kyung Jin Choi) 準會員
 1967년 6월 18일생
 1993년 2월: 원광대학교 공과대학 전자공학과(공학사)
 1995년 8월: 원광대학교 대학원 전자공학과(공학석사)
 1995년 8월~현재: 원광대학교 대학원 박사과정 재학 중.

※주관심분야: 저전압 저전력 아날로그 시스템



李海吉(Hae Gil Lee) 正會員
 1964년 7월 27일생
 1992년 2월: 원광대학교 공과대학 전자공학과(공학사)
 1994년 2월: 원광대학교 대학원 전자공학과(공학석사)
 1994년 3월~현재: 원광대학교 대학원 박사과정 재학 중.

※주관심분야: 저전압 저전력 아날로그 시스템



辛烘圭(Hong Kyu Shin) 正會員
 1953년 12월 26일생
 1975년 2월: 전북대학교 전기공학과(공학사)
 1980년 8월: 전북대학교 대학원(공학석사)
 1989년 2월: 전북대학교 대학원(공학박사)

1990년 8월~1991년 8월: Ohio State Univ. Post doctoral course

1982년 3월~현재: 원광대학교 공과대학 전자공학과 교수

※주관심분야: 저전압 저전력 아날로그 시스템.