

ATM에 적합한 Banyan 스위치 소자의 성능 개선에 관한 연구

正會員 趙海成*, 金南熹*, 李相泰*, 鄭鎮泰**, 田炳實*

A Study on Performance Improvement of switch element in Banyan network for ATM

Hae-Sung Cho*, Nam-Hee Kim*, Sang-Tae Lee*, Jin-Tae Jurng**,
Byoung-Sil Chon* *Regular Members*

요 약

본 논문에서는 buffered Banyan 네트워크에 적용되는 스위치 소자의 성능을 향상시키는 방안을 제안하고 제안된 스위치 소자의 성능을 측정하여 성능이 향상됨을 보였다. 기존의 buffered Banyan 네트워크의 스위치 소자에 FIFO(First In First Out) 버퍼를 채용하므로써 HOL(Head-Of-Line) 블로킹이 발생하여 네트워크의 성능을 저하시킨다.

제안된 스위치 소자는 기본정보 이외의 보조정보를 이용하여 버퍼를 관리하는 CASO(Contents ASSociated Output)버퍼를 채용하므로써 HOL(Head-Of-Line) 블로킹의 발생을 제거하여 네트워크의 성능을 향상시켰다.

또한, 성능측정을 위하여 buffered Banyan 네트워크의 해석모델인 MY 모델에 근거하여 제안된 네트워크를 해석하였고 이 관계식들을 이용하여 성능을 측정하였다.

ABSTRACT

In this paper, we propose a new switch element of buffered Banyan network and analysis it. The proposed switch element consists of CASO(Contents ASSociated Outputs) buffers, its controller and 2×2 crossbar switch. This switch element increase the performance of buffered Banyan network by removing HOL blocking.

Also, we analyze the proposed switch element by mathematical modelling method based on MY analysis model which is one of earlier proposed models.

*전북대학교 전자공학과

**전북산업대학교 정보통신 공학과

論文番號:96128-0420

接受日字:1996年 4月 20日

I. 서 론

ATM(Asynchronous Transfer Mode)의 유연성있는 전달특성 때문에 ATM은 멀티미디어 통신, 비디오 공유 서비스, LAN 상에서의 interconnection 서비스 등의 B-ISDN(Broadband ISDN)을 실현하는데 적합한 통신 방식으로 채택되었다. 이를 위해 고속 광대역 통신망을 위한 ATM 교환 방식에 대한 연구가 활발히 진행되어 오고 있다. 그 결과 다양한 ATM 교환 네트워크가 제안 되었다¹⁾.

일반적으로 MIN(Multistage Interconnection Network)이 B-ISDN과 ATM에 근거한 통신 시스템에 적합한 네트워크로 평가되고 있다²⁾. 이러한 MIN들 중 Goke와 Lipovski에 의해 제안된 Banyan 네트워크³⁾는 간단한 모듈 구조를 가지고, 하드웨어 레벨에서 셀프 라우팅을 수행하며, 동시·병렬 전송 특성을 가지고 있기 때문에 여러 고속의 교환 시스템에 적용되고 있다.

그러나 Banyan 네트워크는 블로킹 발생으로인해 시스템의 전송율을 감소시킨다. 이러한 블로킹을 해결하기 위한 여러 방법 중 버퍼를 사용하는 방법이 있다⁴⁾.

Banyan 네트워크 내부의 스위치 소자에 버퍼를 설치하는 네트워크를 buffered Banyan 네트워크로 불리고 있다⁵⁾.

Buffered Banyan 네트워크 내부의 스위치 소자에서의 처리율을 감소시키는 가장 큰 요인은 버퍼의 HOL 블로킹이다. FIFO 버퍼는 버퍼의 선두(Head Of Line)에 있는 패킷에게만 라우팅 할 수 있는 기회를 제공함으로써 HOL 블로킹을 유발시키는 원인이 된다. 그러므로 FIFO를 채용한 스위치 소자는 HOL 블로킹이 발생한다. 이를 해결하기 위해 본 논문에서는 buffered Banyan 네트워크의 스위치 소자 내에 FIFO 버퍼를 두지 않고 HOL 블로킹 효과를 감소시킬 수 있는 CASO(Contents ASSociated Output) 버퍼를 채용하고자 한다. CASO 버퍼는 기본 정보 이외의 자체에서 부가하는 보조 정보를 이용하여 셀들을 관리함으로써 버퍼를 효율적으로 이용할 수 있게 한다.

또한 CASO 버퍼를 관리하는 제어기의 제어 알고리즘이 본 논문에서 제안된다. 이 제어기는 HOL 블로킹 효과를 감소시키기 위해 버퍼내의 모든 셀을 상

대로 스위칭을 행하도록 설계된다. 제안된 스위치 소자의 성능을 측정하기 위해서 기존의 해석모델인 MY 모델에⁶⁾ 근거하여 제안된 스위치 소자를 분석하였고 성능을 측정하였다.

본 논문은 2장에서 제안된 스위치 소자를 기술하고 그 특징을 설명한다. 3장에서는 제안된 스위치 소자를 기존의 모델에 근거한 해석을 기술한다. 4장에서 제안된 스위치 소자의 성능을 측정하였고, 측정된 성능을 처리율, 전달지연, 버퍼의 크기등의 측면에서 분석하고, 마지막으로 결론을 맺는다.

II. 제안된 스위치 소자

그림 1은 일반적인 buffered Banyan 네트워크를 보여주고 있다. 이 네트워크는 특별히 셀 손실을 막기 위해서 back-pressure mechanism을 사용하고 있다.

제안된 스위치 소자는 이 buffered Banyan 네트워크의 스위치 소자에 CASO 버퍼를 채용하고 이 버퍼를 관리하기 위한 제어기, 2×2 크로스바 스위치로 구성된다.

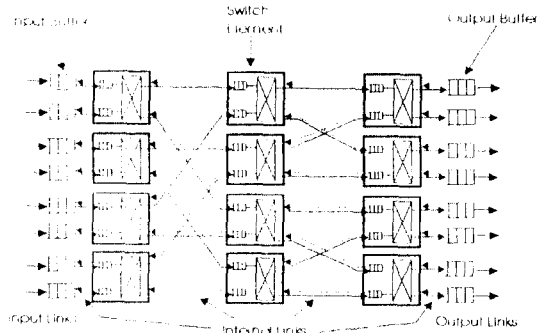


그림 1. Buffered Banyan 네트워크
Fig. 1 Buffered Banyan network

1. 제안된 스위칭 소자의 구조

제안된 스위치 소자의 구성은 그림 2와 같다.

그림 2에서 보는 바와 같이 스위치 소자는 제어기, 2×2 크로스바 스위치, CASO 버퍼 세부분으로 구성되어 있다. 제어기에서는 버퍼 상태정보를 두 버퍼로부터 받아서 충돌방지 처리루틴을 활성화시킨다. 버

퍼 상태정보는 각 출력단으로부터 오는 준비신호와 버퍼우선순위 플래그로 구성된다. 준비신호는 다음단에 있는 버퍼들이 셀들로 꽉 채워져있는지 아닌지를 알려 준다. 충돌방지 처리루틴에서는 다음에 소개하는 출력셀 결정 규칙에 따라서 각 출력버퍼에 보내야 할 셀들을 결정한다.

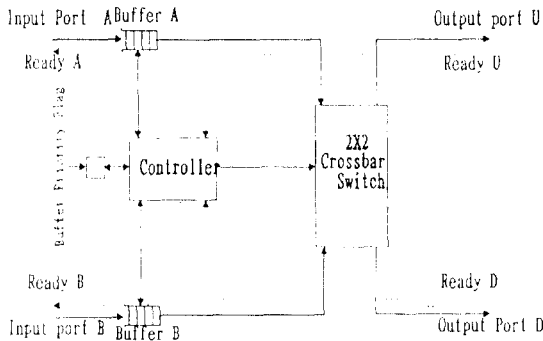


그림 2. CASO-Banyan 네트워크의 스위치 소자
Fig. 2 Switch element of CASO-Banyan network

[출력셀 결정 규칙]

1. 두 출력포트에서 셀을 받아들일 수 있을 경우
 - (a) 두 버퍼에 있는 Head 셀의 출력주소가 다른 경우 양 Head 셀을 출력시킨다.
 - (b) 두 버퍼에 있는 Head 셀의 출력주소가 같은 경우
 - 버퍼우선순위 플래그가 지정하는 버퍼에 있는 Head 셀을 출력시킨다.
 - 버퍼우선순위 플래그가 지정하지 않는 버퍼에서는 Head 셀과 다른 주소를 가진 셀이 있을 경우 그러한 셀 중에서 가장 오래된 셀을 출력단에 출력시킨다.
2. 두 출력포트중 한 출력포트만이 셀을 받아들일 수 있을 경우
 - (a) 버퍼우선순위 플래그가 지정하는 버퍼에 있는 Head 셀의 출력주소가 셀을 받아들일 수 있는 출력포트와 일치할 경우
 - 버퍼우선순위 플래그가 지정하는 버퍼에 있는 Head 셀을 출력시킨다.
 - (b) 버퍼우선순위 플래그가 지정하는 버퍼에 있는 Head 셀의 출력주소가 셀을 받아들일 수 있는 출

력포트와 일치하지 않고 다른 쪽의 버퍼에 있는 Head 셀의 출력주소가 일치할 경우

- 버퍼우선순위 플래그가 지정하지 않는 버퍼에 있는 Head 셀을 출력시킨다.
- (c) 양 버퍼에 있는 Head 셀의 출력주소가 셀을 받아들일 수 없는 출력단인 경우
- i. 두 버퍼들중 하나만이 셀을 받아들일 수 있는 출력과 일치하는 출력주소를 가진 셀을 가지고 있을 경우
 - 그 버퍼에 있는 위의 조건을 만족하는 셀들중에서 가장 오래된 셀을 출력시킨다.
 - ii. 두 버퍼를 모두 셀을 받아들일 수 있는 출력과 일치하는 출력주소를 가진 셀을 가지고 있을 경우
 - 버퍼우선순위 플래그가 지정하는 버퍼에 있는 셀 중에서 위의 조건을 만족하는 가장 오래된 셀을 출력시킨다.
3. 버퍼우선순위 플래그를 0과 1중에서 랜덤하게 선택하여 재시도한다.

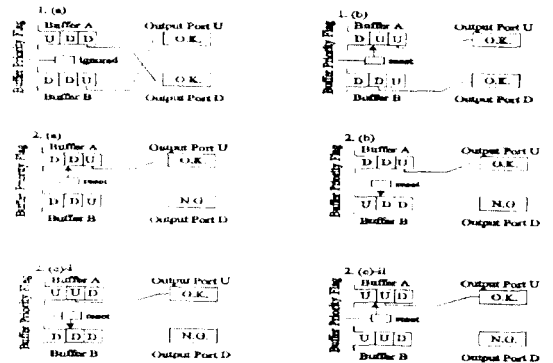


그림 3. 출력셀 결정규칙의 예
Fig. 3 An example of output cell decision rule

그림 3은 위에서 설명한 출력셀 결정규칙을 상황별로 예를 보여주고 있다.

충돌방지루틴은 출력셀 결정규칙에 의해 결정된 셀을 2x2 크로스바 스위치로 출력시킨다. 2x2 크로스바 스위치는 제어기의 제어하에 결정된 출력단에 셀들을 출력시킨다.

2. CASO 버퍼의 구현

위에서 제안한 스위치 내부에 있는 CASO 버퍼는 다음과 같은 기능을 갖추어야 한다.

- 셀들을 출력시키고 보관할 수 있어야 한다.
- 버퍼 내에서 기다리고 있는 셀들의 경로배정 정보로부터 버퍼 상태정보를 생성하고 출력시켜야 한다.
- 충돌방지 처리루틴에 의해 지시된 셀을 찾고 출력시켜야 한다.

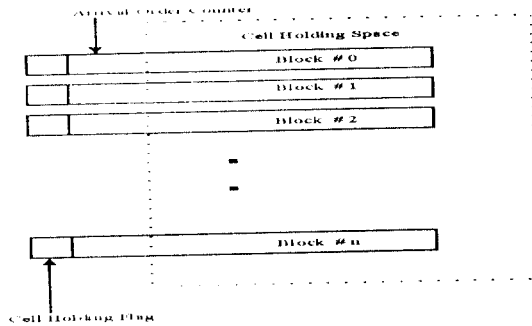


그림 4. CASO 버퍼의 구조
Fig. 4 The structure of CASO buffer

그림 4에서 셀 저장공간은 각각 한 셀을 저장할 수 있는 블록들로 나뉘어진다. 각 블록에 셀 저장 플래그와 도착순서 카운터가 제공된다. 셀 저장 플래그는 그 블록이 셀을 저장하고 있는지 아닌지를 알려주는 역할을 한다.

도착순서 카운터는 버퍼에 들어있는 셀들 중에서 상응하는 블록에 있는 셀에 대한 도착순서를 알려준다. 한 셀이 버퍼에 들어올때 이셀은 셀이 들어있지 않은 블록에 저장되고 그 블록의 셀 저장 플래그를 세트시킨다. 이 과정이 끝나면 다른 도착순서 카운터를 1씩 증가시킨다.

셀이 버퍼로 부터 나갈때 도착순서 카운터가 현 도착순서 카운터보다 클때 각 도착순서 카운터를 1씩 감소시킨다. 이 과정후 셀이 나간 블록의 셀저장 플래그를 리셋 시키고 이 블록의 도착순서 카운터를 제거한다.

도착순서 카운터의 위 기능은 버퍼의 어느 위치에 있는 셀을 출력시키도 셀 도착순서를 유지할 수 있도록 한다. 그 버퍼의 HOL 셀은 셀 도착순서 카운터 값이 제일 큰 셀과 같다. 버퍼 상태 정보는 셀 도착순서

카운터, 셀 저장 플래그, 셀 경로 정보를 살펴봄으로써 쉽게 만들 수 있다.

III. 제안된 스위치 소자의 해석

본 장에서는 앞에서 제안된 스위치 소자를 채용한 네트워크를 buffered Banyan 네트워크의 해석모델인 MY 모델을 기반으로하여 분석하였다.

제안된 스위치 소자를 해석하는데 사용되는 확률 변수의 정의는 다음과 같다.

$P_0(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 비어있을 확률.

$P_n(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 정상적인 상태(Normal state)에 있을 확률.

$P_b(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 블로킹 상태(Blocking state)에 있을 확률.

$P_{ni}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 i 개의 패킷을 가지고 있고 정상적인 상태에 있을 확률.

$P_{bi}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 i 개의 패킷을 가지고 있고 블로킹 상태에 있을 확률.

$q(k, t)$: 주어진 시간 t 의 시작점에서 한 패킷이 SE(k)에 도달할 준비가 될 확률.

$r_n(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 정상적인 상태의 버퍼모듈에 있는 어느 한 패킷이 앞단으로 움직일 수 있을 확률.

$r_{nb}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 정상적인 상태의 버퍼모듈에 있는 어느 한 패킷이 요구한 출력단을 얻을 수 있을 확률. 단, 다른 경쟁상태의 버퍼상태가 블로킹 상태일 때 그 버퍼모듈은 정상적인 패킷이 요구한 출력단과 다른 출력단을 요구하고 있어야 한다.

$r_{nb}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 정상적인 상태의 버퍼모듈에 있는 어느 한 패킷이 블로킹 상태에 있는 경쟁상태의 버퍼모듈과 경쟁에서 이겨 요구한 출력단을 얻을 수 있을 확률.

$r_b(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 블로킹 상태의 버퍼모듈에 있는 어느 한 패킷이 앞단으로 움직일 수 있는 확률.

$r_{bn}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 블로킹 상태의 버퍼모듈에 있는 어느 한 패킷이 정상적인 상태에 있는 경쟁상태의 버퍼모듈과 경쟁에서 이겨 요구한 출력단을 얻을 수 있을 확률.

$r_{bb}(k, t)$: 주어진 시간 t 의 시작점에서 경쟁상태의 버퍼모듈은 블로킹 상태에 있을 때, SE(k)에 있는 블로킹 상태의 버퍼모듈에 있는 어느 한 패킷이 앞단으로 움직일 수 있는 확률.

$P^{na}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 패킷을 확보할 수 있는 빈 영역이 있을 확률. 단, 이 버퍼모듈에 연결된 SE(k-1)에 있는 버퍼모듈의 상태는 블로킹 상태가 아니어야 한다.

$P^{ba}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 패킷을 확보할 수 있는 빈 영역이 있을 확률. 단, SE(k-1)에 있는 버퍼모듈 중에 오직 한 개의 블로킹 상태에 있는 버퍼모듈만이 이 버퍼모듈에 연결되어 있어야 한다.

$P^{bba}(k, t)$: 주어진 시간 t 의 시작점에서 SE(k)에 있는 버퍼모듈이 패킷을 확보할 수 있는 빈 영역이 있을 확률. 단, SE(k-1)에 있는 버퍼모듈 중에 한 개의 블로킹 상태에 있는 버퍼모듈이 이 버퍼모듈에 연결되어 있어야 하고, 또 다른 하나의 버퍼모듈의 상태 또한 블로킹 상태에 있어야 한다.

$T(k, t)$: 주어진 시간 t 의 끝에서 SE(k)의 입력단이 어느 한 패킷을 받을 수 있을 확률. 즉, 어느 한 패킷이 SE(k-1)의 출력포트로 부터 전달되는 확률.

위에서 정의에 의해 다음과 같은 관계식을 얻을 수 있다.

$$P_n(k, t) = \sum_{i=1}^m P_{ni}(k, t)$$

$$P_b(k, t) = \sum_{i=1}^m P_{bi}(k, t)$$

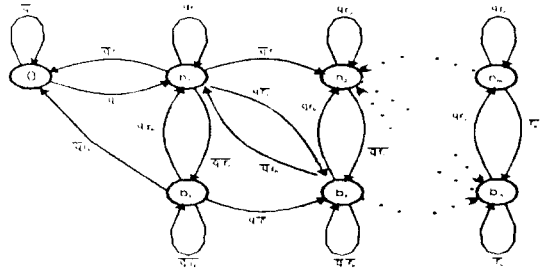


그림 5. CASO 버퍼의 상태전이도
Fig. 5 State transition diagram of CASO buffer

그림 5에서 보인 상태전이도로 부터 아래와 같은 관계식을 얻을 수 있다.

$$P_0(k, t+1) = \{1 - g(k, t)\} P_0(k, t) + r_n(k, t) P_{n1}(k, t) + r_n(k, t) P_{b1}(k, t);$$

$$P_{n1}(k, t+1) = q(k, t) P_0(k, t) + q(k, t) r_n(k, t) P_{n1}(k, t) + q(k, t) r_b(k, t) P_{b1}(k, t) + \{1 - q(k, t)\} \{r_n(k, t) P_{n2}(k, t) + r_b(k, t) P_{b3}(k, t)\};$$

$$P_{b1}(k, t+1) = \{1 - q(k, t)\} \{1 - r_n(k, t) P_{n1}(k, t) + \{1 - r_b(k, t)\} P_{b1}(k, t)\};$$

$$P_{nm}(k, t+1) = q(k, t) r_n(k, t) P_{nm}(k, t) + q(k, t) r_b(k, t) P_{b1}(k, t) + \{1 - q(k, t)\} r_n(k, t) P_{b(i-1)}(k, t) + \{1 - q(k, t)\} r_b(k, t) P_{b(i-1)}(k, t);$$

$$P_{b1}(k, t+1) = \{1 - q(k, t)\} \{1 - r_n(k, t) P_{n1}(k, t) + \{1 - r_b(k, t)\} P_{b1}(k, t) + \{1 - r_n(k, t)\} q(k, t) P_{b(i-1)}(k, t) + \{1 - r_b(k, t)\} q(k, t) P_{b(i-1)}(k, t)\};$$

$$P_{nm}(k, t+1) = q(k, t) r_n(k, t) P_{nm}(k, t) + q(k, t) r_{bn}(k, t) P_{bnm}(k, t);$$

$$P_{bnm}(k, t+1) = \{1 - r_n(k, t)\} P_{nm}(k, t) + \{1 - r_n(k, t)\} q(k, t) P_{b(m-1)}(k, t) + \{1 - r_b(k, t)\} q(k, t) P_{b(m-1)}(k, t);$$

다음은 rn과 rb를 구하기 위한 과정들이다.

$$\begin{aligned}
 r_{nm}(k, t) &= P_0(k, t) + \sum_{i=1}^m \left\{ 1 - \left(\frac{1}{2}\right)^{i-1} \right\} P_{ni}(k, t) \\
 &+ 0.75 \sum_{i=1}^m \left(\frac{1}{2}\right)^{i-1} P_{ni}(k, t) + 0.5 P_b(k, t) \\
 &= P_0(k, t) + P_{ni}(k, t) - 0.25 \sum_{i=1}^m \left(\frac{1}{2}\right)^{i-1} P_{ni}(k, t) \\
 &+ 0.5 P_b(k, t)
 \end{aligned}$$

$$\begin{aligned}
 r_{nb} &= 0.25 P_b(k, t) \\
 r_{bn} &= P_0(k, t) + P_n(k, t) - 0.25 \sum_{i=1}^m \left(\frac{1}{2}\right)^{i-1} P_{ni}(k, t) \\
 r_{bb}(k, t) &= 0.75 P_b(k, t)
 \end{aligned}$$

경계조건에 의해서 다음 식을 구할 수 있다.

$$\begin{aligned}
 r_n(n, t) &= r_{nn}(k, t) + r_{nb}(k, t) \\
 r_b(n, t) &= r_{bn}(n, t)
 \end{aligned}$$

p^{ba} 와 p^{na} 를 구하면 다음과 같다.

$$\begin{aligned}
 p^{ba}(k, t) &= T(k, t-1) A \\
 &+ \{1 - T(k, t-1)\} \frac{P_{bm}(k, t) r_b(n, t)}{P_{bm}}
 \end{aligned}$$

$$\begin{aligned}
 p^{na}(k, t) &= T(k, t-1) A \\
 &+ \{1 - T(k, t-1)\} B
 \end{aligned}$$

$$\begin{aligned}
 A &= \frac{\sum_{i=1}^{m-1} P_{ni}(k, t) + \sum_{i=2}^{m-1} P_{bi}(k, t)}{1 - P_0(k, t) - P_{b1}(k, t)} \\
 &+ \frac{P_{nm}(k, t) r_n(k, t) + P_{bm}(k, t) r_b(k, t)}{1 - P_0(k, t) - P_{b1}(k, t)}
 \end{aligned}$$

$$\begin{aligned}
 B &= \frac{P_0(k, t) + \sum_{i=1}^{m-1} P_{ni}(k, t)}{1 - P_{nm}(k, t)} \\
 &+ \frac{\sum_{i=1}^{m-1} P_{bi}(k, t) + P_{bm}(k, t) r_b(k, t)}{1 - P_{nm}(k, t)}
 \end{aligned}$$

위의 관계식들로부터 r_n 과 r_b 를 구하면 아래와 같다.

$$\begin{aligned}
 r_n(k, t) &= r_{nn}(k, t) P^{na}(k+1, t) + r_{nb}(k, t) P^{ba}(k+1, t) \\
 &(1 \leq k \leq n-1)
 \end{aligned}$$

$$\begin{aligned}
 r_b(k, t) &= r_{bn}(k, t) P^{ba}(k+1, t) + r_{bb}(k, t) P^{bba}(k+1, t) \\
 &(1 \leq k \leq n-1)
 \end{aligned}$$

SE(k)의 입력단의 출력을 $T(k, t)$ 는

$$\begin{aligned}
 T(k, t) &= P_n(k-1, t) r_n(k-1, t) \\
 &+ P_b(k-1, t) r_b(k-1, t) \quad (2 \leq k \leq n) \\
 &+ q(k, t) \{ \overline{P(k, t)} + P_{nm}(k, t) r_n(k, t) \\
 &+ P_{bm}(k, t) r_b(k, t) \} \quad (1 \leq k \leq n)
 \end{aligned}$$

이고, $q(k, t)$ 는 다음과 같이 구할 수 있다.

$$\begin{aligned}
 q(k, t) &= \frac{T(k, t)}{P(k, t) + P_{nm}(k, t) r_n(k, t) + P_{bm}(k, t) r_b(k, t)} \\
 &(1 \leq k \leq n)
 \end{aligned}$$

$$\overline{P(k, t)} = 1 - P_{nm}(k, t) - P_{bm}(k, t)$$

시스템 전체의 출력율은

$$T(n, t) = P_n(n, t) r_n(n, t) + P_b(n, t) r_b(n, t)$$

이고, 평균 지연은 Little의 공식을 이용하여 구할 수 있다.

$$D(k) = \lim_{t \rightarrow \infty} \frac{\sum_{i=1}^m i \{ P_{ni}(k, t) + P_{bi}(k, t) \}}{T(k, t)}$$

IV. 제안된 스위치 소자의 성능측정

본 장에서는 제안된 스위치 소자를 채용한 네트워크의 성능을 측정하고 그 결과를 분석한다. 제안된 스위치 네트워크의 성능을 측정하는데 적용한 몇가지 기본적인 사항을 기술하면 다음과 같다.

- 각 패킷의 목적지 주소는 랜덤 생성기에 의해 랜덤하게 선택된다.
- 각 패킷의 목적지 주소는 균일하게 분포되도록

선택된다.

- 각 입력단에 패킷이 도착할 확률은 모든 입력단에 대해 같다.
- 같은 스위치 소자에 있는 두 버퍼는 확률적으로 독립이다.

앞 장에서 언급한 수학적 분석의 관계식에 위의 가정을 적용하여 다음과 같은 계산 순서에 따라 정상상태(steady state)까지 반복하여 결과를 얻었다.

[계산 순서]

- 1) 초기 조건 : $t=0$ 일때, 입력부하 $q(1, 0)$ 를 입력하고, $P_0(k, 0)$ ($1 \leq k \leq n$)는 모두 1로 세트시킨다. 모든 다른 파라미터는 모두 0으로 세트시킨다.
- 2) $t=t+1$.
- 3) $P_n(k, t), P_b(k, t), P_0(k, t)$ ($1 \leq k \leq n$)를 구한다.
- 4) $r_{nn}(k, t), r_{nb}(k, t), r_{bn}(k, t), r_{bb}(k, t)$ ($1 \leq k \leq n$)를 구한다.
- 5) $r_n(k, t), r_b(k, t)$ ($1 \leq k \leq n$), $P^{na}(k, t), P^{ba}(k, t), P^{bb}(k, t)$ 마지막단에서(Stage n)부터 첫번째 단으로 순차적으로 구한다. 각 단계 대하여, $r_n(k, t), r_b(k, t)$ 는 $P^{na}(k, t), P^{ba}(k, t), P^{bb}(k, t)$ 를 계산하기 전에 먼저 계산한다.
- 6) $T(k, t), q(k, t)$ ($2 \leq k \leq n$)를 계산한다.
- 7) 출력율과 평균지연을 계산한다.
- 8) 정상상태에 도달할 때까지 2)에서 7)번을 반복한다.

64×64 buffered Banyan 네트워크에 대하여 위의 계산 순서에 따라서 얻어진 결과를 도표로 표시하였다.

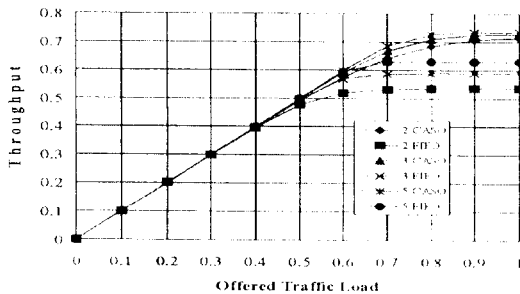


그림 6. Banyan 네트워크의 처리율
Fig. 6 Throughput of Banyan network

그림 6은 버퍼크기에 따른 Banyan 네트워크의 처리율을 나타내고 있다. 입력 부하가 0.5이상일 때 CASO 버퍼의 네트워크 처리율이 FIFO 버퍼 네트워크의 처리율 보다 향상되었음을 보이고 있다. 또한 채널 처리율이 아주 작은 구간인 전형적인 증가구간도 CASO 버퍼의 네트워크가 0.6 이상으로 FIFO 버퍼의 네트워크 보다 우수함을 알 수 있다.

그림 7은 버퍼크기가 다른 Banyan 네트워크의 입력 부하에 따른 평균 지연을 시스템 cycle의 수로 나타내고 있다. 이 그래프에서 CASO 버퍼 네트워크의 평균 지연이 FIFO 버퍼를 가진 네트워크의 평균 지연보다 입력부하가 커짐에 따라 더 향상됨을 알 수 있다.

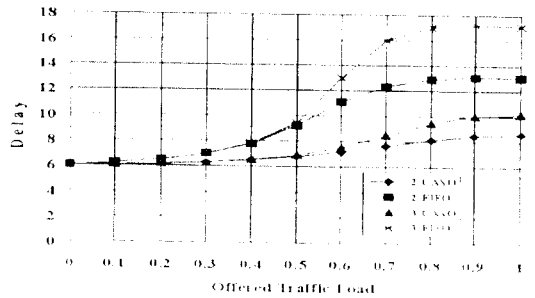


그림 7. Banyan 네트워크의 전달지연
Fig. 7 Delay of Banyan network

또한, CASO 버퍼 네트워크의 평균지연은 버퍼의 크기 변화에 따라 변동이 작으나 FIFO 버퍼 네트워크의 경우는 매우 큼을 보이고 있다. 이는 CASO 버퍼 네트워크는 버퍼의 크기와 평균지연은 작은 상관 관계를 가지고 있음을 유추할 수 있다.

그림 8은 입력 부하가 0.8, 0.9, 1.0일때 버퍼 크기에 대한 처리율을 나타낸 그래프이다. 이 그래프는 CASO 버퍼 네트워크에서는 버퍼 크기가 5정도에서 수렴하여 더 이상 증가하지 않는 반면에 FIFO 버퍼 네트워크에서는 버퍼 크기가 10까지 계속 증가 추세를 보이고 있다.

이 결과는 제안된 스위치 소자를 채용한 네트워크의 경우 버퍼 크기를 5이하로 하여 네트워크를 관리할 수 있어 모든 면에서 상당한 이점이 있을 것이다. 그러나 기본적으로 네트워크 자체가 안고 있는 처리율의 한계로 인해 그 한계를 극복할 수는 없음을 위

그래프는 보여주고 있다.

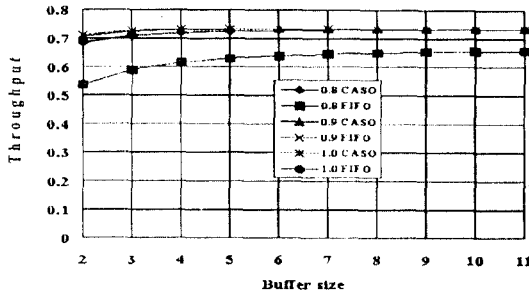


그림 8. 버퍼크기에 따른 Banyan 네트워크의 처리율
Fig. 8 Throughput of Banyan network for offered load

V. 결 론

본 논문에서는 기존의 buffered Banyan 네트워크의 스위치 소자를 제안하고 이 제안된 스위치 소자를 기존의 해석 방법에 근거하여 수학적으로 해석하였다. 이 수학적 해석의 관계식을 이용하여 전체 시스템의 성능을 측정하였다.

Buffered Banyan 네트워크의 가장 큰 단점인 FIFO 버퍼에서 발생하는 HOL 블로킹을 제거하기 위해 기존의 스위치 소자에서 채용한 FIFO 버퍼 대신에 CASO 버퍼를 채용함으로써 네트워크의 처리율을 향상시켰다. 또한 스위치 소자가 CASO 버퍼를 채용함으로써 이를 관리하는 버퍼 관리기나 스위치 제어기 모두 CASO 버퍼를 관리하는데 적합하도록 설계되었다.

측정된 성능은 기존의 FIFO 버퍼를 채용한 네트워크 보다 처리율 면에서 10% 이상의 향상을 하였고 전달 지연, 적절한 버퍼의 크기 면에서도 상당한 향상을 보였다.

제안된 스위치 소자의 단점을 보완하기 위해서 앞으로 다양한 입력부하에서의 제안된 스위치 소자의 성능을 분석해야 하고 불규칙한 전달지연 문제를 해결하기 위해서 전달지연의 확률적인 분포를 해석해야 한다.

참 고 문 헌

1. H. Ahmadi and W. E. Denzel, "A survey of mod-

ern high performance switching techniques," *IEEE J. Select. Areas Commun.*, vol. 7, no. 7, pp. 1091-1103, 1989.

2. CCITT Recommendation I.121, "Broad-band aspects of ISDN," Blue Book, vol. III. 7, Geneva, Switzerland, 1989.

3. L. R. Goke and G. J. Lipovski, "Banyan network for partitioning multiprocessor systems," in *Proc. 1st annu. Int. Symp. Computer Architecture*, Dec. 1973, pp. 21-28.

4. M. G. Hluchyj and M. J. Karol, "Queuing in high-performance packet switching," *IEEE J. Select. Areas Commun.*, vol. 6, no. 9, Dec. 1988, pp. 1587-1597.

5. H. Y. Youn and Y. S. MUN, "Performance analysis of finite buffered multistage interconnection networks," *IEEE Trans. Comput.*, vol. 43, no. 2, Feb. 1994, pp. 153-162.

6. J. S. Turner, "Design of a broadband packet switching network," in *Proc. INFOCOM'86*, Apr. 1986, pp. 667-675.

7. J. J. Kulzer and W. A. Montgomery, "Statistical switching architecture for future services", in *Proc. ISS'84*, Florence, Italy, May 1984, pp. 43A.4.1-43A.1.6.

8. Y. S. Yeh, M. G. Hluchyj, and A. S. Acampora, "The knockout switch: A simple, Modular architecture for high-performance packet switching", *IEEE J. Select. Areas Commun.*, vol. SAC-5, pp. 1274-1283, Oct. 1987.

9. A. Haung and S. Knauer, "Starlite: A wideband digital switch" in *Proc. IEEE GLOBECOM '84*, pp. 121-125.

10. Lee, T. T. "Non-blocking Copy Networks for Multicast Packet Switching," *IEEE Journal on selected Areas of Communication*, Vol. 6, No. 9, 1988.

11. Y. C. Jenq, "Performance analysis of a packet switch based on single-buffered banyan network," *IEEE Journal on selected Areas of Communication*, vol. SAC-3, pp. 1014-1021, Dec. 1983.

12. H. S. Yoon, K. Y. Lee and M. T. Liu, "Perform-

ance analysis of multibuffered packet-switching networks in multiprocessor systems," *IEEE Trans. Comput.*, vol. c-39, pp. 319-327, Mar. 1990.

趙海成(Hae-Sung Cho) 정회원

1971년 10월 18일

1994년: 전북대학교 전자공학과 졸업

1996년: 전북대학교 대학원 전자 공학과 졸업(공학석사)

※주관심분야: 광대역통신망, ATM 스위칭

金南熹(Nam-Hee Kim)

정회원

현재: 전북대학교 전자공학과 박사과정
제 20권 제 6호 참조

李相泰(Sang-Tae Lee)

정회원

현재: 전북대학교 전자공학과 박사과정
제 20권 제 6호 참조

鄭鎭泰(Jin-Tae Jurng)

정회원

현재: 전북산업대학교 정보통신공학과 신입
제 10권 9호 참조

田炳實(Byoung-Sil Chon)

정회원

현재: 전북대학교 전자공학과 교수
제 20권 제 6호 참조