

디지털 지연동기루프의 설계 및 구현

正會員 박형근*, 김성철*, 차균현**

Design and Implementation of Digital Delay Locked Loop

Hyung-Kun Park*, Seong-Cheol Kim*, Kyun-Hyon Tchah* *Regular Members*

※이 논문은 한국과학재단 연구비 지원에 의한 결과임(과제번호: KOSEF 91-0100-10-01-3)

요 약

본 논문에서는 디지털 지연동기루프를 설계하고 분석하였다. 또한 이의 구현과 실험을 통하여 동기추적이 이루어짐을 확인하였다. 설계된 디지털 DLL은 기존 아날로그 DLL에서 가장 큰 문제점이 되었던 조·만 상관채널간의 이득 불균형 문제를 완벽히 해결하였으며, 잡음레벨 제한과 잡음상쇄 효과를 통해 매우 우수한 잡음 성능을 보였다. 설계한 시스템의 각종 파라미터들이 시스템 성능에 미치는 영향을 분석하였으며 시뮬레이션을 통해 이를 확인하였다. 본 논문은 부호추적 루프의 디지털화를 처음으로 시도한 것으로서 앞으로의 대역확산통신의 연구에 있어 좋은 자료가 될 것으로 기대된다.

ABSTRACT

In this paper, Digital Delay Locked Loop(DDLL) is designed, implemented and analysed by experiment whose results show that it is possible to track the received signal by this scheme. Designed digital DLL has an advantage that it is not needed to maintain gain balance between early and late channels, which has been a problem with an analog DLL. Also DDLL has more improved noise performance compared to analog DLL due to noise level limitation and noise cancellation characteristics. For various loop parameters, their effects on loop performance are analysed and simulated. Proposed DDLL is the first attempt as a digital approach in code tracking loop and it is expected to be a good reference for spread spectrum communication research.

I. 서 론

대역확산 시스템(Spread Spectrum System)은 정보의 보안유지 및 주파수 이용 효율면에서 우수한 특성을 가지기 때문에, 현재 이동통신에서 대규모 가입자 수용을 위한 방법의 일환으로서 연구되고 있으며, 곧 상용화가 이루어질 것으로 보인다.

*고려대학교 전자공학과
論文番號: 95339-0929
接受日字: 1995年 9月 29日

대역확산 시스템은 데이터 전송을 위해 필요한 주파수 대역폭 보다 훨씬 큰 대역폭을 사용하는 시스템으로, 데이터신호의 대역폭보다 훨씬 큰 대역폭을 갖고 데이터신호와 독립적인 성격을 갖는 PN(Pseudo Noise)부호를 이용한 대역 확산 및 역확산으로 이루어진다. 송신기에서 확산된 신호를 역확산 하기 위해선 수신기에서의 확산부호와의 정확한 동기유지가 필수적이며, 얼마만큼 안정되고 정확한 동기를 이루느냐가 시스템 성능을 좌우하는 중요한 요소가 된다. 일반적으로 확산부호의 동기과정은 동기획득(acquisition)과정과 동기추적(tracking)과정으로 구분된다. 동기획득과정은 수신된 확산부호와 수신기의 역확산 부호를 한 칩 이내의 위상오차로 대략적인 동기를 맞추는 과정이고, 동기추적은 한 칩 이내로 맞추어진 두 부호의 보다 정확한 동기를 획득하고 이를 유지하는 과정이다.

동기추적을 위해 이용되는 대표적인 방법으로는 지연동기루프(DLL)와 타우진동루프(TDL)가 있다. 기존의 아날로그 방식 지연동기루프의 가장 큰 난점은 두 상관 채널간의 이득을 정확하게 유지해야 한다는 데 있다. 이러한 난점을 해결하기 위해 이용되는 다른 방법이 타우진동루프이며 이 방법에서는 한 개의 상관기만을 이용하기 때문에 DLL의 단점을 해결할 수 는 있지만 잡음성능면에서 약 3dB정도의 성능저하를 보인다.

본 논문에서는 위와 같은 아날로그 DLL의 단점을 보완하고, 성능향상을 이루기 위해 아날로그 DLL의 디지털화를 시도하였다. 설계한 DDLL의 구조 및 동작특성을 설명하였고, DDLL의 각종 시스템 파라미터들이 시스템의 성능에 미치는 영향을 분석하였으며 시뮬레이션과 이의 구현을 통해 그 결과를 입증하였다.

II. 디지털 지연동기루프의 이론적 고찰

이 장에서는 디지털 지연동기루프의 시스템 구조 및 동작특성에 대한 이론적인 분석을 다루었다. 루프의 앞 단에서 신호 반송파(carrier)의 동기가 완벽하게 이루어졌다고 가정하였고, 여기서는 기저대역(baseband) 시스템에 대해서만 고찰하였다.

2.1 디지털 지연동기루프

그림 1은 디지털 지연동기루프의 블럭도이다. 수신된 신호는 조(early) 채널과 만(late) 채널로 분기되고 각각은 PN 칩율의 M배의 주파수를 갖는 마스터 클럭에 의해 구동되는 샘플러에 의해 샘플링 되고, 샘플링된 데이터는 비교기를 거쳐 +1과 -1의 부호정보를 갖는 로직 신호로 전환된다. 한편 국부 기준 PN 신호에 대해 일정한 시간만큼 진전되고 지연된 두 PN 신호 역시 마찬가지로 각각 조 채널과 만 채널로 입력되어 샘플링되고 비교기를 거쳐 로직 신호로 전환된다. 수신 로직 신호와 국부 로직 신호는 곱셈기에 입력되어 두 신호의 부호가 일치하면 +1의 값을 갖고 일치하지 않으면 -1의 값을 갖게 된다. D/A변환기의 입력은 조·만 채널 각각의 곱셈기 출력의 차(difference)로서 +2, 0, -2의 세 가지 값을 갖는 디지털 신호이고 이 신호는 VCO를 구동하기에 적당한 아날로그 신호로 변환된다. VCO 출력은 계수기(counter)로 입력되어 계수기 클럭으로 사용되고 M만큼 계수될 때마다 국부 PN 부호발생기로 한 개의 클럭이 입력된다. 이러한 과정을 거쳐 발생된 국부 기준 PN 신호는 수신된 확산신호의 역확산을 위해 이용된다.

아날로그 지연동기루프가 신호 전력레벨의 상관으로부터 위상정보를 얻는 반면 디지털 지연동기루프는 신호의 부호(sign) 상관으로부터 위상정보를 얻기 때문에 아날로그 시스템에서 요구되는 조 만 상관채널간의 이득균형유지가 불필요하다는 장점을 갖는다.

그림 2는 국부 PN 신호의 발생과정을 보인 것이다. 그림 2는 조(early) 신호와 만(late) 신호는 기준 정(punctual) 신호와 반 칩씩 차이가 나도록 발생되고, 마스터 클럭이 10번 발생할 때마다 칩 한 개가 발생하는 경우에 대해 그린 것이다. 그림과 같이 조·만 PN 부호가 기준 정 부호와 각각 반 칩씩 차이가 나는 경우를 1-Δ루프라 한다. 본 논문의 모든 예는 1-Δ루프에 대하여 기술하였다. 그림의 수신기 마스터 클럭에서 클럭 비트주기가 작은 것은 D/A 변환기 입력이 +2일때에 해당하는 것으로 중심주파수로 부터 일정한 양 D_r 만큼 빠른 주파수를 갖고, 클럭 비트주기가 큰 것은 D/A 변환기 입력이 -2일때에 해당하는 것으로 중심주파수 보다 D_r 만큼 느린 주파수를 갖는다. D/A 변환기 입력이 0일때는 마스터 클럭은 중심주파수를 갖는다.

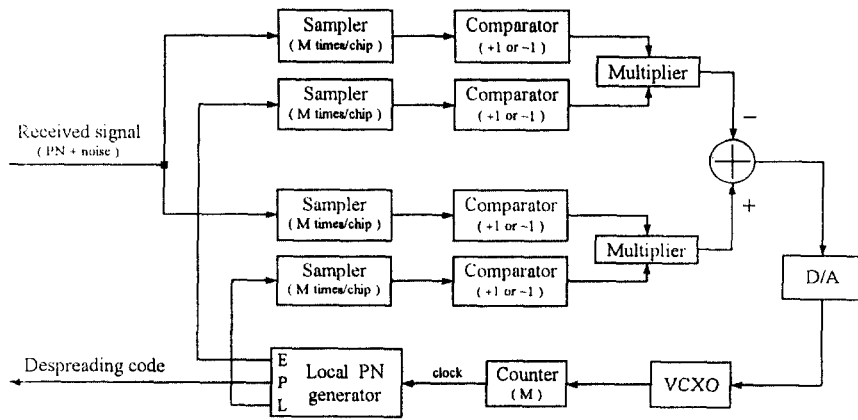


그림 1. 디지털 지연동기루프의 블럭도
Fig. 1 Block diagram of digital delay locked loop

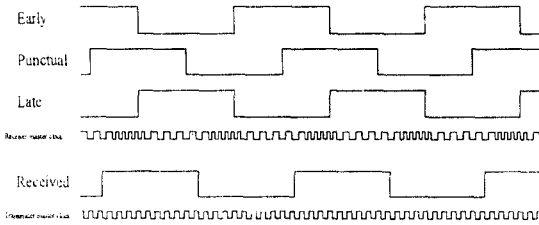


그림 2. 국부 PN 부호의 발생도
Fig. 2 Timing diagram of local PN code generation

2.2 잡음레벨 제한과 잡음상쇄 효과

본 논문의 디지털 지연동기루프는 잡음레벨 제한 및 잡음상쇄 효과를 갖는다.

(1)잡음제한 효과

DDLL의 조·만 상관채널 각각의 출력은 샘플된 데이터의 부호에만 관계된다. 따라서, 수신되는 신호에 부가되는 잡음중 신호진폭보다 작은 레벨의 것은 잡음으로서의 효과를 갖지 못한다. 즉, 신호크기인 $+\sqrt{P}$ 보다 작은 잡음과 $-\sqrt{P}$ 보다 큰 잡음은 수신 PN 신호의 부호를 변화시키지 않으므로 잡음으로 작용하지 못한다.

(2)잡음상쇄 효과

Early신호 비교기와 Late신호에서 발생하는 오류의 갯수가 동일할 경우 PN 부호의 주파수에는 아무런 변화가 없으며, 양단의 오류발생 갯수의 차(difference)만이 PN 부호 위상오류의 원인으로 작용하게 된다.

2.3 시스템 방정식

그림 3는 그림 1의 디지털 지연동기루프의 등가 블럭도를 그린 것이다. 그림 3의 등가회로로부터

$$\epsilon_E[\delta(nT_s)] = \text{sgn} \left\{ \left[\sqrt{P}c(nT_s - T_d) + N(nT_s) \right] \times c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_c) \right\} \quad (1.a)$$

$$\epsilon_L[\delta(nT_s)] = \text{sgn} \left\{ \left[\sqrt{P}c(nT_s - T_d) + N(nT_s) \right] \times c(nT_s - \hat{T}_d - \frac{\Delta}{2} T_c) \right\} \quad (1.b)$$

이고, 여기서

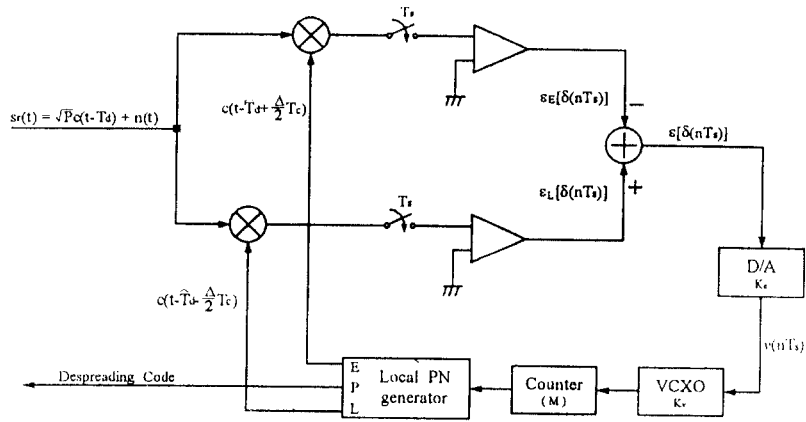
$$\delta(nT_s) = \frac{T_d(nT_s) - \hat{T}_d(nT_s)}{T_c}$$

T_c = 칩 주기

T_d = 수신된 신호의 지연

\hat{T}_d = 수신기의 수신신호 지연 추정치

$n = 0, 1, 2, 3, \dots$



$K_c = D/A \text{ gain}$
 $K_v = VCO \text{ gain (Hz/volt)}$
 $M = \text{Counter constant}$

그림 3. 디지털 지연동기루프의 등가 블럭도
 Fig. 3 Equivalent block diagram of digital delay locked loop

이다. VCXO를 구동하기 위한 위상정보 신호는 다음과 같이 식(1)의 두 신호의 차로써 정의된다.

$$\epsilon[\delta(nT_s)] = \epsilon_L[\delta(nT_s)] - \epsilon_E[\delta(nT_s)] \quad (2)$$

디지털 지연동기 루프의 평균적인 동작 특성은 식(2)의 평균값에 의해 결정된다. 즉 루프의 위상판별기 곡선은 다음과 같이 식(2)의 평균으로 정의된다.

$$D_\Delta[\delta(nT_s)] = E\{\epsilon[\delta(nT_s)]\} \quad (3)$$

이때 식(1)로부터

$$\begin{aligned} E\{\epsilon_E[\delta(nT_s)]\} &= E\left\{ \text{sgn}\left\{ [\sqrt{P}c(nT_s - T_d) + N(nT_s)] \right. \right. \\ &\quad \left. \left. \cdot c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_c) \right\} \right\} \\ &= E\left\{ \text{sgn}\left\{ [\sqrt{P}c(nT_s - T_d) + N(nT_s)] \right. \right. \\ &\quad \left. \left. \cdot \text{sgn}\left[c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_c) \right] \right\} \right\} \end{aligned}$$

$$\begin{aligned} &= \frac{1}{MNT_s} \sum_{n=0}^{MN} \text{sgn}[\sqrt{P}c(nT_s - T_d) \\ &\quad + N(nT_s)] \cdot c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_c) \quad (4) \end{aligned}$$

여기서, N은 n단 PN 발생기에 대해 $N = 2^n - 1$ 로 정의되는 PN 부호 주기이고 M은 칩당 샘플링 갯수이며, T_s 는 샘플링 주기이다. M을 매우 크게 하면 아날로그 근사화가 가능하며 이때 식(4)는 다음과 같이 쓸 수 있다.

$$\begin{aligned} E\{\epsilon_E[\delta(t)]\} &= \frac{1}{T} \int_T \text{sgn}[\sqrt{P}c(nT_s - T_d) + N(nT_s)] \\ &\quad \cdot c(nT_s - \hat{T}_d + \frac{\Delta}{2} T_c) dt \quad (5) \end{aligned}$$

이제, 수신 PN 부호와 국부 PN 부호 사이의 교차상관에 대해 살펴보도록 하자. 비교기를 거친 수신부호와 국부부호의 교차상관은 다음과 같이 정의된다.

$$R_{\alpha}(\tau) = \frac{1}{T} \int_T \text{sgn}[\sqrt{P}c(t) + N(t)] \cdot \text{sgn}[\sqrt{P}c(t - \tau)] dt \quad (6)$$

여기서, $T=2^N-1$ 는 N 단 PN발생기의 부호 주기가 고, $\sqrt{P_L}$ 은 국부 PN 부호의 칩 진폭이다.

$$\begin{aligned} &\text{이때 } \text{sgn}[\sqrt{P}c(t) + N(t)] = c(t)[1 - 2Q(\sqrt{P})] \text{이므로} \\ R_{cc}(\tau) &= \frac{1}{T} \int_T c(t)[1 - 2Q(\sqrt{P})] \cdot c(t-\tau) dt \\ &= [1 - 2Q(\sqrt{P})] \cdot \frac{1}{T} \int_T c(t)c(t-\tau) dt \quad (7) \\ &= [1 - 2Q(\sqrt{P})] \cdot R_c(\tau) \end{aligned}$$

여기서

$$R_c(\tau) = \frac{1}{T} \int_T c(t)c(t-\tau) dt \text{ 로서, PN 부호의 자기상관 함수이다.}$$

$Q(\cdot)$ 는 보조오류함수(complementary error function)이고 다음과 같이 정의된다.

$$Q(x) = \int_x^\infty \frac{1}{\sqrt{2\pi}} \exp(-u^2/2) du$$

식(5)과 식(7)을 이용하면

$$E\{\varepsilon_E[\delta(t)]\} = [1 - 2Q(\sqrt{P})] \cdot R_c[(\delta(t) + \frac{\Delta}{2})T_c] \quad (8)$$

$$E\{\varepsilon_L[\delta(t)]\} = [1 - 2Q(\sqrt{P})] \cdot R_c[(\delta(t) - \frac{\Delta}{2})T_c] \quad (9)$$

식(8)과 식(9)로 부터 다음과 같은 위상관별식을 얻을 수 있다.

$$\begin{aligned} D_\Delta(\delta) &= [1 - 2Q(\sqrt{P})] \\ &\cdot \left\{ R_c[(\delta - \frac{\Delta}{2})T_c] - R_c[(\delta + \frac{\Delta}{2})T_c] \right\} \quad (10) \end{aligned}$$

그림 3의 등가 블럭도로부터, 칩당 샘플링 갯수가 매우 큰 경우에 대해 다음과 같은 비선형 적분 방정식을 얻을 수 있다.

$$\frac{\hat{T}_d}{T_c} = \frac{K_v}{M} \int_0^t K_c \cdot \varepsilon[\delta(\lambda)] d\lambda \quad (11)$$

동기추적지터가 작은 경우 위상관별기의 출력은

동기추적오류에 대한 선형함수로 볼 수 있으며, 이 경우에 대해 식(11)은 다음과 같이 된다.

$$\begin{aligned} \frac{\hat{T}_d}{T_c} &= \frac{K_v}{M} \int_0^t K_c \cdot 2(1 + \frac{1}{N}) \cdot [1 - 2Q(\sqrt{P})] \\ &\times \frac{T_d(\lambda) - \hat{T}_d(\lambda)}{T_c} d\lambda \quad (12) \end{aligned}$$

식(12)의 양변을 Laplace 변환하면

$$\frac{\hat{T}_d(s)}{T_c} = K_D K_v \frac{1}{s} \left[\frac{T_d(s) - \hat{T}_d(s)}{T_c} \right] \quad (13)$$

이고, 여기서

$$K_D = -\frac{K_c}{M} \cdot 2(1 + \frac{1}{N}) \cdot [1 - 2Q(\sqrt{P})]$$

이다. 식(13)을 $\hat{T}_d(s)/T_d(s)$ 에 대해 정리하면 다음과 같은 시스템 전달함수를 구할 수 있다.

$$\frac{\hat{T}_d(s)}{T_d(s)} = \frac{K_D K_v}{s + K_D K_v} \equiv H(s) \quad (14)$$

식(14)을 다시 $[\hat{T}_d(s) - T_d(s)]/T_c$ 에 대하여 정리하면

$$\frac{T_d(s) - \hat{T}_d(s)}{T_c} = \frac{T_d(s)}{T_c} \cdot \left[\frac{s}{s + K_D K_v} \right] \quad (15)$$

가 되며, 이 식은 루프의 부호추적 오류에 대한 방정식이다.

III. 시뮬레이션 및 결과

이번 장에서는 설계한 디지털 지연동기루프에 대한 시뮬레이션 결과에 대해 고찰하였다. 시뮬레이션용 원시코드(source code)는 C-언어를 이용하여 프로그램 하였으며, 프로그램은 IBM 486 PC를 이용하여 실행하였다. 시뮬레이션에 사용된 가우시안 잡음 발생기는 Numerical Recipes in C를 참조하였고, 시뮬레이션 환경으로는 다음과 같은 사항을 가정하였다.

- VCXO를 비롯한 모든 시스템 소자는 이상적이라 가정
- 각 시스템 소자의 지연은 없는 것으로 가정

- 잡음성분은 AWGN만을 고려
- PN 부호 발생기는 10단으로 가정

3.1 DDLL의 과도응답

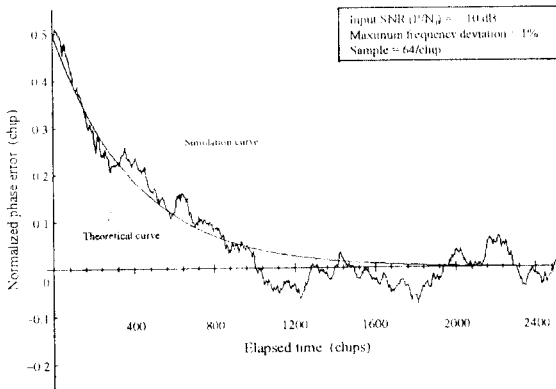
그림 4는 DDLL의 과도응답을 보인 것이다. PN 부호의 최대 주파수 편차는 중심주파수의 ±1%이고, 한 칩당 64번의 샘플링을 한 경우에 대한 결과이다. 초기동기가 이루어진 시점에서의 수신 부호와 국부 기준 부호와의 위상차는 0.5T_c로 가정하였으며, 초기동기가 이루어진 부호의 위치는 임의로 정하였다. 식 (15)에서 수신부호의 지연 A_d를 상수로 놓으면 다음과 같이 쓸 수 있다.

$$\frac{T_d}{s} - \hat{T}_d(s) = \frac{T_d}{s} \cdot \frac{s}{s + K_D K_V} \tag{16}$$

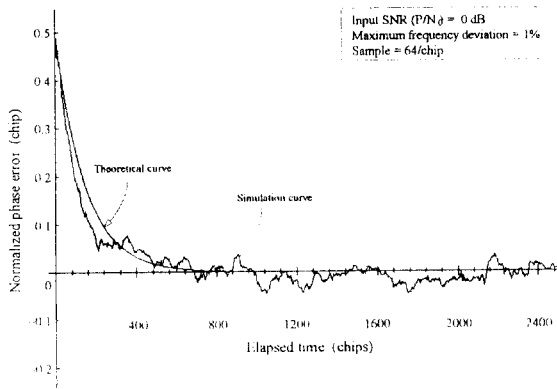
식(16)을 역 Laplace 변환하면 다음과 같은 시간 영역에서의 위상오차에 대한 식을 얻는다.

$$T_d - \hat{T}_d(t) = T_d \cdot e^{-K_D K_V t} \tag{17}$$

그림 4에서 이론적 곡선으로 표시된 것은 식(17)에 의해 그려진 것이다. 그림에서 시뮬레이션 결과는 이론적인 중심으로 랜덤하게 변화하는 것을 알 수 있다. 그림 4.a는 입력 신호전력대 잡음전력비 P/N₀가 -10dB인 경우에 대한 그림이고, 그림 4.b는 0dB인



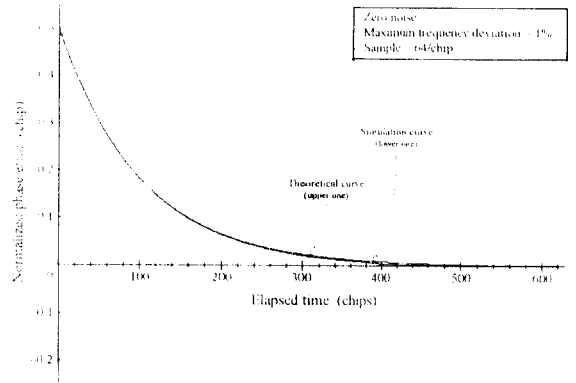
(a)



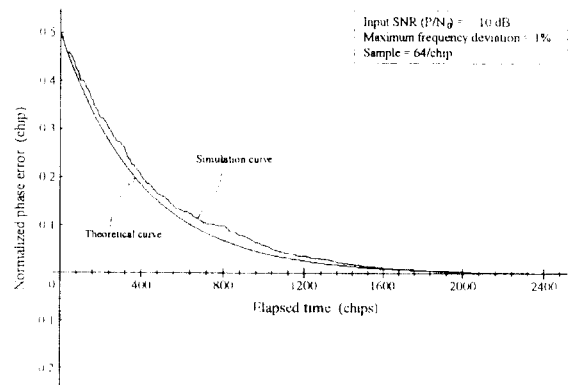
(b)

그림 4. DDLL의 과도응답 (임의의 초기동기 위치에 대한 결과)

Fig. 4 Transition response of DDLL (for an arbitrary acquisition point)



(a)



(b)

그림 5. DDLL의 과도응답 (가능한 모든 초기동기 위치에 대한 평균)

Fig. 5 Transition response of DDLL (average over possible all acquisition points)

경우에 대한 그림이다. 잡음레벨이 클 수록 수렴하는데 걸리는 시간과 위상오차의 크기가 큰 것을 알 수 있다.

그림 5은 초기동기가 가능한 모든 칩 위치에 대해 그림 4과 같은 시뮬레이션을 행하여 그 결과를 평균한 결과이다. 그림 5.a는 무잡음(zero noise)의 경우에 대한 것이다. 그림에서와 같이 이론치와 거의 정확하게 일치함을 알 수 있다. 그림 5.b는 입력 신호대 잡음비가 -10dB인 경우에 대한 것으로 이론치와 약간의 차이가 있지만 PC상에서 발생하는 잡음은 이상적이 아님을 감안하면 이론치와 거의 정확하게 일치하는 결과를 보인다.

3.2 칩당 샘플링 갯수에 따른 평균 위상오류

그림 6는 입력 신호대 잡음비를 변화시켜 가면서 시뮬레이션한 칩당 샘플링 갯수에 따른 평균 위상오류에 대한 결과이다. 신호대 잡음비가 증가함에 따라 평균 위상오류는 지수함수적으로 감소하는 결과를 보인다. 그림의 결과에서 보는 바와 같이 입력 SNR이 -30dB인 매우 낮은 신호전력에서도 대략 $0.2T_c$ 이내의 위상오류를 나타내어 잡음성능면에서 매우 우수함을 알 수 있다. 이것은 앞서 설명한 잡음레벨 제한 및 잡음상쇄 효과에 기인한다. 칩당 샘플링 갯수에 대해서는 샘플링 갯수가 많을 수록 보다 좋은 성능을 나타낸다. 그림에서 점선으로 표시된 부분은 동기유지에 실패한 경우를 나타낸다. 잡음성능과는 별도로 칩당 샘플링 갯수가 적을 수록 동기를 상실할 확률이 높아짐을 알 수 있다.

오류가 한번 발생할 때마다 PN 부호의 주파수는 D_f/M 만큼씩 변한다. 여기서 D_f 는 PN 부호의 최대 주파수 편차이다. 칩당 샘플링 갯수가 증가할 수록 오류발생 빈도도 따라서 증가하지만 2장에서 설명한 잡음 상쇄 효과에 의해 상쇄되는 오류 역시 따라서 증가한다. 또한, 샘플링 갯수가 클수록 한번의 오류에 의해 발생하는 주파수 오류는 감소한다. 결과적으로 샘플링 갯수와 오류 사이에는 다음과 같은 함수관계가 있음을 알 수 있다.

$$Phase\ error = C \frac{D_f}{M} \quad (18)$$

여기서, C는 비례상수이다. 즉 위상오류는 샘플링

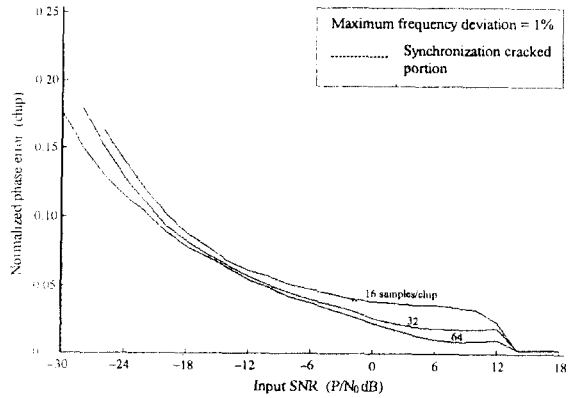


그림 6. 잡음레벨과 칩당 샘플링 갯수에 따른 위상오차
Fig. 6 Phase error according to noise level and number of samples per chip

갯수에 반비례 한다.

3.3 국부 PN 부호의 최대 주파수 편차에 따른 위상오류

그림 7은 입력 신호대 잡음비를 변화시켜 가면서 PN 부호의 최대 주파수 편차에 따른 위상오류를 시뮬레이션한 결과이다. 최대 주파수 편차가 작을수록 성능이 좋아짐을 알 수 있다. 앞서 그림 6의 결과와 비교할 때 칩당 샘플링 갯수는 낮은 신호대 잡음비에서 높은 신호대 잡음비에 걸쳐 대체로 고른 영향을 미치

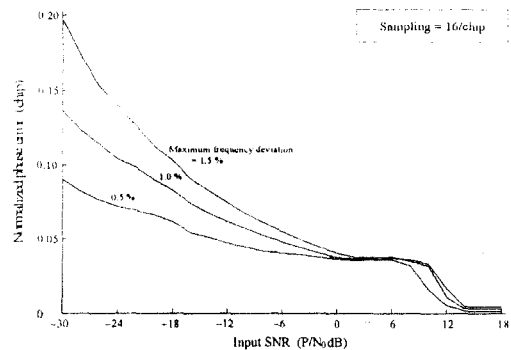


그림 7. 잡음레벨과 최대 부호주파수 편차에 따른 위상오차
Fig. 7 Phase error according to noise level and maximum code frequency deviation

는 반면, 최대 주파수 편차는 낮은 신호대 잡음비에
서 매우 큰 영향을 미치며 신호대 잡음비가 증가할
수록 그 영향이 감소하는 결과를 나타낸다.

IV. 디지털 지연동기 루프의 구현과 실험결과

본 시스템에서 구현한 디지털 지연동기루프의 전체
회로도도는 그림 8과 같다. 이 회로에서는 0.9MHz의
클럭을 사용하여 실험을 하였다. 그림 9는 국부 PN발
생기의 회로도이다.

그림 9 회로의 윗 부분은 PN신호를 발생시키고 아
래 부분은 발생된 PN신호로부터 조(Early), 정(Punc-

tual), 만(Late)의 세 가지의 위상출력을 가지도록 구
성되어 있다. 이를 위하여 세 개의 D-flip flop과 in-
vertor를 이용하여 조, 정, 만의 PN시퀀스를 얻는다.
이때 조 및 만의 시퀀스는 정시퀀스보다 반침 빠르거나
느린 시퀀스로서 동기 추적에서 수신되는 PN 신
호와 비교하게 된다.

그림 10은 지연 동기시스템에 필요한 국부PN의 조
시퀀스와 만 시퀀스의 세 가지 위상 천이된 출력을
보여주고 있다. 조 시퀀스는 정 시퀀스보다 반 침 빠
르고, 이는 마찬가지로 만 시퀀스보다 반침 빠름을
보이고 있다.

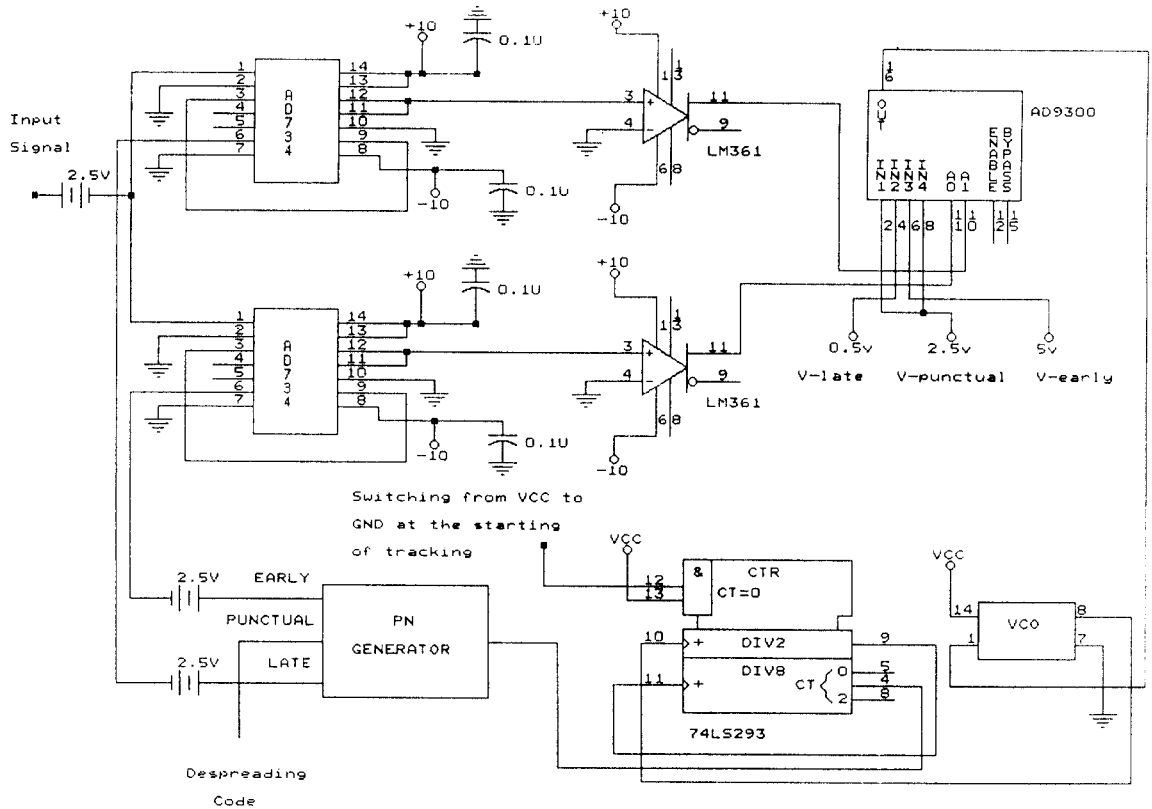


그림 8. 디지털 지연동기루프 전체회로도
Fig. 8 Schematic of Digital Delay Locked Loop

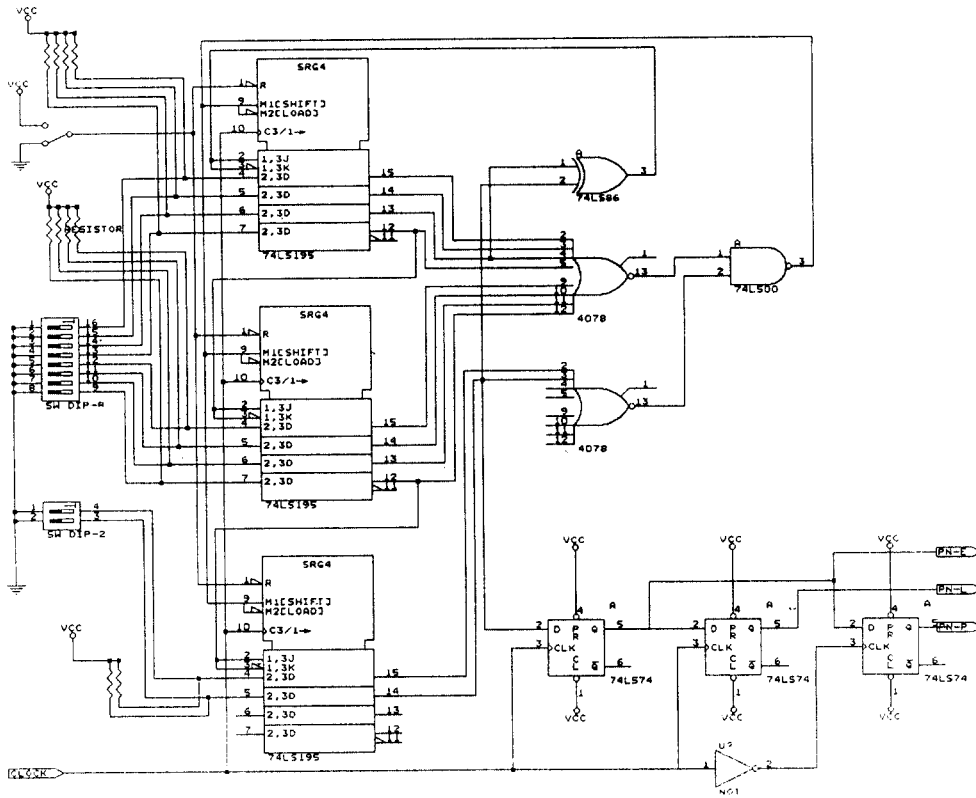


그림 9. 국부 PN신호 발생기 회로도
Fig. 9 Local PN generator schematic

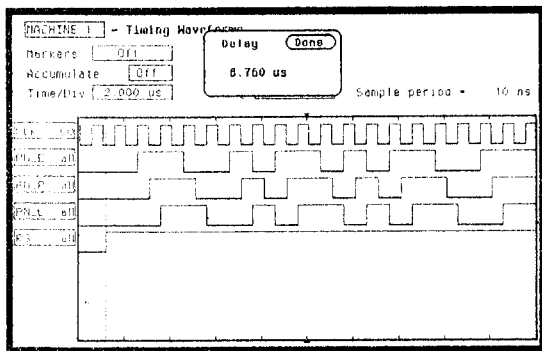


그림 10. 세가지 위상 천이된 출력
Fig. 10 Three phase shifted output

4.1 곱셈기(Multiplier)와 비교기(Comparator)

국부 PN의 조 신호와 만 신호를 수신 PN 시퀀스와 비교한다. 곱셈기의 입력은 수신 PN시퀀스와 국부에서 발생한 조(Early) 및 만(Late)의 신호가 된다. 비교기는 $(+10 + (-10))/2 = 0V$ 를 문턱전압(Threshold Voltage)으로 하여 곱셈기의 입력을 받아 '0', '1'의 논리신호로 바꿔준다.

그림 11은 조(Early) 시퀀스와 수신 PN 시퀀스의 비교기출력과 곱셈기출력을 보여준다. 만(Late) 시퀀스의 경우도 유사한 출력형태를 갖는다. 수신 신호와 국부 PN신호와의 관계에 따른 비교기 출력의 출력값을 살펴보면 표 1과 같다.

표 1. 비교기출력과 입력과의 관계

Table 1. Relation between Output of comparator and Input state

비교기1의 출력	0	0	1	1
비교기2의 출력	0	1	0	1
상태	Punctual	Late	Early	Punctual

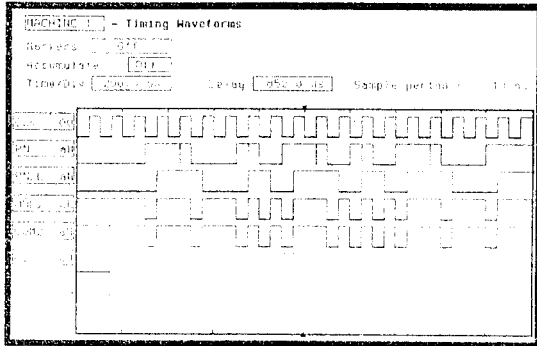


그림 11. 조 신호와 수신 신호의 곱셈기와 비교기출력
Fig. 11 Output of the multiplier and comparator

4.2 Multiplexer와 VCO

Multiplexer는 두 비교기의 출력을 받아 VCO를 제어하는 전압을 출력한다. 표 2는 Multiplexer입력과 출력에 관한 관계를 보여준다.

표 2에서 보듯이 Multiplexer는 수신신호와 조(Early) 신호와 일치할 경우는 IN3의 전압을 출력하고 만(Late) 신호와 일치할 경우는 IN2의 전압을 출력하고 그 외의 경우는 IN1(=IN4)의 전압을 출력하게 된다. 이러한 Multiplexer의 출력은 VCO의 입력이 되므로 IN1~IN4의 전압은 VCO의 사양에 맞게 선정되어야 한다. 여기에서는 중심주파수가 7.2000MHz 가 변범위가 1kHz이고 제어전압(Control voltage)이 0.5V에서 5.0V인 VCO를 사용하였다. 따라서 Multiplexer의 출력은 0.5V, 2.5V, 5V가 되도록 IN1=IN4=2.5V, IN2=0.5V, IN3=5V로 고정시켰다. 이때 VCO의 안정성이 상당히 중요한 문제로 작용하고 있는데 여기서 사용한 VCO는 가변범위가 1kHz로 매우 적은 반면 ±250Hz의 오차범위를 갖고있어 다소 불안정한 결과를 나타냈다.

표 2. Multiplexer의 진리표

Table 2. Logic truth table of the multiplexer

LOGIC TRUTH TABLE			
ENABLE	비교기1출력 A1	비교기2출력 A0	OUTPUT
0	X	X	High Z
1	0	0	IN1
1	0	1	IN2
1	1	0	IN3
1	1	1	IN4

4.3 COUNTER를 이용한 분주기(Divider)

VCO의 출력주파수를 국부 PN발생기에 맞는 클럭으로 분주해 준다. 이때 VCO의 중심주파수를 f_{vco} 라 하고 PN발생기의 클럭주파수를 f_{pn} 이라하고 분주비율을 n 이라할때 다음의 관계를 만족 시키야 한다.

$$\frac{f_{vco}}{f_{pn}} = n$$

이 실험에서는 PN발생기의 클럭주파수를 0.9MHz로 하였고 VCO의 중심주파수가 7.2MHz이므로 8개의 VCO출력마다 하나의 클럭 주파수를 발생시켜 ÷8로 분주하였다. 그림 12에서 VCO의 출력이 ÷8로 분주되는 분주기 출력을 보여주고 있다. 이 출력은 국부 PN신호 발생기의 클럭신호가 된다.

4.4 수신 PN과 국부 PN신호의 동기결과

그림 12는 수신 PN시퀀스와 국부 PN 시퀀스가 서로 동기된 상태를 보여준다. 이때 수신 신호와 정(Punc-

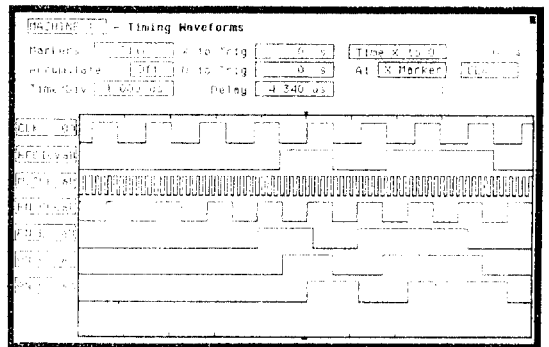


그림 12. 동기된 수신 PN신호와 국부 PN신호
Fig. 12 Recieved PN signal and local PN signal after delay lock

tual)의 국부 PN 시퀀스 사이에 약간의 동기 오차가 발생하는 것을 볼 수 있다. 이것은 앞에서 언급한 VCO의 불안정성과 매우 작은 가변 범위에 기인한다. 이것은 더욱 정밀하고 우리가 원하는 만큼의 가변범위를 갖는 VCO를 사용하여 개선 시킬 수 있다.

V. 결 론

본 논문에서는 디지털 지연동기루프를 설계하였고, 설계한 루프의 동작특성을 시뮬레이션을 통해 분석하였다. 설계한 디지털 지연동기루프는 기존의 아날로그 지연동기루프에서 가장 큰 단점이 되었던 조·만 상관채널간의 이득 불균형 문제를 완벽하게 해결하였으며, 아날로그 시스템에서는 가질 수 없는 잡음레벨의 제한과 잡음상쇄 효과를 통해 매우 우수한 잡음 성능을 가짐을 시뮬레이션을 통해 확인하였다. 또한, 기존의 아날로그 시스템에 비해 구조가 매우 간단하다는 장점을 갖는다.

시뮬레이션 시간이 매우 큰 관계로 인해 동기상실빈도에 대한 시뮬레이션은 하지 못하였으며, 본 논문에 제시한 결과중 일부, 특히 신호대 잡음비가 낮은 부분의 결과는 비교적 정확도가 떨어지지만 본 논문에서 유도한 이론적인 특성과 훌륭하게 일치한다. 본 논문의 시스템이 비선형이고 또한 메모리 성분이 존재하는 관계로 인해 위상지터에 대한 정량적인 수식은 유도하지 못했고, 단지 정성적인 수식만을 제시하였다. 하지만 앞에서 유도한 평균 루프 동작방정식과 시뮬레이션 결과가 거의 정확하게 일치함을 통해 본 논문의 시뮬레이션 프로그램이 맞게 프로그램이 되었음을 알 수 있으며, 모든 결과의 신빙성을 입증한다.

디지털지연 동기 루프 구현 및 실험결과에서 수신 신호와 국부PN과의 동기가 맞추어짐을 볼 수 있다. 그러나 이때 반침이내의 위상오차가 발생하는 것을 볼 수 있는데 이것은 불안정한 VCO의 성능에 기인하는 것으로 좀더 정확하고 충분한 가변범위를 갖는 VCO를 사용한다면 좀 더 좋은 결과를 얻을 수 있을 것이다.

본 논문의 디지털 지연동기루프는 루프 앞단에서의 반송파 신호의 동기를 필수적으로 요한다. 일반적으로 대역확산 시스템에서는 낮은 신호대 잡음비가 요구되기 때문에 부호동기 이전의 반송파 동기가 매

우 어렵다. 따라서, 효과적인 반송파 동기에 대한 연구는 본 디지털 지연동기루프의 연구와 함께 필수적으로 이루어져야 할 중요한 과제이다.

본 논문은 부호동기추적 기능의 디지털 방식을 처음으로 시도한 것으로 대역확산시스템의 연구에 좋은 참고자료가 될 것으로 사료된다.

참 고 문 헌

1. M. K. Simon and et al., Spread Spectrum Communications, Vol. 3, Computer Science Press, Rockville, MD., 1985.
2. R. E. Ziemer and R. L. Peterson, Digital Communications and Spread Spectrum Systems, Macmillan Publishing Company, New York, 1985.
3. J. K. Holmes, Coherent Spread Spectrum Systems, Wiley & Sons, New York, 1982.
4. Bernard Sklar, Digital Communications, Prentice-Hall International Editions, New Jersey, 1988.
5. W. H. Press, S. A. Teukolsky, W. T. Vetterling, and B. P. Flannery, Numerical Recipes in C, Cambridge Univ. Press, 1992, 2nd Edition.
6. R. B. Ward, "Acquisition of pseudonoise signals by sequential estimation," IEEE Trans. Commun. Tech, vol. COM-13, No. 4, pp. 475, Dec. 1965.
7. G. F. Sage, "Serial synchronization of pseudonoise system," IEEE Trans. Commun. Tech, vol. COM-12, pp. 123-127, Dec. 1964.
8. S. S Rappaport and D. M. Greico, "Spread-spectrum Signal Acquisition: Method and Technology," IEEE Commun. Mag., vol. 22, pp. 6-21, June 1984.
9. P. M. Hopkins, "A Unified analysis of pseudonoise synchronization by envelope correlation," IEEE Trans. Commun., vol. COM-25, pp. 770-778, Aug. 1977.
10. N. E. Bekir, "Bounds on the distribution of partial correlation for PN and Gold codes," Ph.D. dissertation, Dept. of Elec. Engr., Univ. of Southern California, Los Angeles, Jan, 1978.



박 형 근(Hyung Kun Park) 정회원
1995년 2월:고려대학교 전자공학과 학사
1995년 3월~현재:고려대학교 전자공학과 석사과정
※주관심분야:PCS, FPLMTS, 디지털 변복조



김 성 철(Seong Cheol Kim) 정회원
1987년 2월:고려대학교 전자공학과 학사
1989년 2월:고려대학교 전자공학과 석사
1989년 2월~1994년 4월:삼성전자(주) 근무
1994년 3월~현재:고려대학교 전자공학과 박사과정

※주관심 분야: 위성통신, 이동통신, GPS



차 군 현(Kyun Hyon Tchah)정회원
1965년 2월:서울대학교 전기공학과 공학사
1967년 6월:미국 일리노이 공과대학 대학원 공학석사
1976년 6월:서울대학교 대학원 공학박사
1977년 3월~현재:고려대학교 전자공학과 교수

※주관심분야: 이동통신, PCS, B-ISDN