

# 위성망에서 ATM 셀 전송에 관한 연구

正會員 金 信 才\*, 金 東 奎\*, 金 炳 均\*, 崔 炯 辰\*

## A Study on the ATM Cell Transmission in the Satellite Network

Sin Jae Kim\*, Dong Kyu Kim\*, Byung Kyun Kim\*,  
Hyung Jin Choi\* *Regular Members*

### 요 약

차세대 정보통신기반의 효율적인 구축은 지상망 및 위성망을 통합한 혼합망의 구성이 바람직하다. 이에 따라 혼합망에서 지상망의 근간이 되는 ATM 전송기술을 위성망에 직접적으로 적용하기 위한 다양한 연구가 진행되고 있다. 이러한 점을 고려하여 본 논문에서는 위성망에서 ATM 셀 전송에 따른 문제점 분석 및 전송 성능저하를 평가하고 신뢰성 있는 ATM 셀 전송방안을 제시한다. 즉, 지상 ATM 프로토콜은 신뢰성 있는 광파이버와 같은 매체를 대상으로 개발된 방식이기 때문에 위성망에 적용하기 위해서는 위성링크의 성능개선을 위한 채널코딩이 필연적이다. 채널코딩의 적용에 따라 위성링크는 연집에러(Burst error) 특성을 나타내게 되며 연집에러는 ATM 셀 전송에 심각한 성능저하를 야기한다. 이를 보상하기 위해서 위성링크에서의 연집에러 특성을 정성적으로 분석하고, ATM 셀을 기준으로 하는 다양한 인터리빙구조(블럭단위, 셀단위)를 제안한다. 제안된 인터리빙구조에 따른 성능평가를 시뮬레이션을 통하여 수행하였다.

### ABSTRACT

It is desirable that the implementation of next generation information infrastructure is the Integrated Network combining the satellite and the terrestrial network. The application of the ATM network being the dominant infrastructure of terrestrial network to the satellite network is being studied variously. Considering these concepts, this paper analyzes problems due to ATM transport via satellite, evaluates the degradation of QoS and proposes reliable method of ATM cell transport via satellite. Because ATM is investigated with the optical fiber which is almost error free characteristics, the practical application of ATM transport via satellite essentially need the channel coding(FEC: Forward Error Correction) to enhance BER performance. But using the FEC coding, satellite link

\*성균관 대학교 전자공학과  
Dept. of Electronics Engineering, Sung Kyun Kwan  
University  
論文番號:96205-0713  
接受日字:1996年 7月 13日

has burst error characteristics which evoke severe performance degradation of ATM QoS. Therefore in satellite link, we analyze burst error characteristics using experimental results of computer simulation. Then to compensate these characteristics, based on this analysis and HEC dual mode algorithm we propose various interleaver structures(Block interleaver, Intra interleaver, and Inter-Intra interleaver) to improve cell transmission QoS. We execute performance evaluations of proposed interleaver structures by computer simulation.

## I. 서 론

차세대 초고속정보통신망의 구축은 초기의 국내망(NII: National Information Infrastructure)에서 국가간의 지역망(Regional Information Infrastructure), 그리고 궁극적으로는 전세계단일망(GII: Global Information Infrastructure)으로 확장되고 있다. 차세대정보통신망의 구축은 서비스 영역의 확대에 따라 지상망 단독에 의한 정보통신망의 구축보다는 장거리전송 및 폭넓은 서비스 영역 측면에서 매우 우수한 장점을 지닌 위성망을 포함한 혼합망이 필연적으로 요구되었다.

혼합망에서 위성망은 지상망에 대해 경쟁적인 역할보다는 지상망의 보완적인 역할을 수행하게 된다. 그러므로 효율적인 혼합망 구축을 위해서는 지상망 프로토콜을 위성망에 직접적으로 적용하기 위한 방안이 요구된다. 특히, 지상 초고속통신망의 표준전송방식인 ATM 전송방식을 위성망에서 직접적으로 수용하기 위한 성능평가, 문제점 분석 및 개선방안에 대한 연구는 혼합망 구축에 있어 매우 중요한 기술요소이다. 이와 같은 위성 ATM 전송 기술은 ITU-T의 WG(Working Group) 4B를 중심으로 매우 활발한 논의가 진행 중에 있다.

지상 ATM 전송기술은 광파이버와 같이 매우 신뢰성 높은 전송채널을 기준으로 개발되고 있기 때문에 상대적으로 열악한 채널환경을 가진 위성망에서의 ATM 전송기술 분석은 장거리 전송경로에 의한 지연(delay) 및 부선채널환경에 따른 BER 측면으로 분류하여 해석할 수 있다. 위성망 지연 측면에서의 분석은 서비스 유형을 제한하는 방식(지연에 민감하지 않은 서비스를 위성이 전달), 효율적인 재전송 메커니즘의 개발 등의 연구가 현재 진행되고 있으며, BER 측면에서의 분석은 위성채널 BER 성능향상을 위한 다양한 알고리즘의 개발에 관한 연구가 진행 중에 있

다(본 논문에서의 주된 해석은 BER 측면에서의 위성 ATM 전송기술로 제한하여 수행하였다).

광섬유의 에러율은  $10^{-9} \sim 10^{-12}$  정도로 매우 낮으며 또한 랜덤한 에러 특성을 가지고 있기 때문에 위성채널에서 ATM 전송을 위해서는 위성채널 BER 성능을 향상시키기 위하여 다양한 기법의 개발이 필연적으로 요구된다. 이러한 채널 성능개선을 위한 일환으로 위성통신에서는 저전력에서도 신뢰성 있는 전송을 하기 위하여 채널부호화(FEC: Forward Error Correction) 코딩을 이용한다. FEC 코딩으로 인해 위성채널의 BER 성능 개선은 가능하나, 에러 특성이 랜덤한 단일비트 에러가 아니라 연접에러 특성이 발생하는 단점을 가진다. 이러한 연접에러는 ATM 셀 전송품질을 저하시키는 주원인이 된다. 특히 셀 헤더는 유료부하(Payload)보다도 연접성에러에 의해 심한 영향을 받게 된다. 따라서 위성 링크를 통한 ATM 서비스가 가능하기 위해서는 ATM QoS 성능을 광섬유 링크와 같은 성능 비율(BER 대비)이 될 수 있는 방안

에 대한 연구가 요구된다[2][3][4][5]. 이러한 요구에 부응하여 본 논문에서는 위성채널에서의 연접에러 특성분석 결과와 HEC 이중모드 알고리즘을 기준으로 하여 부가적인 코딩 없이도 ATM QoS 성능을 향상시킬 수 있는 방안으로서 블록인터리버, 셀 단위 인터리버, 그리고 두 방법을 혼합한 Inter-Intra 셀 단위 인터리버의 세가지 방안을 제시하고 모의수행을 통하여 성능평가를 수행한다.

## II. 에러 특성에 따른 ATM QoS의 분석

### 2.1 ATM 셀 구조 및 ATM QoS 정의

ATM 셀의 전체적인 구조는 5 바이트의 헤더(header)와 48 바이트의 유료부하(Payload)로 구성되며 전체 53 바이트의 길이를 가진다. ATM 셀 헤더는 가입자망 및 중계망에 따라 다소 차이가 있지만 전체

적으로 4 바이트의 헤더정보영역과 에러검출 및 정정을 위한 1 바이트 HEC(Header Error Control)로 구성된다. 가입자망 및 중계망에서의 ATM 셀 헤더의 구조는 그림 1과 같다[1].

비트 \바이트	1	2	3	4	5	6	7	8
1	GFC			VPI				
2	VPI							
3					V C I			
4				PT		CLP		
5	HEC							

(a) UNI(User Network Interface)

비트 \바이트	1	2	3	4	5	6	7	8
1					VPI			
2								
3					V C I			
4				PT		CLP		
5	HEC							

(b) NNI(Network Node Interface)

그림 1. 가입자망 및 중계망에서의 ATM 셀 헤더의 구조  
Fig 1. ATM cell header structure at the UNI and NNI

ATM 셀 헤더정보를 보호하기 위한 HEC의 성능은 단일비트에러정정(single bit error correction) 및 다수비트에러검출(multiple bit error detection)이 가능하며 ATM QoS에 직접적인 영향을 미치게 된다. HEC의 운용은 정정모드 및 검출모드를 가지는 이중모드로 구성되며 운용과정은 그림 2에 도시하였다[1].

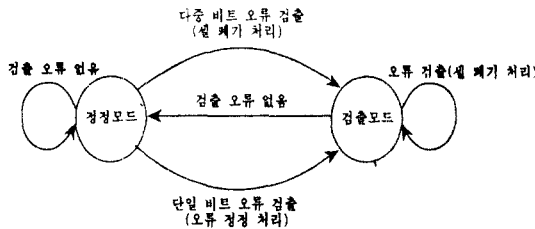


그림 2. HEC 알고리즘의 이중모드 운용  
Fig 2. Dual mode operation of the HEC algorithm

ATM 셀 구조 및 HEC 이중모드 알고리즘 운용에 따른 ATM QoS를 순차적으로 정의하면 다음과 같다. 셀 손실률(CLR: Cell Loss Ratio)은 전체 전송된 셀에 대한 HEC 알고리즘에 의해 폐기된 셀의 비율로서 정정모드에서 2 비트 이상의 에러가 있는 경우, 검출모드에서 1 비트 이상의 에러가 발생하는 경우가 폐기 셀에 해당된다. 이것은 ATM QoS에 있어 가장 중요한 성능지표이다. 셀 오삽입률(CIR: Cell misInsertion Ratio)은 전체 전송된 셀에 대한 오삽입셀(잘못된 VPI/VCI의 해석으로 인한 VP/VC의 잘못된 연결설정으로 정의)의 비율로서 정의된다. 오삽입셀은 다수비트에러에 의한 HEC의 부적절한 운용에 의해 발생되며, HEC의 비트수에 의존한다. 유료부하영역에서의 QoS 파라메타로서 CER(Cell Error Ratio)은 목적지에 성공적으로 도착한 셀들 중에서 유료부하영역에서 한 비트 이상의 에러가 발생될 비율이며 SECR(Severely Errored Cell Ratio)은 목적지에 성공적으로 도착한 셀들 중에서 유료부하영역에서 두 비트 이상의 에러가 발생될 비율로서 가정된 비트에러의 수에 따라 정리가 달라진다. 유료부하영역에서의 에러정정은 ATM 계층에서는 불가능하며 AAL 계층에서 수행된다.

ATM 셀 전송의 성능은 ATM 헤더의 에러에 의해 지배적인 영향을 받으므로 본 논문에서는 주로 CLR, CIR를 성능지표로 설정하여 위성 ATM 전송에 관한 성능평가를 수행하였다. CER 및 SECR은 본 논문에서 제안한 인터리빙 구조의 AAL 계층에 대한 영향 분석을 위하여 일부 사용하였다.

## 2.2 단일비트에러에 의한 ATM QoS 해석

단일비트 에러 특성을 가지는 채널에서 일정 블록 길이 안에서 다수의 에러가 동시에 발생할 확률은 다음과 같이 정의할 수 있다.

$$P_r(n) = \binom{L}{n} p^n (1-p)^{L-n} \quad (1)$$

여기서,  $p$ 는 BER,  $L$ 은 설정된 블록의 수( $L_H$ : 셀 헤더의 길이(40 비트),  $L_p$ : 셀 유료부하의 길이(384 비트)),  $n$ 은 비트에러의 수, 그리고 아래 첨자  $r$ 은 랜덤 단일비트를 의미한다.

식(1)을 이용하여 HEC의 이중모드 에러검출/정정 알고리즘을 적용한 경우의 CLR을 정의하면 다음과

같다.

$$CLR_r = P(\text{정정 모드}) \cdot P(\text{헤더 에러 비트} < 1) + P(\text{검출 모드}) \cdot P(\text{헤더 에러 비트} \geq 1)$$

$$= P_c[1 - P_r(0) - P_r(1)] + P_d[1 - P_r(0)] \quad (2)$$

여기서,  $P_c$ 는 수신기가 정정모드에 있을 확률,  $P_d$ 는 검출모드에 있을 확률을 의미한다. Markov Chain을 이용하여  $P_c, P_d$ 를 풀면 다음과 같다.

$$P_c = P_r(0), P_d = 1 - P_r(0) \quad (3)$$

$L_H p \ll 1$ 임을 가정했을 때 식(4)와 같은 근사화 공식[13]의 적용이 가능하므로  $CLR_r$ 은 식(5)와 같이 정할 수 있다.

$$(1-p)^{L_H} \cong 1 - pL_H + p^2 \frac{L_H(L_H-1)}{2} \quad (4)$$

$$CLR_r = P_r(0) [1 - P_r(0) - P_r(1)] + [1 - P_r(0)]^2 = 1 - P_r(0) - P_r(0) \cdot P_r(1) \cong 2.4 \cdot 10^3 \cdot p^2 \quad (5)$$

$CIR_r$ 의 수학적 정의를 얻기 위해 발생 가능한 헤더 에러를 정성적으로 분석하면 다음과 같다.

앞에서 ATM 셀 헤더 구조를 살펴본 것처럼 ATM 셀 헤더는 32 비트의 정보 비트와 8 비트의 HEC 비트로 전체 40 비트로 구성되어 있다. 따라서 랜덤한 비트 패턴에 의해서 발생하는 경우의 수는  $20^{40}$ 이 된다. 그러나 HEC의 8 비트는 앞의 32개의 정보 비트에 의해 결정되는 값이므로 이 중에서 단지  $2^{32}$ 개의 유효 정보 코드워드를 지니게 된다. 따라서 헤더에 랜덤한 비트 패턴에 의해 발생하는 셀 헤더중에서 유효 헤더로 간주할 수 있는 셀은  $2^{32}/2^{40}$  정도의 확률을 가지게 된다. 랜덤 비트 패턴에서는 1 비트에러인 40개의 코드워드 패턴과 에러가 없는 경우를 제외해야 하므로 위 확률에 41을 곱한 값이 랜덤한 비트 패턴 상 황하에서 유효 셀로 간주할 확률이 된다.

$$P = \frac{2^{32}}{2^{40}} \times 41 \cong \frac{1}{6} \quad (6)$$

결과적으로 랜덤한 비트 패턴에 의해서 발생하는 셀들 중에서 단지 5/6 정도만이 HEC에 의해서 검출

이 되며 약 1/6 정도의 셀은 검출이 불가능하게 된다. 따라서 식(6)을 이용하여 다수개의 에러비트가 발생하여도 셀 헤더의 HEC에 의해 검출이 안될 확률을 구해 보면 다음식 처럼 된다.

$$P = \frac{2^{32}}{2^{40}} \times 41 \times (1 - P_r(0) - P_r(1)) \cong \frac{(1 - P_r(0) - P_r(1))}{6} \quad (7)$$

앞에서 CIR은 ATM 주소에서 에러가 발생되더라도 이를 검출하지 못해 다른 VPI/VCI로 연결이 된 것으로 정의하였으므로, 실제로 다른 주소로 연결되는 셀은 위 식(7)에다 주소 비트수(UNI:24, NNI:28)를 전체 헤더 비트수로 나눈 값을 곱해주면 된다. 따라서 CIR은 식(8)과 같이 나타낼 수 있다.

$$CIR_r \cong \frac{(1 - P_r(0) - P_r(1))}{6} \times \frac{K}{40} \quad K: \text{주소 비트 개수} \quad (8)$$

유료부하영역에 대한 비트에러의 영향을 분석하기 위한  $CER_r, SECR_r$ 에 대한 수학적 정의를 제시한다.  $CER_r$ 은 ATM 유효셀(목적지에 성공적으로 전송된 셀) 유료부하영역에 1 비트 이상의 에러가 발생할 확률로서 다음과 같이 정의된다.

$$CER_r = P(\text{유료부하 영역 에러 비트} \geq 1) \cdot (1 - CLR_r) \quad (9)$$

$$= \left\{ \sum_{i=1}^{L_p} \binom{L_p}{i} p^i (1-p)^{L_p-i} \right\} (1 - CLR_r)$$

$$\cong \{1 - (1-p)^{L_p}\} (1 - 2.4 \cdot 10^3 \cdot p^2)$$

$L_p \ll 1$ 로 가정하고,  $(1 - CLR_r) \cong 1$ 로 근사화하면 식(9)는 다음과 같이 간략화할 수 있다.

$$CER_r \cong (1 - (1 - L_p p + p^2 \frac{L_p(L_p-1)}{2})) \cdot 1 \cong L_p p \quad (10)$$

$SECR$ 은 유효셀의 유료부하영역에 N비트 이상의 에러가 발생하는 경우로서, N의 정의에 따라 달라진다. 2 비트 이상의 에러가 발생할 확률은 다음과 같다.

$$SECR_r(N=2) = \{1 - P_r(0) - P_r(1)\} \cdot (1 - CLR_r)$$

$$\cong \{1 - (1-p)^{L_p} - L_p p (1-p)^{L_p-1}\} \cdot 1$$

$$\cong \frac{L_P(L_P-1)}{2} p^2(1-(L_P-1)p) \cong \frac{L_P(L_P-1)}{2} p^2 \quad (11)$$

여기서, N의 범위는 [2, 384]로 설정할 수 있으며, N의 증가에 따라 SECR<sub>r</sub>은 근사적으로 다음과 같이 정의할 수 있다.

$$SECR_r(N) \propto (p)^N \quad (12)$$

### 2.3 연집에러에 의한 ATM QoS 정의

채널 부호화 출력 비트에러 특성이 연집에러이고, 연집에러 안에서의 에러분포가 포아송(Poisson) 분포를 이루고 있다고 가정하면 Neyman-A contagious model[3]을 사용할 수 있다. 평균 연집에러의 길이를  $\bar{B}$ 로 정의할 때, L 비트 내에서 n개의 에러가 발생할 확률은 다음과 같이 정의된다.

$$P_b(n) = \frac{\bar{B}^n}{n!} e^{-\frac{Lp}{\bar{B}}} \sum_{j=n}^{\infty} \left( \frac{Lp}{B} e^{-\bar{B}} \right)^j \frac{j^n}{j!} \quad (13)$$

여기서, p는 디코더 출력 BER을 그리고 아래첨자 b는 연집성에러를 의미한다. 앞 절에서 이중모드 알고리즘을 가정하여 구한 식(5)를 이용하여 셀손실률을 연집에러에서 정의하면 다음과 같다.

$$CLR_b = 1 - P_b(0) - P_b(1) \cdot P_b(1) \quad (14)$$

$L_H p / \bar{B} \ll 1$ 로 가정하고 식(15)의 근사화 공식[13]을 사용하면,  $P_b(0)$ 와  $P_b(1)$ 은 식(16), (17)과 같이 근사화된다.

$$\text{if } |x| \ll 1, \text{ then } 1 - e^{-x} \cong x \quad (15)$$

$$\begin{aligned} P_b(0) &= e^{-L_H \frac{p}{\bar{B}}} \sum_{j=0}^{\infty} \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^j \frac{1}{j!} \\ &= e^{-\frac{L_H p}{\bar{B}}} \left( 1 + \frac{L_H p}{B} e^{-\bar{B}} + \frac{1}{2!} \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^2 \right. \\ &\quad \left. + \frac{1}{3!} \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^3 + \dots \right) \cong e^{-\frac{L_H p}{\bar{B}}} \quad (16) \end{aligned}$$

$$P_b(1) = \bar{B} e^{-\frac{L_H p}{\bar{B}}} \sum_{j=0}^{\infty} \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^j \frac{1}{j!}$$

$$\begin{aligned} &= \bar{B} e^{-\frac{L_H p}{\bar{B}}} \left( \frac{L_H p}{B} e^{-\bar{B}} + \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^2 \right. \\ &\quad \left. + \frac{2}{3!} \left( \frac{L_H p}{B} e^{-\bar{B}} \right)^3 + \dots \right) \cong L_H p e^{-\frac{L_H p}{\bar{B}} - \bar{B}} \quad (17) \end{aligned}$$

식(16), (17)을 이용하면 셀손실률은 다음과 같이 간략화 된다.

$$CLR_b \cong 1 - e^{-\frac{L_H p}{\bar{B}}} - L_H p e^{-\frac{2L_H p}{\bar{B}} - \bar{B}} \quad (18)$$

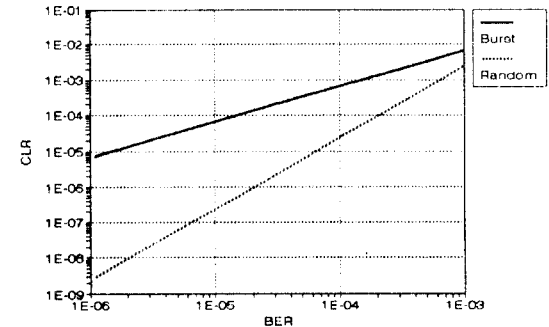
식(18) 우변의 세 번째 항은 두 번째 항에 비해 상대적으로 매우 작은 값이므로 무시하면 다음과 같이 셀손실률을 정의할 수 있다.

$$CLR_b \cong 1 - e^{-\frac{L_H p}{\bar{B}}} \cong \frac{L_H p}{B} \quad (19)$$

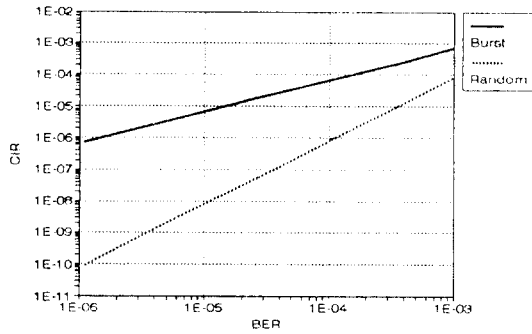
CIR<sub>b</sub>는 단일비트해석에서 P<sub>r</sub>(·)를 P<sub>b</sub>(·)로 대체하여 다음과 같이 정의할 수 있다.

$$\begin{aligned} CIR_b &\cong \frac{(1 - P_b(0) - P_b(1))}{6} \times \frac{K}{40} \quad K: \text{주소 비트 개수} \\ &\cong \frac{\{1 - e^{-\frac{L_H p}{\bar{B}}} - L_H p e^{-\frac{L_H p}{\bar{B}} - \bar{B}}\}}{6} \times \frac{K}{40} \cong \frac{L_H p}{6 \times \bar{B}} \times \frac{K}{40} \quad (20) \end{aligned}$$

단일비트에러 및 연집비트에러 환경에서의 CLR 및 CIR을 비교하면 다음과 같다.



(a) CLR



(b) CIR

그림 3. 단일비트에러 및 연집비트에러 환경에서의 CLR 및 CIR

Fig 3. CLR and CIR in the random single bit error and burst bit error environment

위 결과로 위성채널의 연집에러특성이 ATM 전송 품질에 미치는 영향을 알 수 있으며, 본 논문에서 제시하고자 하는 인터리빙 알고리즘은 연집에러에 의한 성능 저하를 랜덤한 단일비트에 의한 셀 전송품질과 같은 성능이 될 수 있도록 성능개선이 가능함을 컴퓨터 모의수행 결과를 통하여 검증하였다.

연집에러환경에서의  $CER_b$ 를 구하기 위해  $L_P \hat{p}/\bar{B} \ll 1$ 으로 가정하고 식(9), (16)을 이용하여 간략화 하면 다음과 같다.

$$CER_b = P(\text{유료부하 영역 에러 비트} \geq 1) \cdot (1 - CLR_b) \\ = (1 - P_b(0)) (1 - CLR_b)$$

$$\cong \left\{ 1 - e^{-\frac{L_P \hat{p}}{\bar{B}}} \sum_{j=0}^{\infty} \left( \frac{L_P \hat{p}}{\bar{B}} e^{-\bar{B}} \right)^j \frac{1}{j!} \right\} \cdot \left( 1 - \frac{L_H \hat{p}}{\bar{B}} \right) \\ \cong \left\{ 1 - e^{-\frac{L_P \hat{p}}{\bar{B}}} \right\} \cdot \left( 1 - \frac{L_H \hat{p}}{\bar{B}} \right) \doteq \frac{L_P \hat{p}}{\bar{B}} \left( 1 - \frac{L_H \hat{p}}{\bar{B}} \right) \quad (21)$$

식(21)를 구한 근사화 식과 가정을 이용하고 에러 비트 수가 2인 경우를 가정하여  $SECR_b$ 를 근사화 하면 다음과 같다.

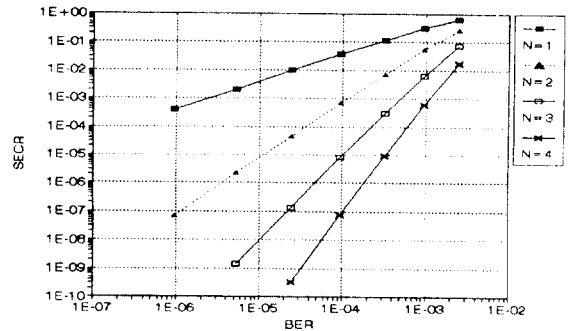
$$SECR_b(N=2) = \{1 - P_b(0) - P_b(1)\} \cdot (1 - CLR_b)$$

$$\cong \left( 1 - e^{-\frac{L_P \hat{p}}{\bar{B}}} - L_P \hat{p} e^{-\frac{L_P \hat{p}}{\bar{B}}} \right) (1 - CLR_b)$$

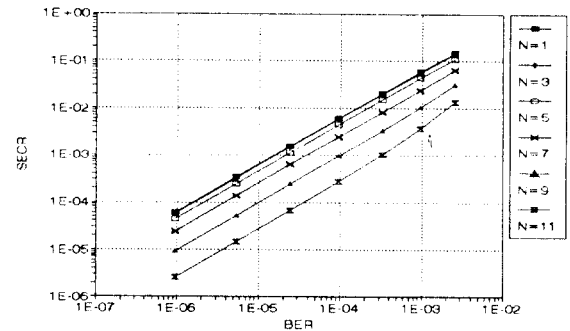
$$\cong \left\{ 1 - e^{-\frac{L_P \hat{p}}{\bar{B}}} \right\} \cdot \left( 1 - \frac{L_H \hat{p}}{\bar{B}} \right) \doteq \frac{L_P \hat{p}}{\bar{B}} \left( 1 - \frac{L_H \hat{p}}{\bar{B}} \right) \\ \cong CER_b \quad (22)$$

위 식에서 근사화된 결과를 본다면  $SECR_b(N=2) \cong CER_b$ 가 됨을 알 수 있다. 이는 디코더의 특성으로 인해 에러가 연속적인 발생으로 N이 증가하여도 감소율이 거의 유사하기 때문이다. N을 3이상의 임의의 수로 정의할 때 그 근사화 식은 식(21)을 사용하여 구할 수 있으며, 실제로 유도를 하면 거의 식(22)와 같은 값을 갖는 근사화 식을 구할 수 있다.

식(22)의 결과는 그림 4를 보면 확인할 수 있다. 이 결과는 CER을 정의하는 식(9)와 식(21)을 기준으로 각각 유료부하영역에서의 에러비트의 수를 점차 증가시켜 가면서 SECR을 구한 것이다.



(a) 단일비트에러



(b) 연집비트에러

그림 4. 단일비트에러 및 연집비트에러 환경에서의 SER 및 SECR

Fig 4. SER and SECR in the random single bit error and burst bit error environment

랜덤 단일비트 상황에서는 디코더 출력 BER에 N 승 배로 비례해서 SECR이 감소함을 알 수 있다. 그러나 연집비트예러 상황에서는 N=1 부터 N=5까지 값의 차이가 거의 없으며 그 이상이 되면 다소 감소가 되기는 하나 그 감소의 변화율은 거의 비슷함을 알 수 있다. 위 결과는 디코더 출력의 예러비트 수는 같으나 예러의 특성이 변함으로서 AAL 계층에서 유로부하 예러 정정 능력에 영향을 줄 수 있음을 시사해 주고 있다.

### III. 연집예러 특성 분석

위성 ATM 전송에 있어 연집예러에 의한 성능저하의 평가 및 개선 알고리즘의 개발을 위해서는 연집예러에 대한 특성고찰은 매우 중요한 요소이다. 그러므로 본 논문에서는 표준적으로 사용되고 있는 구속장이 7, 코드율이 1/2, 그리고 다항방정식이 (133, 171)으로 식(23)에 나타난 콘볼루션 코딩으로 인한 연집예러길이의 분포 및 평균 연집예러길이를 분석한다 [8][9]. 이와 같은 고찰의 결과는 본 논문에서 제안하고자 하는 인터리빙 알고리즘의 성능평가에 직접적으로 이용된다.

$$Up(x) = 1 + x + x^3 + x^4 + x^6 \quad (23)$$

$$Down(x) = 1 + x^3 + x^4 + x^5 + x^6$$

연집예러에 대해 CCITT[10]에서는 “두개 이상의 연속적인 예러 비트가 주어진 올바른 비트(correct bit)의 수(X) 이상으로 분리되지 않은 비트들의 그룹”으로 정의하고 있다. X는 연집예러의 특성을 표현하는데 있어 매우 중요한 파라메타이며 본 논문에서는 BLC(Burst Error Criterion)로 정의하였다. BLC의 지정에 따라 연집예러의 특성이 달라지게 되는데, BLC를 매우 적게 선정하게 되면 연집예러의 수가 증가되고, BLC를 너무 크게 선정하게 되면 연집예러의 길

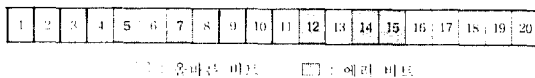


그림 5. 연집예러 특성 파라메타 예시도  
Fig 5. Example of burst error characteristics

이가 실제보다 높게 설정되어 신뢰성 있는 연집예러의 분석이 불가능하다. BLC에 따른 연집예러의 수와 연집예러의 길이의 관계를 다음의 예를 들어 고찰하기로 한다.

위 그림에서 BLC를 3으로 선정하게 되면 연집예러수는 2개(5-7, 12-15)가 되며 연집예러의 길이는 3+4로 7 비트가 된다. 그러나 BLC를 6으로 선정하게 되면 연집예러수는 1개(5-15)가 되며 연집예러의 길이는 11 비트로 되어서 BLC의 선택에 따라서 매우 다른 양상을 띄게 된다.

상기 제시한 정의를 적용하여 평균 연집예러 길이를 정의하면 다음과 같다.

$$\bar{B} = \frac{\text{전체 연집예러 길이의 합}}{\text{전체 연집예러의 수}} \quad (24)$$

BLC 설정에 따른 평균 연집예러의 길이를 모의수행을 통하여 구한 결과는 다음과 같다.

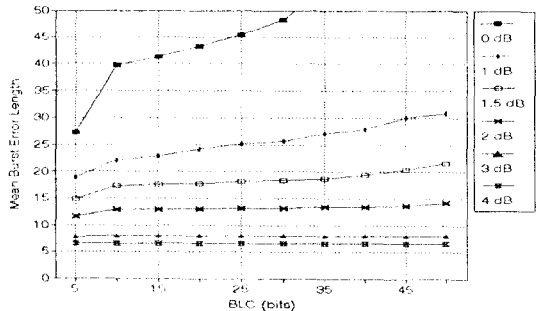


그림 6. BLC에 따른 평균 연집예러 길이  
Fig 6. Average burst length according to the BLC

위 그림에서  $E_b/N_0$ 가 낮아질수록 BLC에 비례하여  $\bar{B}$ 는 증가하나 반대로  $E_b/N_0$ 가 커질수록 BLC에 상관없이 거의 일정한 값(≒6)을 가짐을 알 수 있다. 결과의 신뢰성을 보장하기 위하여 그림 7에서는 BER에 따른 평균 연집예러의 길이를 BLC가 4, 6, 50에 대한 모의수행을 수행하고 그 결과를 제시하였다. BER이  $10^{-4}$  이하에서는 BLC에 상관없이 위에서 언급한 결과와 같이 약 6정도의 평균 연집예러 길이가 됨을 고찰할 수 있다.

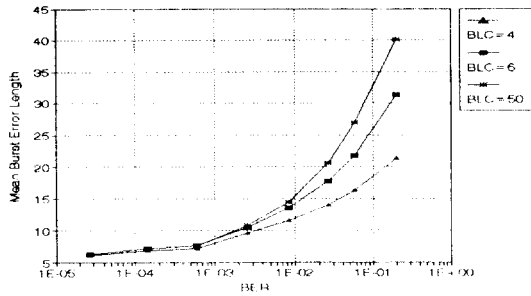
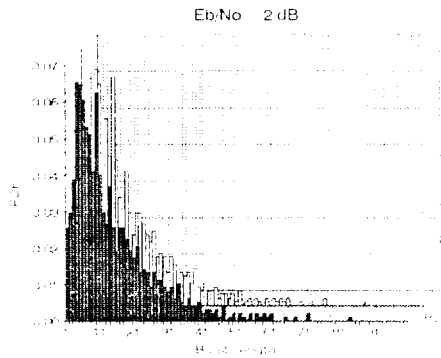
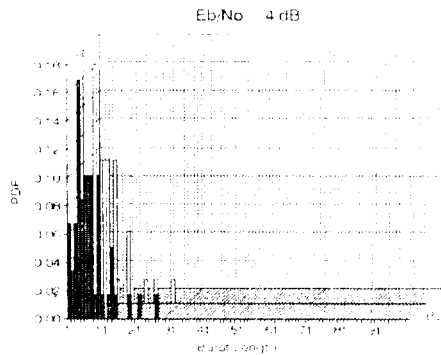


그림 7. BER에 따른 평균 연집에러의 길이  
Fig 7. Mean burst error length according to the BER



(a)  $E_b/N_0 = 2$



(b)  $E_b/N_0 = 4$

그림 8. 연집에러 길이의 확률 밀도 분포  
Fig 8. Probability density distribution of burst error length

상기 제시한 평균 연집에러의 길이는 ATM QoS의 이론적 계산을 위해 요구되는 파라미터를 얻기 위한 과정이었다. 그러나 본 논문에서 제시하고자 하는 인터리빙 구조에 따른 성능평가는 평균 연집에러의 길이보다는 연집에러 길이의 분포를 얻는 것이 중요하다.  $E_b/N_0$ 에 따른 연집에러 길이의 확률 밀도 분포 모의실험 결과를 제시하면 그림 8 과 같다.

연집에러 길이 분포에 대한 분석은 ATM 셀에서 연집에러의 연집에러 특성을 랜덤한 단일 비트에러로 만들어 주기 위한 인터리버 구조 설계시에 매우 중요한 정보로서 작용할 것이다. 즉 인접한 비트의 연속적인 에러를 방지하기 위해서는 인접비트의 거리를 최소한 앞에서 분석한 연집에러 분포의 길이보다도 더 멀리 할 수 있는 인터리버 구조가 제시되어야 한다. 예를 들어  $E_b/N_0$ 가 2dB이상인 경우 80 비트이상, 4dB인 경우 30비트 이상의 거리가 확보되어야 한다.

#### IV. ATM QoS 성능 향상을 위한 방법

위성 채널 부호화로 인한 연집에러 특성은 ATM과 같은 패킷단위로 전송을 해야 할 경우 성능 저하의 주원인(에러 정정 능력의 한계성)으로 작용하게 된다. 특히 ATM에서는 각 셀마다 주소 번지가 주어져 있어 이 부분에 에러가 발생할 경우 매우 심각한 성능 저하가 야기 된다. 따라서 본 논문에서는 ATM 셀 헤더에 초점을 맞추어서 이러한 단점을 개선시킬 수 있는 인터리버 구조를 제시한다.

인터리빙을 ATM 셀에 적용하는 방법으로 셀 헤더간을 인터리빙하는 블록단위 인터리빙 방법과 한 개의 셀 전체에 대해 인터리빙하는 셀단위 방법을 고려할 수 있다. 전자는 일정 전송율이 지속적으로 유지될 때 셀 헤더간에 인터리빙을 수행한다. 후자는 셀 발생률이 일정하지 않을 때 한개의 ATM 셀 전체에 대해서 인터리빙을 행하는 방법으로 인터리버에 의한 셀 전송 지연을 최소화 할 수 있다. 따라서 전자인 경우에는 셀 전송량이 많은 중계망(NNI: Node Network Interface)에 적절하고, 후자인 경우에는 셀 전송율이 불균일한 가입자망(UNI: User Network Interface)에 적절한 방식이 된다.

인터리버 구조 설계시 두 가지의 기본 조건을 만족



시켜야 한다. 첫째로, II장에서 보인 HEC 이중모드 알고리즘의 이중모드 동작(검출모드에서의 1 비트 에러는 셀손실)을 고려해야 한다. 둘째로, III장에서 분석한 연접에러 확률 밀도 분포도를 기준으로 헤더의 인접비트간의 거리를 충분히 확보할 수 있도록 해야 한다.

4.1 중계망(NNI)을 위한 인터리버 구조

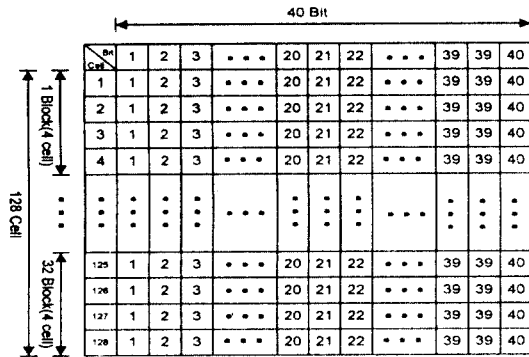
일반적인 인터리버 구조를 바탕으로 중계망에 적합한 블럭단위 인터리버를 설계한다. 먼저 ATM 셀 헤더는 40 비트로 구성되어 있으므로 행의 길이는 최소한 40개의 행이 있어야 함을 쉽게 알 수 있다. 다음으로 열의 길이는 인터리버 설계조건을 만족시키기

위한 것으로서 인접비트간의 거리를 30 비트 이상을 유지하기 위해 열의 길이는 30열 이상이 필요하며 또한 HEC 이중모드 알고리즘(검출모드 동작)을 고려하여 인접 셀간의 거리를 1셀 이상 유지하기 위해서는 최소한 60 열 이상이 필요함을 알 수 있다. 이상의 제한 사항을 고려하여서 본 논문은  $2^n$  ( $n=6$  or  $7$ )개의 ATM 셀 헤더를 가지는 인터리버 구조를 제시한다.

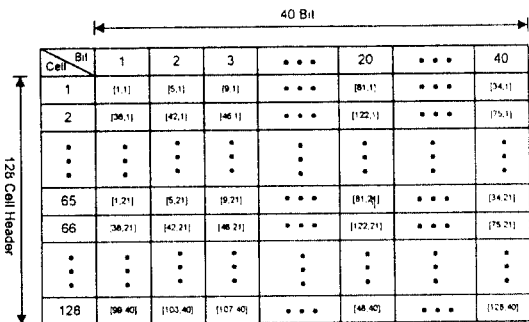
HEC 이중모드 알고리즘을 고려하여  $2^n$ 개의 ATM 셀 헤더를 세부적으로 몇개의 블록으로 나누어서 ATM 셀간의 거리를 두기로 하고 이를 인터리버-N 구조로 정의한다. 위의 제시 구조는 블록 인터리버중에서  $2^7$ 개의 ATM 셀 헤더를 이용한 인터리버-32 구조의 예이다. 인터리버-N 구조에서 송신측에서의 전송 순서는 다음과 같은 수식 차례로 한다.

$$I[2^n/N * i + j, k] \leftarrow \begin{cases} i = 1, 2, \dots, N \\ j = 1, 2, \dots, 2^n/N \\ k = 1, 2, \dots, 40 \end{cases} \quad (25)$$

- ①  $i=j, k=1$ 로 초기 셋팅
- ②  $i=1 \sim N$  증가시킴
- ③  $i=N$ 이 되면  $i=1$ 으로 셋팅하고  $j$ 를 1만큼 증가시킴
- ④  $j=1 \sim 2^n/N$ 이 될 때까지 ①~③ 과정 반복
- ⑤  $j=2^n/N$ 이 되면  $j=1$ 로 셋팅하고  $k$ 를 1만큼 증가시킴
- ⑥  $k=1 \sim 40$ 이 될 때까지 ①~⑤ 과정 반복



(a)블록 인터리버 입력



(b)블럭 인터리버 출력

그림 9. ATM 셀 블럭 인터리버 구조(인터리버-32 구조)  
Fig 9. ATM cell Block interleaver structure

위 수식에서  $I[m, n]$ 은 인터리버에서  $m$ 번째 열,  $n$ 번째 행을 의미하고  $N$ 은 전체 인터리버구조를  $N$ 개의 블록으로 나눈 것을 뜻한다. 이러한 방식으로 출력된 인터리버 출력 비트는 바로 인접비트와는  $N$  만큼 떨어져 있으며 인접 ATM 셀간은  $2^n/N$ 개의 셀만큼 거리가 생겨 두 가지 인터리버 구성조건을 만족시킬 수 있게 된다.

4.2 가입자망(UNI)을 위한 인터리버 구조

가입자망 서비스를 위해서는 인터리버에 의한 지연이 작은 셀단위 인터리버 구조를 그림 10과 같이 고려할 수 있다. 셀 단위 인터리빙 방법은 셀 헤더의 40 비트들을 유료부하 상으로 분산시키는 방법으로서 전체 424 비트의 셀 전체에 최대한 셀 헤더 비트들을 균일하면서 최대거리를 가지도록 10 비트 간격으로

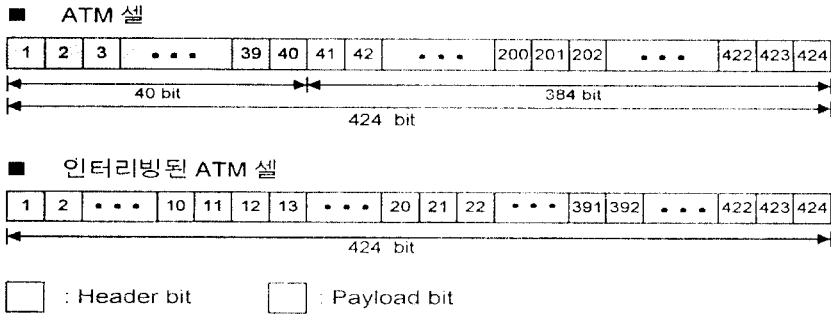
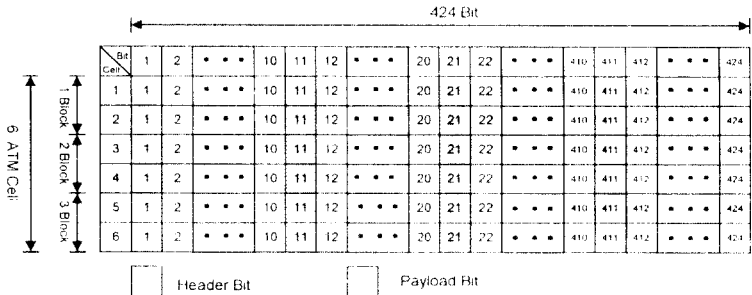


그림 10. 셀 단위 인터리버 구조  
Fig 10. Intra cell interleaver structure

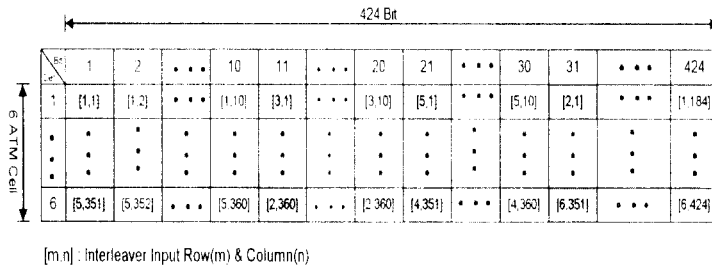
로 셀 헤더 비트를 유료부하 비트사이에 분산 배치시킨다.

이 구조는 인터리버에 의한 셀 지연을 최소화시킬 수 있는 장점을 지니고 있으나 연접에러의 특성을 완전히 랜덤한 단일비트 에러로 만들 수 없는 단점을 지니고 있다. 즉 III장에서 연접에러 분석시  $E_b/N_0$ 가

4 dB에서 연접에러 확률 밀도는 최대 30까지 분포하였음을 보였다. 그러나 셀 단위 인터리버 방법에서는 최대 인접비트 거리가 10이므로 10이상의 연접에러에 대해서는 랜덤한 단일 비트 에러로 분산을 시키지 못하여 인터리버의 기본 구성조건을 만족시킬 수 없게 된다.



(a) Inter-Intra 셀 인터리버 입력



(b) Inter-Intra 셀 인터리버 출력

그림 11. Inter-Intra 셀 인터리버 구조  
Fig 11. Inter-Intra cell interleaver structure

따라서 이러한 단점을 극복하면서 셀 지연을 최소화시켜 전송 품질을 개선할 수 있는 효과적인 방법인 Inter-Intra Cell 인터리버 구조를 그림 11에 제시한다. 이 구조는 연집에러에 효과적으로 대처할 수 있는 블록인터리버 구조의 장점과 셀 지연을 최소화시키는 셀단위 인터리버의 장점을 혼합한 것이다. 헤더의 인접비트간의 거리를 최소한 연집에러 길이 보다도 크게 하면서 인접셀간의 거리도 한 셀이 차이가 나도록 하는 구조로서 인접 헤더 비트간의 거리는 60이며 인접셀간의 거리는 한 셀이 되도록 하였다. 6개의 ATM 셀로 정한 것은 연집에러가 30까지 발생되는 경우에 필요한 최소한의 셀이기 때문이다.

Inter-Intra 셀 단위 인터리버 입력은 먼저 셀 단위로 인터리빙된 ATM 셀 6개를 인터리버 메모리내에 차례로 입력시킨다. Inter-Intra 셀 인터리버 구조에 대해서 출력 순서는 다음 수식처럼 나타낼 수 있다.

$$I[2 \cdot i + j, k \cdot 10 + m] \leftarrow \begin{cases} j=1, \dots, 4 \\ j=1, 2 \\ k=1, \dots, 42 \end{cases} \quad (26)$$

$$\begin{cases} m=1, \dots, 9, 10 & \text{if } k < 42 \\ m=1, 2, 3, 4 & \text{if } k = 42 \end{cases}$$

①  $i=1, j=1, k=1, m=1$ 로 초기 세팅

②  $m=1 \sim 10$  증가시킴

③  $m=10$ 이 되면  $i$ 를 1 증가시키고  $m$ 은 1로 세팅

④  $i$ 가 4가 될 때까지 ①③ 반복

⑤  $i$ 가 4가 되는 순간  $j$ 를 1만큼 증가

⑥  $j=1, 2$ 동안 ①⑤ 과정 반복

⑦  $j=3$ 이 되는 순간  $j=1$ 로 세팅하고  $k$ 를 1씩 증가시킴

⑧  $k=41$ 이 될 때까지 ①~⑦ 과정을 반복,  $k=42$ 일 때는  $m$ 의 범위는  $[1, 4]$ 에서만 시행

### V. 모의실험 결과

그림 12는 FEC와 ATM-IF 사이에 인터리버를 사용한 채널 모델 구조이다. 지상망 ATM-IF에서는 프레임단위로 전송되는 지상 전송형태(SDH의 STM-N, SONET의 STS-N 등)로부터 ATM 시작점을 찾아 ATM 셀만을 추출한다. ATM-IF에 의해 추출된 셀은 인터리버 구조(블록 인터리버, 셀 단위 인터리버, Inter-Intra 셀 단위 인터리버)에 의해 인터리빙된 후 채널부호화를 거쳐 송신이 이루어진다. 이 신호는 위성채널(본 논문에서는 간단히 AWGN만을 가정)을 통과한 후 목적 지상망에 수신되며 역인터리버를 통하여 본래의 ATM 셀을 복구하게 된다.

ATM QoS 파라미터중에서 연집에러에 가장 민감하게 반응하게 될 CLR에 대한 결과 비교가 주 대상

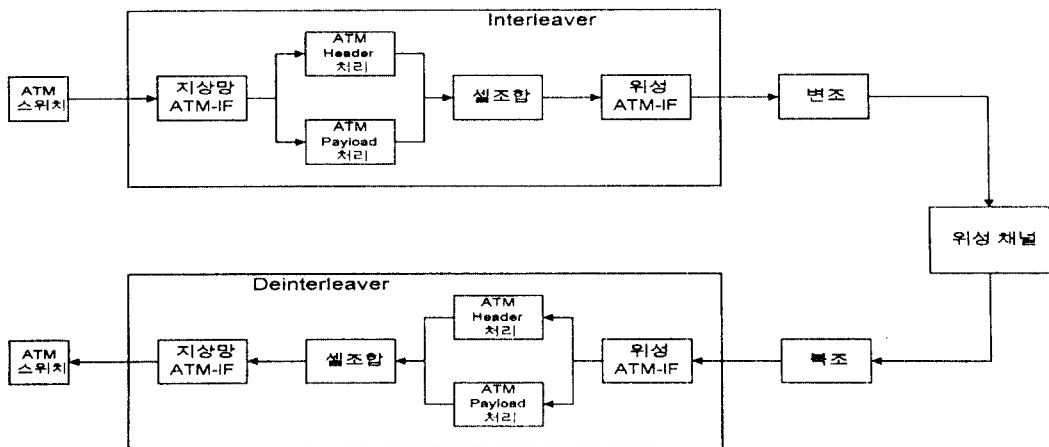


그림 12. 인터리버를 사용한 채널 구조

Fig 12. Channel model according to using the interleaver

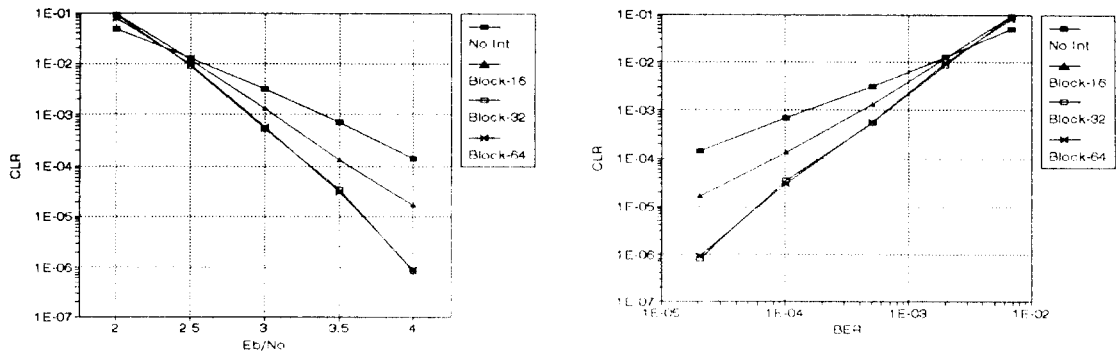


그림 13. 인터리버구조에 따른 CLR 평가  
 Fig 13. CLR performance of Block interleaver structures

이 될 것이며 부가적으로 CIR 및 SECR 에 대한 평가가 인터리버의 구조에 대한 성능 평가를 하기 위해서 사용될 것이다.

그림 13은 27개의 ATM 셀 헤더를 사용하는 블록 인터리버-N 구조에 대해 최적의 구조를 찾기 위한 모의 실행으로, 인터리버-16, 인터리버-32, 인터리버-64 구조에 대한 각각의 CLR 결과를  $E_b/N_0$ 와 BER 측면에서 분석하였다. 그림에서 No Int는 인터리버를 사용하지 않고 채널부호화만을 사용하였을 때의 모의 실행결과로서 제안 방식과의 비교를 하기 위하여 제시하였다. 결과에서 인터리빙을 사용하지 않은 No Int의 결과는 채널부호화에 따른 연접에러에 의해 CLR이 단지 BER에 비례하여 감소하고 있음을 볼 수 있으나, 채널부호화 후에 인터리빙을 사용함으로써 각 인터리버의 구조 특성에 따라서 성능이 향상되고 있음을 볼 수 있다. 인터리버-16 구조(즉 인접셀간의 거리 128/16=8, 인접비트간의 거리:16)를 통하여 얻어낸 결과는 인터리빙을 사용하지 않을 때보다는 성능 개선이 다소 이루어졌지만 다른 구조보다 CLR 측면에서 볼때 다소 성능이 떨어짐을 볼 수 있다. 이는 인접셀간의 거리는 충분히 떨어져 있으나 인접비트간의 충분한 거리를 유지하지 못함으로 연접성 에러에 영향을 완전히 벗어나지 못했기 때문이다. 인터리버-32 구조(즉 인접셀간의 거리 128/32=4, 인접비트간의 거리:32)를 사용한 결과는 그림 5의 이론 결과치와 비교해 보면 랜덤한 에러로 변해졌다는 사실

을 알 수 있다. 인터리버-64 구조(인접셀간의 거리 128/64=2, 인접비트간의 거리 64)를 사용하여 얻은 결과 또한 인터리버-32 구조와 거의 비슷함을 볼 수 있다.

본 논문에서는 블록 인터리버의 열의 개수를 2<sup>n</sup>의 형태가 되도록 하였으며 기본적으로 128개의 ATM 셀(n=7)에 대한 헤더간의 완전한 비트 인터리빙을 가정하고 있다. 앞서서도 언급한 바와 같이 인터리버 구조에서 가장 이상적인 구조는 완전한 랜덤에러비트에서의 특성을 갖도록 하는 것이다. 이를 위해서는 인터리빙 되는 셀 헤더와의 절충이 있어야 한다. 즉 셀 지연과 전송 성능사이의 절충이 필요하다. 따라서 이에 대한 성능 분석으로 64개의 ATM 셀(n=6) 헤더와 128개의 ATM 셀 헤더(n=7)에 대해 인터리버-32 구조를 사용 시행한 결과를 그림 14에 제시한다.

그림 14는 디코더 출력 BER을 기준으로하여 연접 에러와 랜덤단일비트에러에서의 이론적인 CLR과 셀 헤더간의 인터리빙을 위해 2<sup>6</sup>과 2<sup>7</sup>개의 셀 헤더를 사용하였을때의 CLR에 대한 모의실행 결과이다. 이론적인 결과는 인터리빙 유무에 따른 이상적인 값으로서 인터리버에 포함되는 셀 헤더수에 따른 성능개선 값을 보여주기 위해 같이 제시하였다. 위 결과를 본다면 2<sup>6</sup>개의 ATM 셀헤더간의 인터리버-32 방식에 의한 비트 인터리빙은 이론적인 값에 비해 약간의 성능 열화가 있으나 2<sup>7</sup>개의 셀 헤더를 사용한 방식은 랜덤에러에 대한 이론적인 값과 일치한다. 따라서 2<sup>n</sup>을

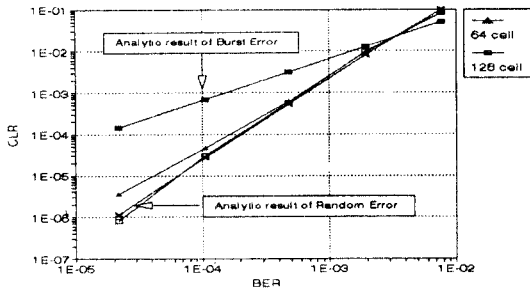
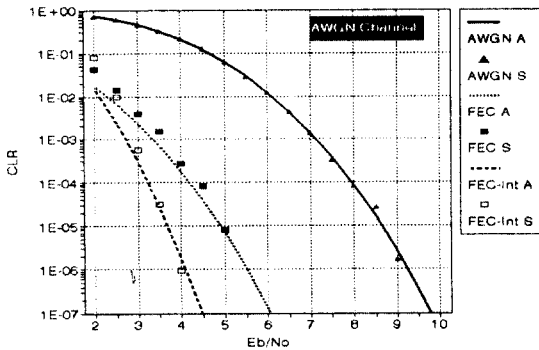
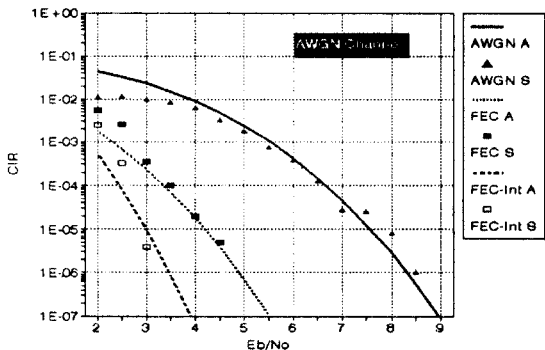


그림 14.  $2^6$  &  $2^7$ 개의 ATM 셀 헤더간의 인터리버-32구조에 의한 비교

Fig 14. Performance comparison between  $2^6$  &  $2^7$  ATM cell header interleaver using Block-32



(a) CLR



(b) CIR

그림 15. FEC와 인터리버 사용에 따른 성능 평가

Fig 15. Performance evaluation according to using the FEC & interleaver

기준으로 하였을 때의 블록 인터리버로서 필요한 ATM 셀 헤더는 128개의 셀 헤더가 적절함을 알 수 있다. 그러나 인터리버에 의한 지연이 가장 큰 성능 평가의 지수로서 작용하게 되면 약간의 CLR 성능이 열화될지라도, 인터리버에 의한 셀 지연을 최소화시키기 위해서는  $2^6$ 개의 ATM 셀 헤더를 사용한 인터리버-32 구조가 적절하다고 사료된다.

그림 15는 AWGN 환경하에서 직접 모의 수행을 시행한 결과를 근사수식을 사용하여 구한 이론값과 비교하였다. 즉 FEC 코딩이 없을 때, FEC 코딩이 있을 때, 그리고 FEC 코딩과  $2^7$ 개의 셀 헤더를 사용한 인터리버-32 구조에 대한 모의 수행 결과 및 II장에서 언급한 이론식에 따른 이론치를 같이 나타내었다. 이론식에 따른 결과는 선으로 나타내었으며 모의수행의 결과는 심벌로서 표시하였다.

$E_b/N_0$  적인 측면에서 CLR을 성능 평가의 대상으로 고려할 때  $10^{-6}$ 을 기준으로 하여 분석하면 FEC 코딩만을 사용할 경우 FEC 코딩이 없을 때 보다 약 4 dB 정도의 코딩이득을 얻을 수 있으며 FEC와 인터리버-32구조를 사용하였을 때 5.3 dB 정도의 코딩이득을 얻고 있음을 볼 수 있다. CIR에 있어서도 CLR과 거의 비슷한 이득을 얻고 있음을 모의수행 결과를 통하여 확인 할 수 있다.

지금까지 중계망을 가정한 블록 인터리버에 의한 성능 향상의 결과를 고찰하였다. 다음으로 가입자망 (UNI)을 가정하였을 때의 셀 단위 인터리버와 Inter-Intra 인터리버의 CLR 결과를 고찰해 보기로 한다.

그림 16은 세 가지 인터리버의 CLR 결과를 비교한 그림으로서 성능의 차이를 제시해 주고 있다.

그림 16의 결과로부터 3가지의 인터리버 구조중에서 셀 단위 인터리버, Inter-intra 셀 단위 인터리버 그리고 블록 인터리버의 순서대로 성능의 차이가 발생함을 알 수 있다. 셀 단위 인터리버인 경우에 인터리버구조를 사용안한 것보다는 성능이 좋으나 다른 두 구조에 비해 많은 성능차이가 발생하고 있다. 블록 인터리버와 Inter-intra 셀 단위 인터리버 구조를 비교하면 전자의 성능이 더 좋으나 그 성능의 차이가 거의 없음을 모의수행 결과로부터 볼 수 있다. 이는 둘다 인접비트간의 거리가 최소 30 비트 이상 분리되어 있으며 인접셀간의 거리 또한 1 셀 이상 차이를 두었기

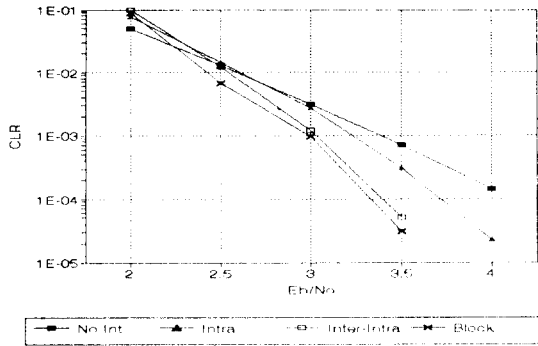


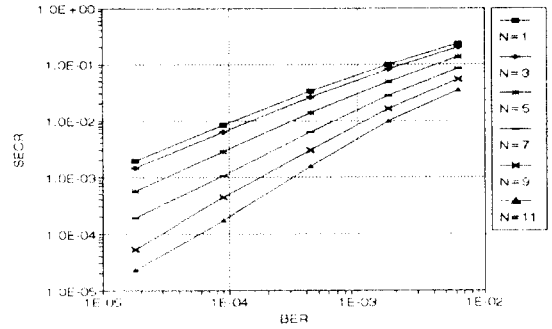
그림 16. 가입자망을 위한 인터리버 구조의 성능 평가  
Fig 16. Performance evaluation of interleaver structures for UNI

때문이다. 위 결과는 셀 헤더만에 의한 성능 평가에서는 블록 인터리버와 Inter-intra 셀 단위 인터리버의 차이가 거의 없음을 보여주고 있다.

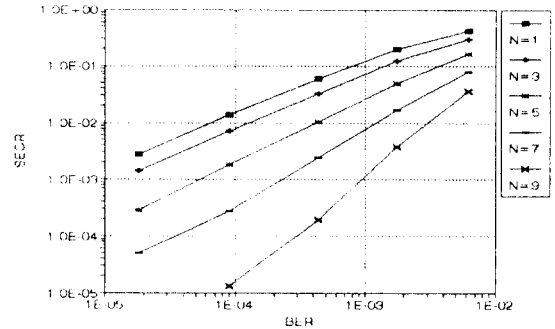
제안된 3가지 인터리버의 성능 평가를 좀더 자세히 하기 위하여 ATM QoS 중에 유료부하의 심한 에러의 양을 나타내는 SECR 파라미터에 대한 모의 수행 결과를 그림 17에 제시하였다. 각 결과는 셀 단위 인터리버, Inter-Intra 셀 인터리버, 2개의 셀 헤더에 대한 블록 인터리버-32 구조를 사용하여 SECR을 측정 한 것으로서, (a)는 셀 단위 인터리버를 사용 유료부하의 에러 비트수를  $N=1, 3, 5, 7, 9, 11$ 로 가정하여 얻은 결과이고, (b)는 Inter-Intra 셀을 사용하여  $N=1, 3, 5, 7, 9$ 에 대한 결과이다. 그리고 마지막으로 (c)는 셀 유료부하간에 블록 인터리버를 사용하여  $N=1, 2, 3, 4$ 에 대해 수행한 것이다.

셀 단위 인터리버와 Inter-Intra 셀 단위 인터리버의 결과 값을 보면 2-3절에서 언급한 연접에러 상황에서 얻을수 있는 SECR 값에 비슷함을 볼 수 있으나 블록 인터리버와 같은 방법으로 비트 단위로 유료부하 안에서 인터리빙을 수행할 경우 2-2절의 SECR 이론값과 일치하고 있음을 볼 수 있다. 즉 유료부하 안에서 연접에러가 랜덤한 단일비트 에러로 변환을 관찰할 수 있다.

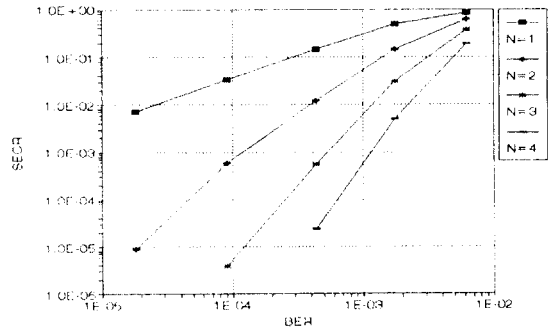
그림 18은  $E_b/N_0$ 에 따른 SECR의 확률 밀도 분포를 세 가지의 인터리버 구조로 구분하여 얻은 결과이다. 이 모의수행 결과는 ATM 셀 헤더안에서만 비트 단위의 인터리빙이 필요한 것이 아니라 페이로드 안



(a) 셀 단위 인터리버



(b) Inter-Intra 셀 단위 인터리버



(c) 블록 인터리버

그림 17. 인터리버 사용에 의한 SECR  
Fig 17. SECR according to using the interleaver

에서도 셀 페이로드간에 비트 단위의 인터리빙이 필요함을 볼 수 있다.

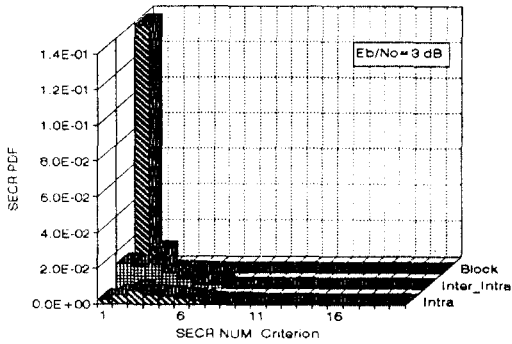
VI. 결 론

ATM 기술을 기반으로한 광대역 종합정보통신망의 구현에 대한 연구가 전세계적으로 수행되고 있으며 또한 차세대 정보통신망으로서 유·무선망의 통합망을 위한 기초단계에 대한 연구가 이루어지고 있다. 따라서 본 논문에서는 모든 전송에 기초가 되는 가장 기본 단계인 물리 계층면에서 광섬유를 기반으로 하는 ATM 기술을 위성 시스템에 응용하기 위한 기술에 대해서 검토하였다. 위성시스템의 낮은  $E_b/N_0$  환경에서 높은 BER을 유지하기 위한 채널 부호화 및 복호화로 인해 발생하는 연접성 에러 환경하에서, 광섬유에서와 같은 성능을 유지하기 위한 방안으로 본 논문에서는 연접에러 특성을 분석하여 이를 바탕으로 새로운 인터리버 구조를 제시하였다.

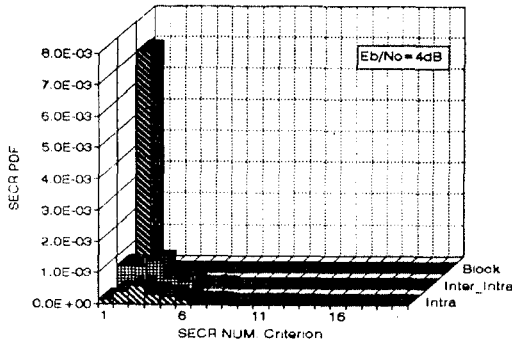
본 논문이 제시하는 인터리빙 방법은 주로 두 가지의 상황에서 고려되었다. 즉 중계망과 같은 상황에서 사용될 수 있는 블록 인터리빙 구조와, 가입자망과 같은 상황에서 사용할 수 있는 인터리버 구조로서 셀 단위 인터리빙을 개선한 Inter-Intra 셀 단위 인터리빙을 제시함으로써 FEC 코딩에 의해서 발생하는 연접에러에 의해 CLR 및 CIR의 성능이 저하되는 것을 광 파이버와 같은 정도의 성능 비율을 유지할 수 있도록 하였다. 그리고 SECR 적인 측면에서 블록 인터리빙인 경우 유료부하에 대해 비트 단위로 인터리빙을 시행함으로써 유료부하에 에러가 균일하게 분포되고 있음을 보였다. 따라서 인터리버에 의한 지연을 고려하지 않을 때 블록 인터리버 구조가 가장 적당한 구조라고 판단할 수 있다.

성능평가는 주로 AWGN 채널하에서 행하였으며  $10^{-6}$ 을 기준으로 셀 손실을 측면에서 비교하면, 채널 부호화가 없는 경우  $E_b/N_0$ 는 약 9.3 dB정도가 필요하였으나 채널부호화가 사용되면  $E_b/N_0$ 는 약 5 dB정도가 되었고 본 논문에서 제시한 인터리버-32 구조 및 Inter-Intra 셀 단위 인터리버를 사용하였을 때는 약 4 dB 정도가 정도가 되어 5.3 dB 정도의 코딩 이득을 얻고 있음을 알 수 있다.

블록 인터리버를 사용함에 따른 지연은 위성모뎀의 ATM 셀만의 전송속도가 약 30 MHz/s 정도의 전송이 가능할때, 송·수신 인터리버에 의해 약 3.6 ms 정도가 지연이 되나 이는 위성 지연 260 ms에 비하면



(a)  $E_b/N_0 = 3$



(b)  $E_b/N_0 = 4$

그림 18. 3가지 인터리버에 의한 SECR 확률 밀도 분포  
Fig 18. SECR probability density distributions according to using the 3 interleavers

$E_b/N_0$ 의 값이 4 이상일 경우 셀 단위 인터리버와 Inter-Intra 셀 인터리버인 경우 3개 이상의 에러가 유료부하에 존재하고 있으나, 블록 인터리빙을 사용한 결과는 에러가 3 비트 이하가 됨을 알 수 있으며, 특히 발생하는 에러 비트들도 1비트 에러에 집중적으로 분포하고 있다. 이처럼 비트 단위의 블록 인터리버와 같은 구조를 사용하여 유료부하에 랜덤하게 균일하게 분포된 에러는 AAL 3/4 형태에서 셀 유료부하에 대한 에러 정정능력이 보강될 경우, 에러 수정이 될 가능성이 바이트 단위 인터리버나 혹은 인터리빙을 시행하지 않은 경우보다 높으리라 사료된다.

아주 적은 양이 되며 또한 셀 손실에 따른 세 전송 요구 등을 고려하면 인터리버의 사용은 필수적이라고 판단된다.

참고 문헌

1. D. E. McDysan, D. L. Spohn, *ATM: Theory and Application*, McGraw-Hill, 1994.
2. S. Ramseier, T. Kaltenschnee, "ATM over Satellite : Analysis of ATM QoS Parameters," Proc. of ICC'95, Vol. 3, pp. 1562-1566, 1995.
3. S. Ramseier, T. Kaltenschnee, "Impact of Burst Errors on ATM over Satellite-Analysis and Experimental Results," Proc. of ICDSC, Vol. 10, pp. 236-243, 1995.
4. D. M. Chitre, D. S. Gokhale, T. Henderson, J. L. Lunsford, and N. Mathews, "Asynchronous Transfer Mode(ATM) Operation via Satellite: Issues, Challenges and Resolutions," Int. Journal of Satellite Comm., Vol. 12, pp. 211-222, May-June 1994.
5. J. Lunsford, S. Narayanaswamy, D Chitre, and M. Neibert, "Link Enhancement for ATM over Satellite Links," Proc. of ICDSC, Vol. 10, pp. 129-136, 1995.
6. Stephen B. Wicker, *Error Control Systems for Digital Communication and Storage*, Prentice Hall, 1995.
7. G. D. Forney, "The Viterbi Algorithm," IEEE Proceedings, Vol. 61, No. 3, pp. 268-278, March 1973.
8. D. J. Kennedy, M. B. Nakhla, "Burst Error Characterizations of FEC Coded Digital Channels," ICDSC-10, pp. 243-250, 1995.
9. A. Franchi, R. A. Harris, "On the Error Burst Properties of Viterbi Decoding," Proc. of ICC'93, pp. 1086-91, June 1993.
10. CCITT "Blue Book," Vol. 1, Fascicle I.3, "Terms and Definitions," Rec. M. 60 n. 34, Rec. Q.9 n. 0222
11. J. A. Heller, I. M. Jacobs, "Viterbi Decoding for Satellite and Space Communication," IEEE Trans. Commun. Technol., Vol. COM-19, No. 5, pp. 835-848, October 1971. 2702

12. J. L. Ramsey, "Realization of Optimum Interleavers," IEEE Trans. Information Theory, Vol. IT-16, No. 3, May 1970.
13. D. Zwillinger, *Standard Mathematical Tables and Formulae*, CRC, 1996



金 信 才(Sin Jae Kim) 정회원  
 1995년:성균관대학교 전자공학과 졸업  
 1995년~ :성균관대학교 대학원 석사과정  
 ※ 관심분야: 위성통신, 이동통신, 디지털통신 기술 등임



金 東 奎(Dong Kyu Kim) 정회원  
 1995년:성균관대학교 전자공학과 졸업  
 1995년~ :성균관대학교 대학원 석사과정  
 ※ 관심분야: 위성통신, 이동통신, 디지털통신 기술 등임



金 炳 均(Byung Kyun Kim) 정회원  
 1992년:성균관대학교 전자공학과 졸업  
 1994년:성균관대학교 대학원 전자공학과 졸업  
 1994년~ :성균관대학교 대학원 박사과정  
 ※ 관심분야: 위성통신, 이동통신, 위성이동통신, 디지털통신 기술 등임



崔 炯 辰(Hyung Jin Choi) 정회원  
 1974년:서울대학교 전자공학과 졸업  
 1976년:한국과학기술원 전기전자공학과 졸업  
 1976년~1979년:주식회사 금성사 중앙연구소  
 1979년~1982년:University of Southern California 전기공학과 박사(Ph.D)

1982년~1989년:LinCom Corp. 연구원  
 1989년~ :성균관대학교 전자공학과(부교수).  
 ※ 관심분야: 디지털통신, 무선통신, 이동통신, 위성통신 및 동기화 기술을 포함한 Modem 기술 등임