

지연 및 버퍼 크기를 고려한 셀 간격 조정 알고리즘

正會員 郭東鎔*, 韓龍敏*, 權栗*, 朴弘植*

A Shaping Algorithm Considering Cell Delay and Buffer Size

Dong Yong Kwak*, Yong Min Han*, Yool Kwon*, Hong Shik Park* *Regular Members*

요 약

본 논문은 셰이핑 기능에 기인한 셀 지연과 버퍼의 크기를 조정할 수 있는 한계의 임계 값을 가진 셀 간격 조정 알고리즘을 제안하고, 리키 버킷 알고리즘을 통과할 수 있는 가장 worst한 트래픽을 셀 간격 조정 알고리즘의 입력으로 가정하여 임계값의 위치에 따라 셀 간격 조정 알고리즘을 통과할 수 있는 트래픽 형태를 규정한다. 그리고 이 트래픽들이 스위치의 지연 및 버퍼 크기에 미치는 영향에 대해 기존의 다른 셀 간격 조정 알고리즘과 비교하였다. 그 결과 제안 알고리즘이 임계값이 없는 기존의 알고리즘보다 셰이핑에 기인한 지연 및 출력 버퍼 크기를 임계 값에 따라 쉽게 조정할 수 있음을 보여 주었다.

ABSTRACT

In this paper we propose a new shaping algorithm which can control the shaping delay and the output buffer size based on the leaky bucket counter with a threshold value. This paper assumes that input traffic of the proposed shaping algorithm is the worst case traffic tolerated by the continuous leaky bucket algorithm and characterizes traffic patterns that can depart from our shaping algorithm. We also compare shaping delay and output buffer size of the proposed algorithm with the existing shaping algorithm without a threshold value. Our results show that the proposed shaping algorithm can easily manage the shaping delay and output buffer size than any other mechanism.

I. 서 론

미래의 통신망은 음성, 문자 및 화상 정보를 수용

할 수 있는 광대역 종합 정보 통신망으로 발전될 전망이고 이러한 광대역종합정보통신망을 위한 전달 기술로는 비동기 전달 방식(Asynchronous Transfer Mode: ATM)이 최종 확정 및 표준화되고 있다. ATM 망에서 예방적 트래픽 제어 기술로 사용되고 있는 두개의 트래픽 제어 메카니즘, 사용 파라미터 제어(Usage Parameter Control: UPC)와 연결 수락 제어(Connection

*한국전자통신연구소
論文番號: 96187-0624
接受日字: 1996년 6월 24일

Admission Control : CAC)는 매우 중요한 기능이지만, 실제 시스템에 적용되기 위해서는 많은 문제점들이 해결되어야 한다. 구체적인 예로, ATM 망에 들어 오는 입력 트래픽은 ATM 계층의 셀 다중화, OAM(Operation And Maintenance) 셀 및 물리 계층의 오버헤드 삽입으로 인한 지연때문에 단말에서 발생된 원래의 셀 흐름과 매우 다른 형태로 변경되는 셀 지연 변이(Cell Delay Variation : CDV) 현상이 발생한다. 셀 지연 변이는 UPC의 감시 파라미터로 설정되어야 하는데, 너무 크게 설정하면 트래픽 계약을 위반한 셀들을 망으로 허용시키는 문제점이 발생한다. 이는 단순히 사용자가 선언한 트래픽 파라미터에 의존한 연결 수락 제어는 셀 지연 변이에 의해 각 연결들이 요구한 서비스 품질을 확실하게 보장할 수 없다는 것을 의미한다 [4]. 그러므로 최근에는 UPC와 CAC를 연계하여, 주어진 UPC 감시 파라미터에 잘 순응된(conforming) 트래픽으로 판정되어 망으로 전송될 수 있는 가장 worst한 트래픽 형태를 규정하고, 그 규정된 worst 트래픽 형태에 근간하여 망의 자원을 할당하는 worst 트래픽을 고려한 CAC 방법에 대해 많은 연구가 진행되고 있다[4][5][6][7]. 비록 이 방법은 사용자의 서비스 품질을 안전하게 보장할 수 있는 CAC 메카니즘을 제공할 수 있지만, 셀 지연 변이를 너무 크게 설정하면 지나치게 큰 worst 트래픽이 CAC 메카니즘의 입력으로 가정되어 대역의 효율성이 급격히 떨어지는 문제점이 발생한다[7].

따라서 본 논문에서는 리키 버킷 알고리즘을 통과할 수 있는 worst 트래픽이 망 자원에 심각한 영향을 주는 것을 줄이고, 셰이퍼에 기인한 지나친 지연도 제어할 수 있는 한개의 임계값을 가진 셀 간격 조정 알고리즘을 제안하고, 리키 버킷 알고리즘을 통과할 수 있는 가장 worst한 트래픽을 셀 간격 조정 알고리즘의 입력으로 가정하여 임계값의 위치에 따라 셀 간격 조정 알고리즘을 통과할 수 있는 트래픽 형태를 규정한다. 그리고 이 트래픽들이 스위치의 지연 및 버퍼 크기에 미치는 영향에 대해 기존의 다른 셀 간격 조정 알고리즘과 비교하고, 트래픽 제어 메카니즘으로서의 역할에 대해서도 살펴 본다.

서론에 이어지는 제 II장에서 한개의 임계 값을 가진 셀 간격 조정 알고리즘을 제안하고, 제 III장에서는 제안한 셀 간격 조정 알고리즘을 통과할 수 있는

worst 트래픽 형태를 살펴 본다. 제 IV장에서는 본 논문에서 제안한 셀 간격 조정 알고리즘과 스위치를 연계하여, 스위치에 요구되는 출력 버퍼의 크기 및 지연에 대해 분석한다. 마지막으로 제 V장에서 결론을 맺는다.

II. 한개의 임계값을 가진 셀 간격 조정 알고리즘

본 논문에서 제안하는 셀 간격 조정 알고리즘은 UPC/NPC 장치 뒤에 위치하며, UPC/NPC를 통과한 셀들 간에 간격을 조정한다. 본 논문에서 사용하는 UPC는 ITU-T SG13 I.371에서 권고한 최대 셀 전송 속도(r)와 셀 지연 변이 톨로런스 τ 를 감시 파라미터로 하는 리키 버킷 알고리즘 LB(r, τ)이며, 그림 1과 같다[1]. 이 알고리즘에서 사용하는 파라미터 및 카운터의 변화를 살펴 보면, T 는 최대 셀 전송 속도(r)의 역수로 셀 간의 최소 셀 간격을 나타내며, α_k 는 k 번째 셀이 리키 버킷에 도착한 시간을 나타낸다. X 는 예상도착 시간과 실제 도착 시간 간에 차이를 누적하는 카운터이며 식 (1)에 따라 변한다.

$$\begin{aligned}
 X_{k+1}(\alpha_{k+1}) &= T && \text{if } (X_k(\alpha_k) - (\alpha_{k+1} - LCT(\alpha_k))) < 0 \\
 X_{k+1}(\alpha_{k+1}) &= (X_k(\alpha_k) - (\alpha_{k+1} - LCT(\alpha_k))) + T && \text{if } 0 \leq (X_k(\alpha_k) - (\alpha_{k+1} - LCT(\alpha_k))) \leq \tau \\
 X_{k+1}(\alpha_{k+1}) &= X_k(\alpha_k) && \text{otherwise.}
 \end{aligned} \tag{1}$$

그리고 X' 은 보조 변수로서 셀이 도착한 시점에서의 셀 지연 변이 값을 나타내며, $0 \leq X' \leq \tau$ 일때만 잘 순응한 셀로 판단된다. LCT(Last Conformance Time)는 마지막으로 준수한 셀의 도착 시간을 나타낸다.

본 논문에서 제안한 셀 간격 조정 알고리즘은 위에서 설명한 리키 버킷 알고리즘에 근거하여 동작된다. 그림 1에서 점선 부분은 본 논문에서 제안한 셀 간격 조정 알고리즘을 실현하기 위해 LB(T, τ) 알고리즘에 새로 추가된 기능이다. 제안된 셀 간격 조정 알고리즘은 전단의 리키 버킷 알고리즘에서 잘 순응된 셀로 판정된 경우에만 적용되며, 임계 값 h 의 범위는 $0 \leq h \leq \tau$ 이며, 트래픽의 지연 특성에 따라 결정된다. 즉 지연에 민감한 트래픽에 대해서는 0 값 가까이에서 결정되고, 지연에 민감하지 않는 트래픽에 대해서는 τ 값 가까이에서 결정된다. ADT(Actual Departure Time)

는 셀 간격 조정 알고리즘을 실제 떠나는 시간을 나타내며, 임계값 h 이전에 도착한 셀들에 대해서만 최소 셀 간격 T 로 엄격하게 셀 간격 조정 기능이 적용되며, 임계값 h 이후에 도착하는 셀들은 셀 간격 조정 기능이 적용되지 않는다. ADT'는 가장 최근에 셀 간격 조정 알고리즘을 떠난 셀의 시간을 나타낸다. 그리고 ADT에 근간한 버퍼 관리 알고리즘에 대한 실제 구현 및 방법은 참고 문헌 [2][3]에 잘 나타나 있다.

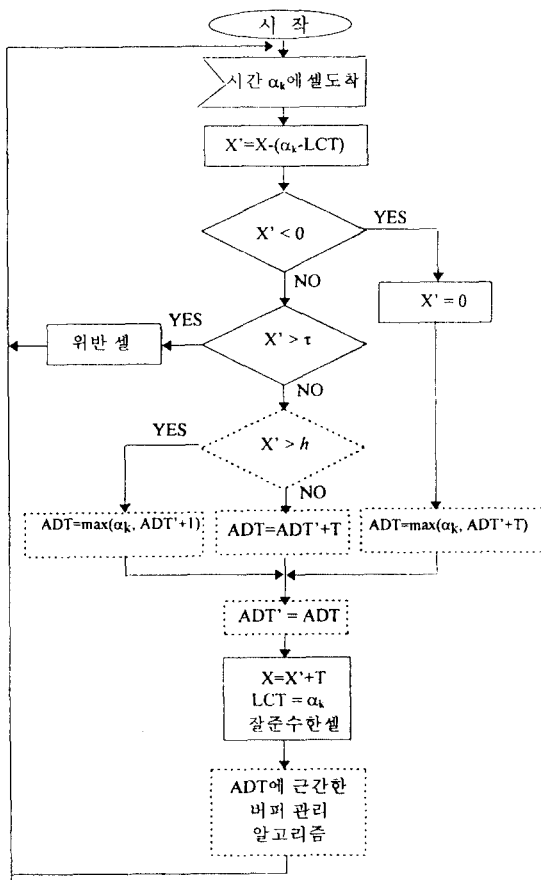


그림 1. 제안된 셀 간격 조정 알고리즘
Fig. 1 The proposed shaping algorithm

III. 셀 간격 조정 알고리즘을 떠난 Worst 트래픽 형태

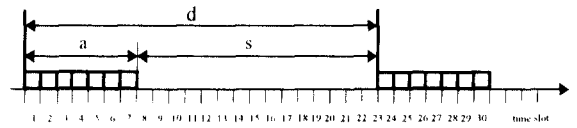
최대 셀 전송 속도 r 와 셀 지연 변이 톨로런스 τ 가 주어졌을 때 $LB(r, \tau)$ 메카니즘에서 준수 셀로 판정되어, 연속해서 망으로 들어 갈수 있는 최대 셀의 수 a 는 식 (2)와 같다[1][4].

$$a = 1 + \lceil \tau / (T - 1) \rceil \quad (2)$$

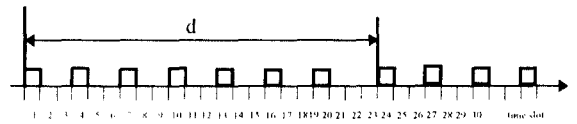
여기서 $[x]$ 는 x 의 정수 부분을 나타낸다. 그리고 식 (2)와 같은 형태의 셀이 주기적으로 발생되는 경우, 셀 간에 최대 간격 s 는 식 (3)과 같다[1].

$$s = 1 + a(T - 1) \quad (3)$$

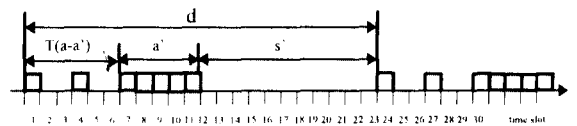
그림 2는 $(a + s)$ worst 트래픽이 본 논문에서 제안한 셰이퍼에 도착했을 때, 임계값 h 의 위치에 따라 셰이퍼를 떠나는 트래픽 형태를 나타낸다.



a) $T = 3, \tau = 12, h = 0$



b) $T = 3, \tau = 12, h = 12$



c) $T = 3, \tau = 12, h = 4$

그림 2. 셰이퍼를 떠난 worst 한 트래픽 형태

Fig. 2 Worst case traffic patterns that can depart from the proposed shaper

그림 2의 a)는 셰이핑 기능이 없는 UPC만 있는 경우와 동일하며, 제안된 셀 간격 조정 알고리즘의 임계값 h 를 0으로 설정하는 것과 같다. 그림 2의 b)는 군집된 셀들이 모두 일정한 간격 T 로 엄격하게 셰이핑된 기존의 방식과 동일하며[2][3], 여기서의 임계값 h 는 12이다. 그림 2의 c)는 임계값 h 에 의해 부분적인 셰이핑이 수행된 경우를 나타낸다. 여기서 a' 은 식 (4)에 나타난 바와 같이 식 (2)의 τ 를 $\tau-h$ 로 대체하여 구한다.

$$a' = 1 + (\tau - h) / (T - 1) \quad (4)$$

그리고 s' 은 식 (5)에 나타난 바와 같이 a' 을 식 (3)에 대입하여 구한다.

$$s' = 1 + a'(T - 1) \quad (5)$$

일반적으로 셀 간격의 조정은 사용자를 위한 기능 이라기 보다 망 자원의 관리를 쉽고 효율적으로 관리하기 위해서 설치된다고 볼 수 있다. 그리고 셀 다중화 장치나 OAM 셀 삽입등으로 인한 지연은 필연적인 지연으로 볼 수 있지만, 셰이퍼에 의한 지연은 망에서 인위적으로 발생시키는 것이기 때문에 군집된 모든 셀들을 항상 셰이핑 하는 기존의 방법은 실시간 속성을 요구하는 트래픽의 서비스 품질을 나쁘게 할 수 있다. 따라서 본 논문에서 제안한 셀 간격 조정 알고리즘은 서비스 특성에 따라 셀 지연이 허용되는 범위까지 셰이핑을 하면서, 부분적으로 수행된 셰이핑 이득을 얻기 위해 한개의 임계값 h 를 리키 버킷 알고리즘 내에 설정하였다.

다음으로 주어진 $LB(r, \tau)$ 를 통과할 수 있는 가장 worst한 트래픽 ($a + s$) 형태가 본 논문에서 제안한 셀 간격 조정 알고리즘을 통과할때 임계값 h 의 위치에 따라 발생하는 전체 셀 지연은 세개의 경우로 분류된다.

i) $h=0$ 일때 (셰이퍼가 없는 경우)

$$S_{h=0} = 0 \quad (6)$$

ii) $h=\tau$ 일때 (모든 셀들이 셰이핑되는 경우)

$$S_{h=\tau} = (T-1) \sum_{i=1}^{a-1} i \quad (7)$$

iii) $partial = 0 \leq h \leq \tau$ 일때 (부분셰이핑이 수행되는 경우)

$$S_{partial} = (T-1) \sum_{i=1}^{(a-a')-1} i + a'((a-a')(T-1)) \quad (8)$$

식 (8)에서 첫번째 부분은 부분적으로 셰이핑된 셀들의 지연을 나타내고, 두번째 부분은 셰이핑이 안된 셀들에 대한 지연을 나타낸다. 식 (6), (7), (8)의 버퍼 크기는 식 (9)와 같은 관계를 가진다.

$$S_{h=0} \leq S_{partial} \leq S_{h=\tau} \quad (9)$$

식 (9)는 본 논문에서 제안한 셰이퍼는 임계값을 변경시킴으로서 셰이퍼 내의 지연을 적절하게 조절할 수 있음을 나타낸다. 그림 2의 각 경우에 대해 7개의 셀들이 겪는 전체 셰이핑 지연을 살펴보면, a)의 경우는 0이고, b)의 경우는 42 셀 타임 슬롯(평균 셀 지연 = $42/7=6$), c)의 경우는 26 셀 타임 슬롯(평균 셀 지연 = $26/7=3.71$)이다. 그리고 가장 많은 지연을 겪는 셀은 7번째 타임 슬롯에 도착한 셀로서 부분적인 셰이핑을 수행하는 c)에서는 4 셀 타임 슬롯이고, 군집된 모든 셀들을 엄격하게 셰이핑하는 b)에서는 12 셀 타임 슬롯이다.

IV. 시뮬레이션 결과 분석

출력 버퍼 크기와 셀 지연을 분석하기 위한 시뮬레이션 모델은 그림 3과 같이 N개의 입력 포트와 출력 포트를 가진 한개의 노드로 구성된다.

각 입력 포트에는 $LB(T, \tau)$ 와 제안된 셰이퍼가 위치하며, 여기서의 모든 시간 단위는 셀 타임 슬롯으로, 1 셀 타임 슬롯은 53 octets를 스위치 용량 C로 전송하는데 걸리는 시간이다.

먼저 스위치에 필요한 출력 버퍼의 크기는 Survivor function $P[Q > q]$ 을 이용하여 구하였다. Survivor function은 큐의 길이 Q 가 q 보다 더 클 확률을 나타내며, 큐 길이가 q 인 유한 큐의 셀 손실률을 추정할때 사용된다. 시뮬레이션에서 사용된 파라미터는 $T=20$, $\tau=400$, $h=(0, 100, 200, 300, 400)$ 이다. 따라서 $LB(20$,

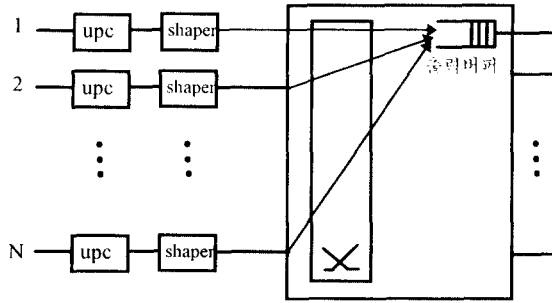


그림 3. 시뮬레이션 모델
Fig. 3 Simulation model

400)을 통과할 수 있는 가장 worst한 트래픽 형태는 $a = 22, s = 419, d = 441$ 이며, 이 worst 트래픽은 임계값 h 의 위치에 따라 표 1의 형태로 변형되어 스위치의 입력 트래픽이 된다.

표 1. 임계값 h 에 따른 트래픽 형태

Table 1. Traffic patterns according to the threshold value

h	a'	s'	Partial shaping $= a - a'$
0	22	419	0
100	16	305	6
200	11	210	11
300	6	115	16
400	0	0	22

그림 4는 표 1에 제시된 트래픽을 스위치의 입력 트래픽으로 가정하여 출력 버퍼의 크기를 시뮬레이션을 통하여 비교한 것이다. 각 입력 트래픽은 항상 일정한 형태로 반복되기 때문에, 큐의 길이 Q 가 임의의 q 크기를 만족하는 확률은 최초의 셀이 시작하는 위치에 의존한다. 따라서 각 입력 트래픽의 최초의 시작 위치 결정은 반복 주기($d = 441$) 내에서 랜덤하게 결정되었으며, 120,000 번을 반복 수행하였다. 그리고 트래픽 부하는 0.85(17개의 연결)로 고정시켰다. 그림 4는 셰이퍼 사용의 효과를 잘 보여 주고 있다. 목표로 하는 셀 손실률을 만족하기 위해서는 셰이퍼를 사용하지 않는 경우는 엄청난 양의 셀 버퍼가 필요하게 된다. 따라서 실현을 실제로 할 때에는 적절

한 임계 값의 설정에 의해 출력 버퍼 크기를 유지할 필요가 있다. 또한 그림 4는 본 논문에서 제안한 방법이 출력 버퍼 크기에 따른 임계 값 h 를 조정함으로써 버퍼의 부족으로 인한 셀 손실을 방지할 수 있음을 보여 주고 있다.

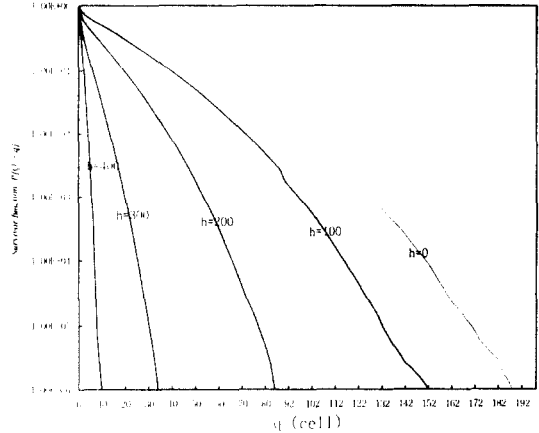


그림 4. 임계값 h 에 따른 출력 버퍼 크기의 변화

Fig. 4 Output buffer size according to the threshold value

다음으로 시스템내에서 지연은 셰이핑 기능을 수행함으로써 발생하는 지연과 스위치에서 수행되는 셀 다중화 장치에 의해 발생하는 지연으로 구분된다. 먼저 셀 셰이핑에 기인한 지연은 임계값 h 에 따라 표 1의 입력 트래픽은 표 2와 같이 고정된다.

표 2. 임계값 h 에 따른 셀 지연 변화

Table 2. Cell delay according to the threshold value

h	평균 셀 지연	최대 셀 지연
0	0	0
100	96	114
200	152.13	228
300	186.68	304
400	199.6	399

표 2에서 셰이핑에 기인한 평균 셀 지연 및 최대 셀 지연은 식 (10)과 식 (11)에 의해 구해진다.

$$S_{mean} = S_{partial}/a \tag{10}$$

$$S_{max} = \begin{cases} (a-1)(T-1) & \text{if } a' = 0, \\ (a-a')(T-1) & \text{otherwise.} \end{cases} \tag{11}$$

표 2는 본 논문에서 제안한 방법이 임계 값 h 의 위치에 따라 웨이핑에 기인한 지연을 조정할 수 있음을 보여 주고 있다.

다음으로 웨이핑 지연 외에 스위치내에서 수행되는 다중화에 기인한 평균 셀 지연은 표 3과 같다.

표 3. 트래픽 부하에 따른 다중화 장치에서의 평균 셀 지연
Table 3. Mean cell delay at the cell multiplexer according to the traffic load

Load (No. of Connections)	h=0	h=100	h=200	h=300	h=400
0.1 (2)	11.0	0.278	0.126	0.042	0.016
0.15 (3)	22.0	0.585	0.264	0.087	0.034
0.2 (4)	33.0	0.927	0.416	0.136	0.053
0.25 (5)	44.0	1.304	0.584	0.191	0.074
0.3 (6)	55.0	1.724	0.768	0.249	0.097
0.35 (7)	66.0	2.219	0.979	0.313	0.122
0.4 (8)	77.0	2.755	1.211	0.385	0.149
0.45 (9)	88.0	3.393	1.479	0.463	0.178
0.5 (10)	99.0	4.085	1.768	0.550	0.210
0.55 (11)	110.0	4.958	2.132	0.651	0.248
0.6 (12)	121.0	5.944	2.538	0.765	0.288
0.65 (13)	132.0	7.121	3.028	0.897	0.333
0.7 (14)	143.0	8.568	3.634	1.055	0.384
0.75 (15)	154.0	10.282	4.380	1.244	0.441
0.8 (16)	165.0	12.380	5.334	1.481	0.509
0.85 (17)	176.0	14.897	6.559	1.797	0.589

표 3은 그림 4와 같은 트래픽 조건에서 단지 트래픽 부하를 증가하면서 변화되는 평균 셀 지연을 시뮬레이션한 결과이다. 표 3에서 보면, 임계 값 h 에 의해 부분 또는 전체적으로 웨이핑 된 연결들의 셀 다중화 장치에 기인한 평균 셀 지연은 트래픽의 부하에 관계없이 매우 작음을 보여 주고 있다. 반면 웨이핑이 전혀 안된($h=0$) worst 트래픽의 셀 다중화 장치에 의한 평

균 셀 지연은 부하에 매우 민감함을 보여 주고 있다.

그림 5는 시스템 내에서의 평균 셀 지연을 각 임계 값 별로 비교한 것이다. 그림 5에서 살펴 보면 모든 셀들에 대해서 엄격하게 스페이싱 하는 방법($h=400$)은 부하에 상관 없이 항상 upper bound의 셀 지연을 발생시킨다. 한편, 스페이싱 기능이 적용되지 않는 경우($h=0$)는 평균 셀 지연의 크기가 부하에 매우 민감함을 보여 주고 있다. 즉 부하가 작을 때는 웨이핑 기능이 적용된 연결들 보다 평균 셀 지연이 작은 장점을 가지고 있지만, 부하가 0.85 정도가 되면 웨이핑 기능이 적용된 연결들과 시스템 내에서의 평균 셀 지연이 매우 유사해져 출력 버퍼 크기 뿐만 아니라 셀 지연에도 장점이 없음을 보여 주고 있다.

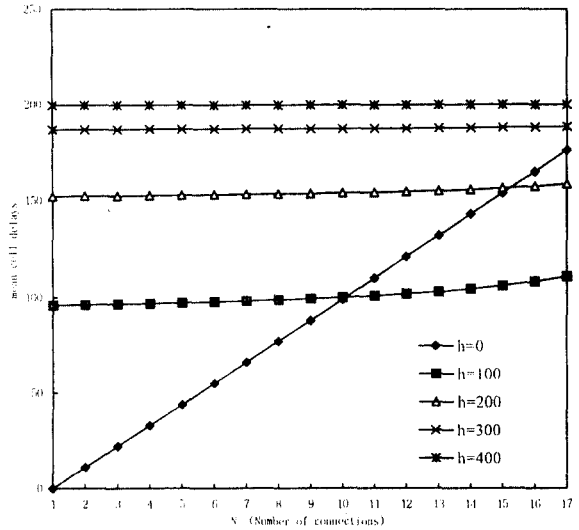


그림 5. 부하에 따른 시스템에서의 평균 셀 지연의 변화
Fig. 5 Mean cell delay at the system according to the traffic load

그림 4와 그림 5의 결과를 살펴 보면 본 논문에서 제안한 방법은 출력 버퍼와 셀 지연의 크기를 임계 값 h 를 조정하여 제어할 수 있음을 보여 주고 있다. 그리고 셀 지연은 웨이퍼에서 발생하는 셀 지연이 대부분의 지연을 차지하기 때문에, 웨이핑에 기인한 지연만 고려하여 임계 값 h 를 설정하는 것이 바람직하다.

V. 결 론

본 논문은 UPC를 통과한 군집된 셀들중 임계값에 따라 셰이핑 기능을 수행하는 셰이퍼 알고리즘을 제안하고, 제안한 셰이퍼를 통과하는 트래픽중 ATM망에 가장 나쁜 영향을 줄수 있는 worst 트래픽을 규정하였다. 그리고 이 worst 트래픽이 스위치의 버퍼 크기 및 시스템 지연에 미치는 영향에 대해 셰이퍼가 없는 시스템, 모든 셀을 엄격하게 셰이핑하는 시스템, 그리고 임계값을 두어 부분적으로 셰이핑하는 본 논문에서 제안한 셀 셰이핑 방법 각각에 대해서 비교 및 분석하였다. 그 결과 본 논문에서 제안한 셰이핑 방법은 버퍼의 크기 및 지연을 임계값에 따라 적절히 조절하므로써, 사용자가 요구하는 품질과 망의 자원을 유연하게 관리할 수 있음을 보여 주었다. 추후 본 논문에서 제안한 셰이퍼와 연결 수락 제어의 연관성, 그리고 가변 비트 속도 서비스에 대한 셰이핑 방법이 계속적으로 이루어져야 할 것이다.

참 고 문 헌

1. ITU-T Recommendation I.371, White book, 1996.
2. Wallmeier, E. and Worster, T., The spacing policer, an algorithm for efficient peak bit rate control in ATM networks, Proceedings of ISS92, vol. 2, pp. 22-26, Yokohama, Japan, October 25-30, 1992.
3. Boyer, P., Guillemin, F., Servel, M. and Coudreuse, J., Spacing cells protects and enhances utilization of ATM network links, IEEE Network, vol. 6, no. 5, pp. 38-49, Sep. 1992.
4. M. Bonatti and A. A. Gaivoronski. Worst case analysis of ATM sources with application to access engineering of broadband multiservice networks. Proc. ITC-14, Elsevier Science Publishers, 1994, editors J. Labetoulle and J.W. Roberts.
5. B. T. Doshi, Deterministic Rule Based Traffic Descriptors for Broadband ISDN: Worst Case Behavior and Connection Acceptance Control, Proc. ITC-14, Elsevier Science Publishers, 1994, editors J. Labetoulle and J.W. Roberts.

6. J. Boyer, A. Gravy and K. Sevilla, Resource Allocation for Worst Case Traffic in ATM Networks, First Workshop on ATM Traffic Management WATM95, pp. 1-19, Dec. 1995.
7. J.W. Roberts, B. Bensaou, and Y. Canetti, A traffic control framework for high speed data transmission, Modelling and Performance Evaluation of ATM Technology, Elsevier Science Publishers, pp. 243-262, 1993.



郭 東 鎔(Dong Yong Kwak)정희원
 1983년 2월: 동국대학교 전자계산학과 졸업(학사)
 1985년 8월: 동국대학교 전자계산학과 졸업(석사)
 1985년 9월~현재: 한국전자통신연구소 근무 현 ATM정합연구실 선임연구원

※주관심분야: ATM트래픽 제어, 성능 분석 및 모델링



韓 龍 敏(Yong Min Han)정희원
 1992년 2월: 한국항공대학교 항공전자공학과 졸업(공학사)
 1994년 2월: 한국항공대학교 전자공학과(공학석사)
 1994년 3월~현재: 한국전자통신연구소 근무



權 栗(Yool Kwon) 정희원
 1978년 2월: 서강대학교 전자공학과 졸업(학사)
 1985년 2월: 부산대학교 전자공학과 졸업(석사)
 1993년 2월: 부산대학교 전자공학과 졸업(박사)
 1993년 5월: 한국전자통신연구소

근무 현 ATM정합연구실 책임연구원

※주관심분야: 신경회로망, ATM트래픽 제어



朴 弘 植(Hong Shik Park) 정회원

1977년 2월: 서울대학교 공과대학
졸업(학사)

1986년 8월: 한국과학기술원 전기
및 전자공학과 졸업
(석사)

1995년 2월: 한국과학기술원 전기
및 전자공학과 졸업
(박사)

1977년 12월~현재: 한국전자통신연구소 근무 현 ATM
정합연구실장

※주관심분야: ATM트래픽제어, ATM트래픽 특성
분석, ATM 프로토콜