

위상 데이터 비트수를 최적화한 멀티미디어용 FM 음원합성 IC의 설계

正會員 洪賢碩*, 金利燮*

Design of FM Sound Synthesizer IC for Multimedia with Phase bit Optimized

Hyeon Seog Hong*, Lee-Sup Kim* *Regular Members*

※본 논문은 1994년도 교육부 반도체분야 학술연구조성비에 의해 지원되었음.

요 약

최근 멀티미디어 시대의 도래로 컴퓨터 음악 및 음원합성에 관한 관심이 높아지고 있으며, 특히 FM 방식의 음원합성은 비교적 간단한 구조로 다양한 악기음의 합성이 가능하다. 따라서 본 논문에서는 FM 방식의 실시간 악기음 생성이 가능한 하드웨어 구조 및 논리회로를 설계하였다.

본 논문에서는 실시간 논리회로의 구현을 고려한 기본음 발생기를 정의하였고, 이 구조를 이용한 Csound 소프트웨어 시뮬레이션을 통하여 주요 파라미터에 따른 합성음의 특성을 분석하였고 악기의 FM 음원 파라미터를 추출하였다. 이때 부동 소수점 연산과의 차이는 알고리즘 레벨의 시뮬레이션을 이용하여 분석하고 데이터 비트 수를 최적화 하였다. 하드웨어의 주요 블록은 위상 생성부, 정현파 생성부, 포락선 발생부와 승산부로 구성하였다. 한편 논리회로는 1.0um 스탠다드 셀 라이브러리를 이용하여 VHDL과 논리 게이트로 설계 및 검증하여 향후 주문형 반도체 제작이 용이하도록 하였다.

ABSTRACT

With the advent of multimedia era, there are ever increasing interest in computer music and sound synthesis. An FM type sound synthesizing method makes possible the synthesis of various sounds of musical instruments with a

*한국과학기술원, 전기 및 전자공학과
Department of Electrical and Electronics Engineering Korea
Advanced Institute of Science and Technology
論文番號: 96238-0806
接受日字: 1996년 8월 6일

relatively simple hardware architecture. Therefore, in this paper, we designed a hardware architecture for real-time sound synthesizer and its logic gates.

In this paper, we designed a basic sound generator for implementation of real-time logic gates, analyzed characteristics of sounds synthesized in this architecture and extracted parameters of FM sounds of musical instruments by using the Csound software. The major blocks to build the hardware are a phase-generator, a sine-function-generator, an envelope-generator and a multiplier-part. Finally, logic circuits are designed and verified in VHDL and logic gates by 1.0um standard cell library, which will be easily implementable by the form of ASIC.

I. 서 론

최근 멀티미디어 시대의 도래로 관심이 높아지고 있는 악기음 합성 방법은 전자악기의 발달과 함께 연구 되어 왔고, 이 중 대표적인 음원합성 방식은 가산합성(additive synthesis), 감산합성(subtractive synthesis), PCM(pulse code modulation)과 FM(frequency modulation) 방식이 있다.^{1)~5)} 가산합성 방식은 복수개의 정현파를 합하여 악기음원을 생성하는 방식으로 여러 개의 정현파 발진기가 필요한 단점이 있고, 감산합성은 복잡한 기본 파형에서 단계적으로 필터의 계수를 조절하여 음의 특정 성분을 제거하여 음원을 합성하는 방식이고 PCM은 메모리에 저장된 음원 데이터를 신호처리하여 재생하는 방식으로 많은 메모리를 소비하는 단점이 있다.

컴퓨터 사운드 카드에 많이 적용되는 FM 방식은 1973년 미국 Stanford 대학의 John Chowning에 의해 처음 연구된 주파수를 변조시켜 얻은 다양한 고조파 성분으로 악기음을 생성하는 방식이다.^{4)~6)} 이 방식은 다른 음원합성법에 비하여 계산량이 비교적 적어, 회로의 구성이 간단하고 다양한 악기음원을 생성하는데 필요한 파라미터 수가 적어 메모리를 적게 사용하는 특징이 있다.^{7)~8)}

본 논문에서는 FM 음원합성 방식의 IC 구현을 위하여, 하드웨어 설계를 고려한 포락선을 갖는 정현파를 생성하는 기본음 발생기 구조를 정의한다. FM 알고리즘의 반송과 변조 동작의 유사성을 이용하여 기본음 발생기는 반복 동작으로 악기음원을 생성한다. 주요 파라미터 값에 따른 생성음원의 효과를 Csound 소프트웨어로⁹⁾ 기본음 발생기를 모델링하여 합성음을 청취하는 주관적 평가방식으로 분석하고, 주요 악기음원의 파라미터를 추출한다. 특히 논리회로 설계에 적용할 고정 소수점 연산용 기본음 발생기의 위상

데이터 비트수는 합성음원의 적합도를 DSP Station 소프트웨어를¹⁰⁾ 사용하여 최적화하고, FM 알고리즘의 세부 동작과 악기음 추출 파라미터를 분석하여 논리회로의 내부 레지스터와 연산기의 크기를 최적화한다. 이를 기반으로한 논리회로는 VHDL과 게이트 레벨의 혼용 설계방식을 사용하여 계층적으로 설계하고, CAD상에서 ASIC(Application Specific Integrated Circuit) 라이브러리를 사용하여 실시간용 FM 방식 음원합성용 논리회로의 동작을 검증한다.

II. FM 음원합성 알고리즘

악기의 음원 파형은 음정을 결정하는 기본파와 이의 배음인 고조파 성분을 포함하는 주기적 함수로 표현할 수 있다. 여기서 기본파와 고조파의 진폭 및 주파수 성분의 시간적인 변화가 악기의 음색을 결정하는데 중요한 역할을 한다. 그러므로 악기의 음원은 기본파와 고조파의 진폭 및 주파수 성분을 시간에 따라 변화시켜서 합성할 수 있다.

FM 음원합성 방식은 변조기(modulator)에 의해서 반송기(carrier)의 주파수를 변화시켜 고조파 성분을 발생시키는 방식으로 다양한 악기음을 생성하는데 사용된다. 이 방식은 다른 방식에 비하여 연산량이 비교적 적으며, 회로 구현이 간단하고, 여러 악기음을 결정하는데 필요한 파라미터의 수가 적어 메모리를 적게 차지하는 장점이 있다. 하나의 반송기($A \sin \Phi_c$)와 변조기($I \sin \Phi_m$)로 구성된 일반적인 FM 음원합성식은 다음과 같다.^{1)~5, 6)}

$$FM(t) = A \sin[\omega_c t + I \sin(\omega_m t)] \quad (1)$$

여기서 A : 최대 진폭 크기, I : 변조 지수

ω_c : 반송파의 각주파수, ω_m : 변조파의 각주파수

FM 음원합성에서 음량을 결정하는 최고 진폭 A 값과 음색을 표현하는 변조 지수 I 값을 시간에 대한 함수 A(t)와 I(t)로 대치하여 식 (1)을 다시 쓰면

$$FM(t) = A(t) \sin[\omega_c t + I(t) \sin(\omega_m t)] \quad (2)$$

가된다. 식 (2)를 n차 Bessel 함수, $J_n(I(t))$ 로 나타내어 주파수에 따라 표현하면 다음과 같다.

$$FM(t) = A(t) \sum_{n=-\infty}^{\infty} J_n(I(t)) \sin(\omega_c t + n \omega_m t) \quad (3a)$$

$$= A(t) [J_0(I(t)) \sin \omega_c t + J_1(I(t)) \{ \sin(\omega_c + \omega_m)t + \sin(\omega_c - \omega_m)t \} + J_2(I(t)) \{ \sin(\omega_c + 2\omega_m)t + \sin(\omega_c - 2\omega_m)t \} + \dots] \quad (3b)$$

일반적 악기과정의 주파수 성분은 기본 주파수와 기본 주파수의 배수인 고조파들로 구성되기 때문에 식 (3)에서 반송부와 변조부의 각주파수인 ω_c 와 ω_m 을 정수배로 고정하면, 기본파인 반송파와 다양한 고조파 성분을 나타낸다. 또한 식 (3)에서 I(t)의 영향을 살펴보면, 변조 지수가 증가하면 전체 대역폭이 증가하여 많은 고조파 성분을 생성하고, 이때 임의의 각주파수 $\omega_c + n\omega_m$ 에서의 진폭은 해당 Bessel 함수 값인 $J_n(I(t))$ 로 결정되고, 이는 반송파의 에너지가 전체 대역으로 분산됨을 의미한다. 즉 변조 지수 I(t)는 음원의 동적 스펙트럼(dynamic spectrum)을 결정하는 파라미터이다.

한편 악기음의 미세 효과를 위하여 음정을 시간에 따라 주기적으로 변화시켜 자연스러운 음색을 표현하는 비브라토(vibrato) 및 음량을 시간에 따라 변화시키는 트레몰로(tremolo) 기법을 식 (2)에 포함시키면 다음과 같다.

$$FM(t) = A(t) \sin[\omega_c t + I(t) \sin(\omega_m t) + F_{vib}(t)] F_{tre}(t) \quad (4)$$

$$\text{여기서 } F_{vib}(t) = D_{vib} \sin(\omega_{vib} t)$$

$$F_{tre}(t) = O_{tre} + D_{tre} \sin(\omega_{tre} t)$$

음의 3대 요소인 음정, 음색, 음량의 관점에서 FM 음원합성 방식을 해석하면, 음정은 반송기의 각주파수 ω_c 로 결정하고, 음색은 반송부와 변조부와 주파수

ω_c 와 ω_m 의 비 그리고 변조지수 I(t)로 표현하고, 음량은 악기음 출력 A(t)를 조절하여 나타내며 여기에 비브라토와 트레몰로 효과를 추가하여 최종 악기음을 합성하는 방식이다.

III. FM 음원합성기 구조 설계 및 분석

FM 음원합성 방식에 의한 악기음원을 생성하기 위하여 식 (4)를 수행하는 기본음 발생기를 정의하였다. 이 기본음 발생기 구조로 생성된 FM 음원의 특성은 오디오 처리 소프트웨어인 Csound에 의하여 생성음을 청취하는 주관적인 방식으로 기본 파라미터의 효과 분석 및 해당 악기음원의 주요 파라미터를 추출하였다. 또한 ASIC 제작에 적합한 논리회로 설계를 위하여, Mentor Graphics사의 소프트웨어인 DSP Station을 이용하여 병렬처리언어인 DFL(Data Flow Language)를 사용하여 부동 소수점 연산에 의한 합성음을 기준으로 고정 소수점 연산에 의한 데이터 비트수에 따른 합성음의 직함도 비교를 통하여, 최적의 고정 소수점 연산용 위상 데이터 비트수를 선정하였다.

1. 기본음 발생기

음원합성을 위한 식 (4)를 수행하기 위해서는 논리적으로 변조부와 반송부의 2개 블록으로 구성할 수 있다. 본 연구에서는, 반송부와 변조부 회로를 별도로 구성시 전체 하드웨어의 크기가 증가하므로, 변조와 반송 기능을 공동으로 수행하는 하나의 기본음 발생기를 그림 1과 같이 정의하였다.

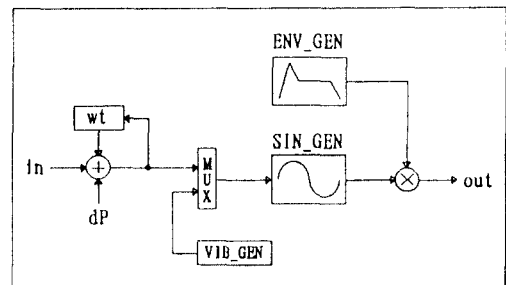


그림 1. 기본음 발생기의 블록도

Fig. 1 Block diagram of the basic sound generator

기본음 발생기는 시간에 따른 위상 값을 계산하는 위상 생성부, 정현파 생성부, 증폭지수 $A(t)$ 와 변조지수 $I(t)$ 를 출력하는 포락선 발생부와 포락선을 갖는 정현파 생성을 위한 승산부로 구성하였고, 악기음의 미세한 주기적 효과를 위한 비브라토와 트레몰로 기능 블록도 포함시켰다. 여기서 포락선 발생부는 반송 혹은 변조용 정현파의 포락선을 생성하는 부분으로 일반적 악기음원 파형을 4개 구간으로 근사화한 ADSR (Attack Decay Sustain Release) 방식의 모델^{12, 13)} 사용하였다. FM 음원합성기는 그림 1의 기본음 발생기 1개를 사용하여, 변조시는 외부 위상 입력을 0으로, 반송시는 변조기 출력이 입력되도록 하고, 2회 반복 동작시켜 1개의 출력 표본화 음원이 생성되도록 구성하였고, 본 구조를 사용하여 음원합성 알고리즘의 분석 및 IV장의 논리회로를 설계하였다.

2. FM 음원합성용 파라미터 분석

FM 방식으로 합성된 악기음원의 특성 분석은, 관련된 파라미터의 값을 조절하면서 시간 영역에서의 파형과 주파수 영역에서의 스펙트럼 분포 및 합성음원을 청취하는 주관적인 방법으로 수행하였다.

증폭지수 $A(t)$ 는 출력 음원의 크기 변화를 나타내고, 주요 파라미터 변화에 따라 악기의 특성을 대략적으로 구분할 수 있었다. 변조지수 $I(t)$ 는 악기의 세부적인 음색을 조절하는 중요한 파라미터로 ω_c 와 ω_m 를 1:1로 고정하고 변조지수를 변화시킨 경우, 큰 변조지수에서 많은 고조파 성분이 넓은 주파수영역에 분포하고 밝고 높은 소리를 나타내었다. 일반적으로 악기의 음원은 전반부에서 많은 고조파 성분의 변화를 나타내고 시간이 흐르면 일정한 고조파 성분을 나타내도록 변조지수 $I(t)$ 를 조절하여 음색의 표현이 가능하였고, 최대 변조지수는 3 이하가 적합하였다. ω_c 와 ω_m 의 비율로는 악기의 전반적인 음색을 표현할 수 있

었다. 즉 고정된 변조지수에서 ω_c 와 ω_m 의 변화에 따른 파형 특성은, 비율이 적은 경우는 낮고 무거운 음색을, 비율이 큰 경우는 고조파 성분이 높은 주파수대에 분포하여 날카로운 음색을 나타내었다. 실험적으로 ω_c 와 ω_m 의 비율은 0.5에서 3 사이의 정수 비로 설정하여 음원의 전반적인 음색을 조절할 수 있었다.

이상의 파라미터 값에 따른 FM 음원 특성을 기초로 하여, 실제 악기 음원을 각 파라미터 값을 변화시켜서 FM 방식으로 합성하였다. 이때 음정은 기본 음정 A4(440Hz)를 사용하였고, 결정된 주요 값은 반송용과 변조용 포락선 $A(t)$, $I(t)$ 파라미터, ω_c 와 ω_m 비율과 비브라토 및 트레몰로 효과용 파라미터 등이다. 이들 파라미터 값의 결정은 공학적인 검증이 다소 결여된 합성음의 청취에 의한 주관적인 방법에 의존하였다. 추출한 첼로 악기의 파라미터는 표 1과 같고, 이때 합성음원 파형 특성은 그림 2와 같다. 합성된 FM 음원은 원래 첼로 음을 8비트로 표본화한 그림 3의 PCM 파형과 대략적인 형태는 유사하나, 상당히 규칙적인 파형으로 나타났다. 이는 PCM 방식은 원음을 디지털 처리하여 섬세한 음원을 재생하므로 다소 불규칙한 자연스러운 파형이나, FM 방식은 연산에 의해 합성음을 생성하므로 규칙적인 파형을 생성하고 음질은 알려진 바와 같이 PCM 음원에 비하여 다소 떨어지나 합성음원의 악기 특성은 잘 파악할 수 있었다.

3. 위상 데이터 비트의 최적화

실시간 FM 음원합성용 논리회로는 회로의 복잡성을 줄이기 위해 고정 소수점 방식의 연산기를 사용하므로, 회로의 크기와 연산의 정확성을 고려한 데이터 비트수의 결정이 필요하다. 이는 식 (2)에서 위상에 관련된 $\omega_c t$, $\omega_m t$ 와 $I(t) * \sin(\omega_m t)$ 가 음정과 음색 결정의 주요 변수로 사용되므로, 위상 값을 기준으로 적합

표 1. 첼로의 파라미터 값

Table 1. Parameters of a cello

	Freq (Hz)	Envelope Model					Vibrato		Tremolo		
		Total Level	Attack Time(mS)	Decay Time(mS)	Sustain Level	Release Time(mS)	Freq (Hz)	Scale	Freq (Hz)	Scale	Offset
Modulator	440	1.0	5.8	1200	0.71	720	-	-	4	0.06	0.94
Carrier	440	1.0	185	340	0.71	350	-	-	-	-	-

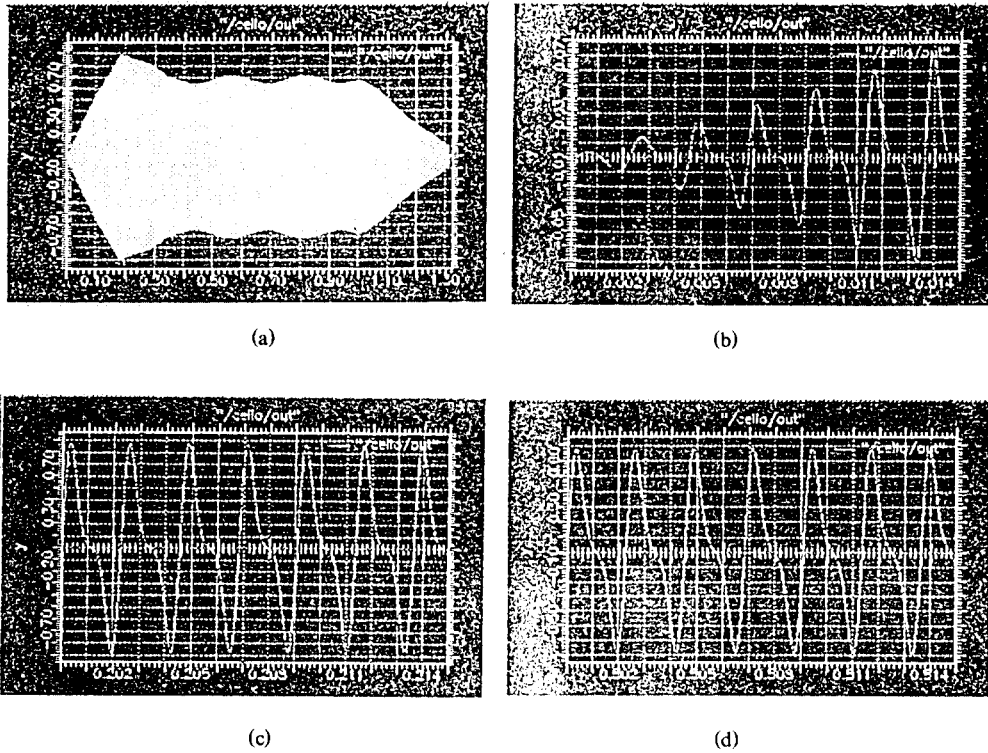


그림 2. 추출된 파라미터에 의해 합성된 첼로의 파형
 (a)전체 구간 (b)초기 구간 (c)감쇄 구간 (d)안정 구간
 Fig. 2 Waveform of a cello synthesized by the parameters listed in Table 1
 (a)a whole region (b)an attack region
 (c)a decay region (d)a sustain region

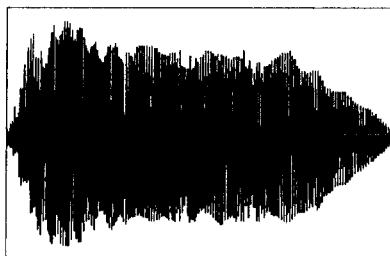


그림 3. PCM 데이터로 구성된 첼로의 파형
 Fig. 3 Waveform of a cello based on PCM data

도를 분석하여 최적의 위상 데이터 비트수를 결정하였다. 이때 악기음원의 출력 표본화 주파수는 해상도 및 논리회로의 설계를 고려하여 가청 주파수(20Hz-20KHz)의 2배 이상인 50KHz로 고정하였다.

위상 데이터를 고정 소수점 방식으로 표현시, 최대값을 나타내는 정수부는 악기 파라미터를 분석하여 3비트로 고정하였고, 섬세도를 나타내는 소수부는 해당 데이터 비트수에 따른 적합도를 분석하여 결정하였다. 적합도 K는 에너지 오차를 부정확도로, 데이터 비트수를 회로의 크기로 가정하여 식 (5)와 같이 나타내었다.

$$K = E_{\text{energy}} * (N_i + N_r) \quad (5)$$

여기서 E_{energy} : 에너지 오차
 N_i : 정수부 비트수
 N_r : 소수부 비트수

여기서 에너지 오차는 기준 음정 주파수에서 부동 소수점 방식의 악기음원 파라미터 값으로 시뮬레이션된 파형과 고정 소수점 방식 음원파형의 에너지 차이로 구했다. 그리고 출력 파형의 에너지는 DFL로 위상 데이터 비트수를 표현하여 음원 파형을 생성하고, 이를 Parseval 정리에 따라 FFT(Fast Fourier Transform) 처리후, 전체 주파수 대역에서 MSE(Mean Square Energy)를 구하는 방식으로 산정하였다. 첼로용 FM 음원 파라미터를 사용하여 분석한 소수부 데이터 비트수에 따른 적합도는 그림 4와 같다.

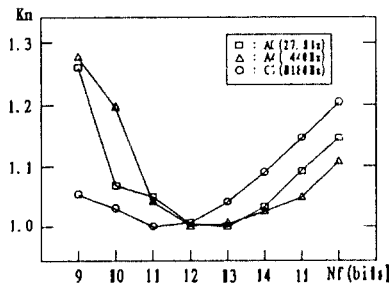


그림 4. 첼로의 데이터 비트수에 따른 적합도
 Fig. 4 Adequacy for data bit variation of a cello

즉 그림 4에서 음정을 나타내는 A0(27.5Hz)의 경우 소수부 데이터가 13비트, A4(440Hz)시 12비트, C8(4186Hz)시 11비트인 경우가 적합하므로, 중간음인 A0의 적합도에 따라 위상 데이터의 소수부를 12비트로 결정하여, 2^{-12} 의 심세도를 갖도록 하였다. 한편 위상 데이터는 위상 생성부에서 시간에 따라 갱신 및 저장되고, 정현파 생성부로 출력된다. 위상 생성부에서는 음정과 음색의 심세도를 결정하는 주요 변수인 위상에 관련된 기존의 위상(Φ_c , Φ_m), 위상 증분($\Delta\Phi_c$, $\Delta\Phi_m$), 변조부의 출력 값($I(t) * \sin\Phi_m$)과 2π 값이 연산되므로, 관련 데이터는 최적화된 2^{-12} 의 심세도를 사용하였다. 한편 정현파 생성부는 위상 값을 입력으로

정현파 데이터를 만들고 이는 포락선 값과 승산을 통해 최종 합성음이나 변조부의 출력 값을 생성한다. 여기서 변조부 출력은 반송부에 입력되어 위상 값(Φ_c)과 가산되어 주파수 변조를 수행하므로, 변조부의 승산 출력($I(t) * \sin\Phi_m$)은 위상 데이터와 같은 2^{-12} 의 심세도만 유지해도 전체적인 연산의 정확도에는 영향이 없다. 그러므로 정현파 생성부의 데이터 비트는, 위상 입력이 아닌 승산기의 입력력을 고려한 정현파 출력 값을 기준으로 결정하는 것이 회로의 간소화를 위하여 효과적이다. 즉 시간에 따른 위상 값 갱신을 위한 위상 생성부의 데이터는 최적화된 2^{-12} 의 심세도를 유지하나, 정현파 생성부의 입력 위상 데이터의 심세도는 승산기 출력 값을 고려하여 IV장에서 축소된 데이터 비트수로 재 선정한다.

IV. 논리회로 설계 및 검증

FM 음원합성용 논리회로는 III장의 기본음 발생기를 기초로 설계하였고, 최종 합성음원을 8비트로 하여 256개의 해상도를 나타내도록 하였다. 전체회로는 10개의 내부 클럭으로 1번의 FM 음원합성 알고리즘을 수행하여 표본화 음원이 출력되도록 하여, 50KHz의 출력 표본화 주파수 경우 1MHz 이하의 저속 클럭으로 충분한 동작이 가능하도록 설계하였다. 이는 향후 복수 음원의 실시간 합성 및 보다 심세한 음원생성을 위한 반송기와 변조기의 다양한 결합 가능성을 나타낸다. 음원합성용 논리회로는 크기의 최소화를 위하여 내부 데이터의 최적 비트수 설정이 중요하다. 이는 III장의 위상 데이터 비트수와 악기 파라미터를 기준으로, 회로의 내부 동작을 분석하여 레지스터와 연산기 크기를 최적화 하는 방식으로 수행하였다. 부분 블럭의 논리회로 설계는 향후 ASIC 제작을 고려하여 LG전자의 1.0um 스탠다드셀 라이브러리를 사용하여, VHDL을 이용한 논리합성과 게이트 레벨의 설계를 혼용하여 수행하였고, Mentor Graphics사의 AutoLogic, Design Architect와 QuickSim 등의 소프트웨어^{14,16} 이용하여 검증하였다.

1. 전체 블럭 설계 및 동작

FM 음원합성용 전체 블럭은 1개의 기본음 발생기의 기능인 포락선을 갖는 정현파를 생성하는 구조로

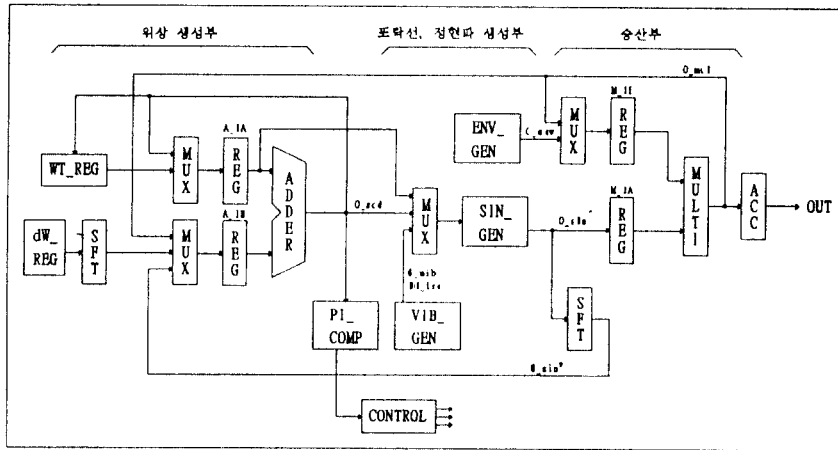


그림 5. 전체 블록도

Fig. 5 Overall block diagram of the designed FM sound synthesizer

그림 5와 같이 설계하였다. 전체 구조는 출력 표본화 시간마다 위상 값을 가산기를 통하여 갱신하는 위상 생성부, 위상에 따른 파형 값을 생성하는 정현파 생성부, 시간에 따른 포락선의 변화를 나타내는 포락선 발생부와 정현파 생성부의 결과를 승산하여 포락선을 갖는 정현파를 생성하는 승산부 등으로 대략적으로 구분할 수 있다. 본 연구에서는 1개의 기본음 발생

기를 반복 동작시키 한개의 음원 출력이 생성되도록 회로를 설계하여, 전체 하드웨어의 크기를 줄였다. 즉, 변조기능 수행하는 승산부의 결과가 위상 생성부로 재 공급되어 반송기능을 실행하고 최종 승산 결과를 외부로 출력되도록 하였다.

한편 위상 생성부의 부분 블록인 WT_REG 블록에는 반송기와 변조기의 위상 값인 $\omega_c t$ 와 $\omega_m t$ 값을 저

표 2. 전체 회로의 동작 순서

Table 2. Operation sequence of the overall logic circuit

클럭	위상 생성부	정현파 생성부	승산부
1	$R[A_IA] = M[WmT]; R[A_IB] = M[d\Phi m]$		
2	if ($O_add > 2\pi$) $R[A_IA] = O_add; R[A_IB] = -2\pi$	$R[S_I] = R[A_IA]$	
3	$M[WmT] = O_add$		$R[M_IA] = O_sin$ $R[M_IB] = O_env$
4	$R[A_IA] = M[McT]; R[A_IB] = O_mul$	$R[S_I] = O_vib$	
5	$R[A_IA] = O_add; R[A_IB] = O_sin^*$		
6	if ($O_add > 2\pi$) $R[A_IA] = O_add; R[A_IB] = -2\pi$ else if ($O_add < 0$) $R[A_IA] = O_add; R[A_IB] = 2\pi$	$R[S_I] = O_trc$	
7	$R[A_IA] = offset; R[A_IB] = O_sin^*$	$R[S_I] = O_add$	
8	$R[A_IA] = M[WcT]; R[A_IB] = M[d\Phi c]$	$R[S_I] = O_add$	$R[M_IA] = O_sin$ $R[M_IB] = O_env$
9	if ($O_add > 2\pi$) $R[A_IA] = O_add; R[A_IB] = -2\pi$		$R[M_IA] = R[S_I]$ $R[M_IB] = O_mul$
10	$M[WcT] = O_add$		$R[out] = O_mul$

장하는 레지스터가, dP_REG 블록에는 표본화 시간에 따른 음정의 위상 증분인 $\Delta\Phi_c$ 와 ΔP_m 값을 저장하는 레지스터를 포함시켰다. PI_COMP 블록은 가산기의 출력이 음수나 2π 보다 큰 값인지를 조사하는 블록이고, VIB_GEN은 비브라토와 트레몰로 효과를 나타내기 위한 정현파의 위상 및 기준 값을 출력하는 블록이다. 포락선 발생부인 ENV_GEN에는 변조기와 반송기용 포락선 모델을 결정하는 각 5개의 레지스터와 시간에 따른 포락선의 크기를 임시 저장하는 EI_REG와 RA_REG를 포함시켰다.

FM 음원합성용 본 회로의 동작 순서는 표 2와 같다. 여기서 총 10개의 클럭으로 1개의 표본화 음원이 합성되는데, 이는 위상 생성부, 포락선 발생부와 승산부의 연산 회로를 최대한 병렬로 동작시킴으로써 가능하였다.

세부 동작은, 클럭 1에서 WT_REG의 ω_{mt} 값과, dP_REG의 $\Delta\Phi_m$ 값을 A_IA와 A_IB 레지스터로 전달하여 가산기를 통하여 ω_{mt} 값이 갱신되고, 클럭 2에서는 SIN_GEN 블록의 내부 레지스터인 S_I에 ω_{mt} 값을 전달하여 정현파가 발생되며, 동시에 갱신된 ω_{mt} 값의 크기인 O_add가 0에서 2π 구간을 유지하도록 제 정돈을 가산기를 통하여 수행한다. 클럭 3에서 갱신된 ω_{mt} 값은 WT_REG 블록에 저장되며, 동시에 SIN_GEN 블록에서 생성된 정현파 O_sin과 ENV_GEN에서 생성된 포락선 O_env를 승산하도록 M_IA와 M_IB 레지스터로 전송된다. 즉 클럭 1, 2, 3에서 기본적인 변조기 동작이 완료되도록 설계하였다.

클럭 4, 5, 6에서는 WT_REG 블록에서 전송된 ω_{ct} 값과 변조기의 출력, 그리고 VIB_GEN 블록의 출력이 SIN_GEN 블록을 통하여 생성된 비브라토 값과 간산되어 반송기의 위상 값을 결정한다. 이 값은 클럭 7, 8, 9를 통하여 정현파의 생성 및 최종 출력 값이 승산기를 통하여 계산되어 클럭 10에서 외부로 출력되도록 하였다. 한편 트레몰로 효과는 클럭 6, 7에서 수행되어 클럭 9에서 반송기의 출력과 승산되도록 하였다. 주요 연산부의 클럭에 따른 사용 효율은 위상 생성부는 100%, 정현파 생성부는 40%, 승산부는 30%와 포락선 발생부는 20%로 위상 생성부가 병목지점임을 알 수 있다.

2. 데이터 비트수 최적화

음원 합성용 논리회로는 고정 소수점 연산을 통하여 FM 음원을 생성하므로, 최적 데이터 비트수의 결정은 생성 음원의 정확도 및 회로의 크기에 중요한 역할을 한다. 연산기의 입출력 데이터 신호는 각종 레지스터와 연결되므로, 악기음원 파라미터 값에 따른 FM 알고리즘의 세부 동작 분석을 통하여 각 레지스터의 심세도와 비트수를 표 3과 같이 결정하여 데이터 비트수를 최적화 하였다.

위상 생성부의 WT_REG, dP_REG, A_IA와 A_IB 레지스터는 III장의 위상 데이터의 적합도에 따라 2^{-12} 의 심세도를 유지하도록 하였고, 표본화 주파수를 고려한 음정에 따른 위상 증분은

표 3. 논리회로의 내부 레지스터 크기

Table 3. Size of internal registers in logic circuits

이름	내용	수의 크기	심세도	비트 수				
				부호	정수	소수	합	
dP_REG	위상 증분	0-0.5	2^{-12}	0	0	11	11	
WT_REG	각 주파수	0-8	2^{-12}	0	3	12	15	
A_IA	가산기 입력	-16-16	2^{-12}	1	4	12	17	
A_IB	가산기 입력	-8-8	2^{-12}	1	3	12	16	
d_ENV_REG	포락선 증분	0-0.016	2^{-22}	0	0	16	16	
L_ENV_REG	포락선의 구간 크기	AL	0-4	2^{-6}	0	2	6	8
		SL	0-1	2^{-8}	0	0	8	
E_REG	포락선 값	0-4	2^{-22}	0	2	22	24	
M_IA	승산기 입력	-1-1	2^{-7}	1	0	7	8	
M_IB	승산기 입력	-4-4	2^{-5}	1	2	5	8	
ACC	출력 음원	-1-1	2^{-7}	1	0	7	8	

$$\Delta\Phi = 2\pi f_{\text{code}}/f_s \quad (6)$$

여기서 f_{code} : 약기의 음성 주파수
 f_s : 표본화 주파수

이므로, 최고 음성 C8(4196Hz)과 표본화 주파수(50KHz)의 경우, 최대 위상 증분이 1보다 작으므로 최대 가중치 비트의 크기를 2^{-1} 로 결정하였다. 위상 값을 저장하는 WT_REG는 0에서 2π 사이의 값을 저장하므로 최대 가중치 비트를 2^2 으로 하였고, 가산기의 입력 레지스터 A_IA는 반송시 음정 위상과 변조 결과의 합으로 -3 에서 $2\pi + 3$ 의 크기를 나타내므로, 2^3 의 최대 가중치 비트와 부호 비트를 선정하였다.

승산부에서는 반송시의 최종 합성음원과 변조 결과를 반송부 입력으로 출력하므로, 승산기의 출력 심세도는 두 경우를 고려한 2^{-12} 로 그림 6과 같이 결정하였다. 변조시 I(t)의 최대값 3을 고려하여 2^1 의 최대 가중치 비트와 부호 비트가 출력되도록 승산기를 구성하였다. 여기서 2의 보수법을 이용한 승산기 결과는 총 16비트로 구성되므로, 승산기의 입력 레지스터 M_IA와 M_IB는 8비트로 구성하였다.

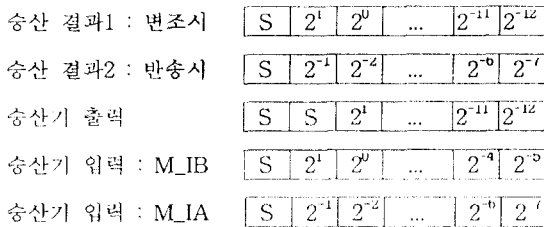


그림 6. 승산부 데이터 비트수 분석
 Fig. 6 Analysis of data bits in a multiplier-part

정현파 생성부는 테이블 참조 방식을 사용하여 ROM에서 정현파형을 생성하며, 이때 ROM의 주소는 정현파의 내칭성을 이용하여 0에서 $\pi/2$ 로 대응시켰다. 승산부에 입력되는 데이터는 그림 7과 같이 8비트가 필요하나, 최종단에 부호 비트 생성용 보수기를 삽입하여 ROM 데이터를 소수부 7비트로 구현하였다. 한편 7비트의 ROM 사용시 주소의 변화에 따른 데이터 값을 분석하여, 정현파형의 기울기가 최대인 0 위상 부근에서 데이터 증분이 2^{-7} 의 심세도를 나타내도록

주소를 8비트로 그림 7과 같이 선정하였다. 그러므로 정현파 생성부의 입력 위상을 저장하는 S_I 레지스터도 2^{-7} 의 심세도를 갖고, 0에서 2π 위상을 나타내도록 최대 가중치 비트를 2^2 으로 하여 총 10비트로 구성하였다.

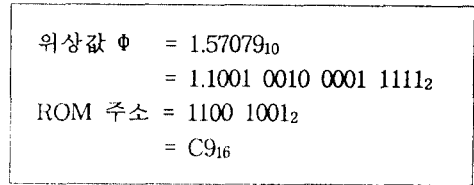


그림 7. 위상값에 따른 ROM 주소
 Fig. 7 ROM address for the phase value

포락선 발생부의 d_ENV_REG는 포락선 모델의 구간별 증분을 나타내는 레지스터들로, 데이터 비트수는 약기 파라미터의 최대, 최소값을 분석하여 2^{-22} 의 심세도와 최대 가중치 비트가 2^{-7} 인 총 16비트로 구성하였다. 또한 포락선의 구간별 크기를 나타내는 L_ENV_REG는 8비트 데이터로 구성하였고, 시간에 따른 포락선 값을 임시 저장하는 E_REG는 d_ENV_REG의 심세도와 L_ENV_REG의 최대값을 포함하는 24 비트로 설정하였다. 각 레지스터별로 데이터 비트수와 가중치 비트 설정은 논리회로의 다소 복잡한 설계가 요구되나 전체회로의 크기를 최적화 한다.

3. 주요 블록의 설계 및 동작 검증

위상 생성부는 식 (6)의 위상 증분을 이용하여, 기준 값($\omega_c t$, $\omega_m t$)과 가산으로 위상 값을 갱신한다. 그러므로 그림 5의 WT_REG 블록은 위상 값을 저장하는 15비트 W_c _REG, W_m _REG 레지스터와 선택기로 구성하였고, dP_REG 블록에는 위상 증분을 저장하는 dPc_REG와 dPm_REG인 12비트 레지스터와 선택기로 구성하였다. 표 4의 클럭 1, 2, 3과 8, 9, 10에서 가산기에 의해 위상 값이 갱신되고, 이 값을 PL_COMP 블록에서 비교하여 0에서 2π 구간으로 정돈되어 정현파 발생부로 입력되도록 하였다.

입력된 10비트의 위상 데이터에 따라 정현파를 생성하는 정현파 생성부(SIN_GEN)는 출력 정현파로 8

비트의 데이터(부호 + 소수부 7비트)를 생성하도록 그림 8과 같이 구성하였다. 비교기에 입력된 위상의 크기에 따라서, 위상 값이 0에서 $\pi/2$ 의 값으로 변환되어 ROM의 주소로 사용되도록 보수기와 가산기를 구성하였다. 변환된 위상 값은 그림 7과 같이 ROM의 주소에 직접 대응되게 하여 하드웨어를 간소화하였다. 한편 ROM은 $256 * 7$ 의 크기를 사용하였고, 최종 단의 보수기는 출력에 부호를 추가하여, 최종 -1에서 1 크기의 2^{-7} 심세도를 갖는 정현파를 생성한다. 또한 트레몰로 동작을 위하여 가산기의 결과가 직접 출력되는 경로를 추가하였다.

포락선 생성부(ENV_GEN)은 그림 9와 같이 설계하였다.

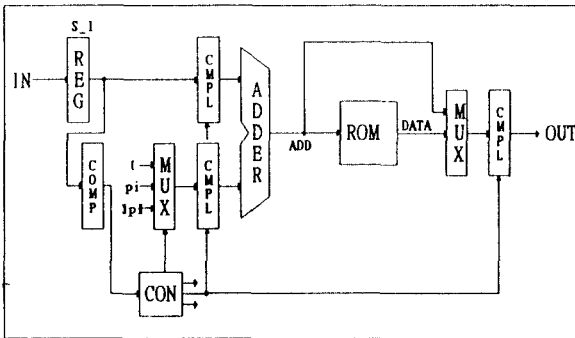


그림 8. SIN_GEN 블록도
Fig. 8 Block diagram for the SIN_GEN function

포락선 생성부의 d_ENV_GEN 블록에는 반송용과 변조용 포락선의 증분 값을 저장하는 6개의 레지스터와 멀티플렉서로 구성하였고, L_ENV_REG에는 포락선 구간별 크기를 지정하는 4개의 레지스터와 멀티플렉서로 구성하였다. 세부 동작은 mode 신호에 따라 과거의 포락선 값을 EI_REG나 EA_REG에서 선택하고, 이 값은 d_ENV_REG의 해당 증분 레지스터 값과 가산되어 새로운 포락선 값을 저장하고 승산부로 출력되게 하였다. 또한 포락선 값은 구간 크기를 나타내는 L_ENV_REG 블록의 레지스터와 비교되어 포락선 구간을 갱신하여, d_ENV_REG와 L_ENV_REG 블록의 해당 레지스터를 선택하도록 하였다.

미세한 음정 및 음색의 변화를 FM 합성음에 추가하는 그림 10의 VIB_GEN 블록은 4Hz에서 8Hz의 위상 값을 최종 생성한다. 입력으로 출력 표본화 주파수인 50KHz의 클럭 신호를 사용하여, 1차로 CLOCK_GEN에서 65분주를 수행하고, 2차 분주용 카운터(CNT4와 CNT32 혹은 CNT3과 CNT64)를 거쳐 6Hz와 4Hz 주파수를 갖는 5비트 카운터 값이 생성되고, 이 값은 위상 생성용 ROM에 인가되어 0에서 2π 구간의 8비트 위상을 출력한다. 한편 8Hz의 주파수는 표 4에 나타난 V_REG의 해당 값에 따라, CNT64 카운터 값이 선택기에서 1비트 이동되어 조정되도록 하였다.

포락선과 정현파 값을 곱하는 승산기 블록(MULTI)은 그림 6의 입출력 비트로 구성된 2의 보수 방식의

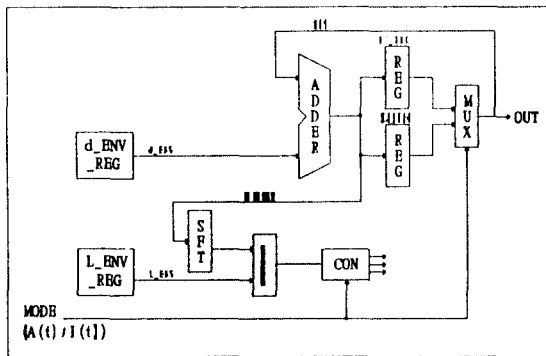


그림 9. ENV_GEN 블록도
Fig. 9 Block diagram for the ENV_GEN function

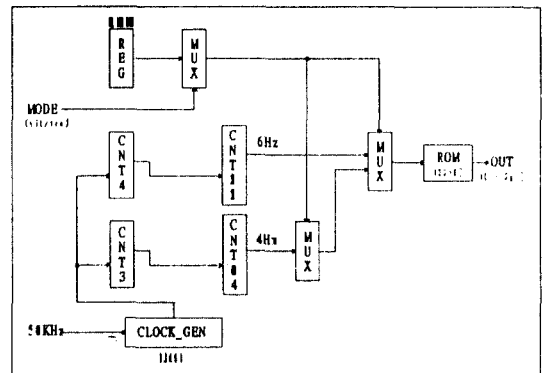


그림 10. VIB_GEN 블록도
Fig. 10 Block diagram for the VIB_GEN function

표 4. V_REG의 내용

Table 4. Values of the V_REG

bit	vibrato		tremolo	
	7 6	5 4	3 2	1 0
	scale	freq(Hz)	scale	freq(Hz)
00	0	0	0	0
01	0.062	4	0.062	4
10	0.125	6	0.125	6
11	0.25	8	0.25	8

8×8 병렬형 승산기로, 고속 연산이 가능하도록 2차 Booth 알고리즘을 적용하여 디코더부, 부분항 생성부와 Wallace tree부로 논리회로를 설계하였다.

설계된 전체회로는 QuickSim 논리 시뮬레이터를 사용하여 동작을 검증하였고, 1개의 표본 합성음원을 위한 세부 결과 파형은 그림 11과 같다.

논리회로의 검증은 시뮬레이터의 성능상 악기음원의 전체 시간 영역에서 수행할 수는 없었으나, 주요 구간에서의 동작 결과가 DSP Station을 사용한 고정 소수점 방식의 소프트웨어 모델링 결과와 일치하여, FM 음원합성용 논리회로의 동작을 검증할 수 있었다.

한편 본 논문에서 설계한 회로를 상용화된 FM 전용 IC인 OPL 시리즈와 비교하면, 상용 IC의 상세한

내부 구조는 알 수 없으나, 1개의 악기음원을 합성하는 관점에서 OPL 시리즈는 본 회로와 같이 8비트 합성음원을 50KHz로 출력하나, 1개의 음원을 생성하는데 8개의 내부 클럭 사이클이 필요하여 본 회로보다 2개의 클럭이 적게 소요된다. 이러한 결과는 OPL 시리즈에서는 위상 값(Φ)이 아니고 $\Phi/2\pi$ 값을 시간에 따라 갱신하여, 음원합성 내부 동작에서 위상 값을 0에서 2π 사이로 정돈시키는 과정을 단순히 정수부 데이터의 제거로 대체하여 2개의 클럭 사이클이 적게 사용된 것으로 분석된다. 그러나 위상 값이 아닌 $\Phi/2\pi$ 를 사용하므로 위상 값에 대한 연산 및 정현파 생성을 위하여 $1/2\pi$ 에 관련된 데이터 변환 기능이 추가되어 회로가 본 논문에 비하여 복잡하다. 또한 OPL 시리즈에서는 중간 음인 4 옥타브에서 $\Phi/2\pi$ 의 데이터 심세도를 2^{-16} 으로 선정하여 2π 값을 고려하면 본 논문의 위상 데이터를 2^{-12} 로 최적화한 것과 유사한 데이터 비트수를 사용하였고, 옥타브용 레지스터를 별도로 사용하여 $\Phi/2\pi$ 값이 옥타브 값에 따라 시프트되어 음정을 결정하는 방식으로 높은 음의 표현시 심세도가 감소하는 단점이 있다. 그러나 본 회로는 음정을 나타내는 위상 증분 레지스터가 옥타브에 따른 변화를 포함하므로, 음정의 설정이 다소 복잡하나 높은 음에서도 일정한 심세도를 유지하는 장점이 있다.

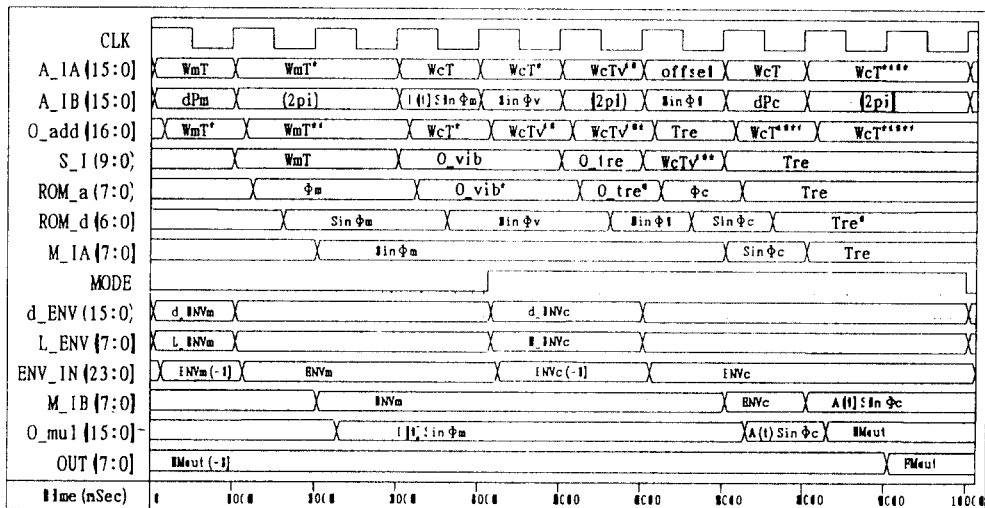


그림 11. 시뮬레이션 결과 파형

Fig. 11 Resultant waveforms of the logic circuit simulation

즉 본 회로는 1개의 악기음원을 합성하는 관점에서 FM 전용 IC인 OPL 시리즈와 비교하면 유사한 성능을 나타내고, 음원 생성시 2개의 내부 클럭이 더 필요하나, 데이터 변환기가 추가되지 않으므로 회로가 약간 간단하고, 높은 음에서도 악기의 섬세도를 잘 유지할 수 있는 장점이 있다.

V. 결 론

본 논문에서는 FM 방식을 이용한 실시간 음원합성용 IC 구현을 위하여, 하드웨어 구현을 고려한 기본음 발생기를 정의하였고, 이 구조를 이용한 소프트웨어 시뮬레이션을 통하여 주요 파라미터 값에 따른 합성음의 특성 분석과 악기의 파라미터를 추출하였다. 또한 고정 소수점 연산용 논리회로의 구현을 위하여, 위상 데이터의 적합도를 분석하였고 내부 레지스터와 연산기의 크기를 최적화 하였다. 본 연구의 주요 결과는 다음과 같다.

1. 기본음 발생기는 FM 알고리즘의 변조와 반송 동작의 유사성으로 연산부를 공동으로 사용할 수 있는 구조로 정의하였다. 또한 비브라토와 트레몰로의 기능블럭도 포함시켰다.

2. 합성음원의 특성을 기본음 발생기 구조의 시뮬레이션을 통하여 생성음을 청취하는 주관적 방식과 시간 및 주파수 영역에서의 파형 특성을 조사하는 방식으로 분석하였다. 이 특성을 기초로 악기음원의 FM 파라미터 값을 추출하였다.

3. 고정 소수점 방식을 사용한 논리회로는 크기와 연산의 정확성을 고려한 데이터 비트수의 결정이 필요하여, 음정과 음색 결정의 주요 변수로 사용되는 위상 값을 기준으로 분석하였다. 즉 위상 데이터의 최적 비트수는 회로의 크기와 부정확도의 곱으로 나타낸 적합도를, 데이터 비트수를 변화시키며 분석하여 15비트(정수부:3, 소수부:12)로 결정하였다. 논리회로의 내부 레지스터와 연산기의 크기는 위상 데이터 비트수, FM 알고리즘의 세부 동작과 악기음 파라미터를 비교 분석하여 최적화 하였다.

4. 전체 논리회로는 기본음 발생기 구조를 기초로 설계하였고, 주요 블럭은 위상 생성부, 8비트 정현파를 출력하는 정현파 생성부, 음원의 크기와 변조도를 나타내는 포락선 발생부와 포락선을 갖는 정현파를

생성하는 승산부 등으로 구성하였다. 전체 동작은 연산 회로를 최대한 병렬로 동작시켜 10개의 클럭으로 1개 음원이 생성되므로 출력 주파수가 50KHZ인 경우 1MHZ이하의 저속 클럭으로 동작이 가능하므로, 향후 개선된 FM 알고리즘의 구현이 가능한 구조이다. 한편 회로는 ASIC화를 위해 1.0um 스탠다드 셀 라이브러리를 사용하였고, 논리 시뮬레이션을 통하여 올바른 FM 연산의 수행 및 음원 데이터의 생성을 검증하였다.

앞으로 멀티미디어용 음원합성 IC로 상용화가 가능하고 고성능인 음원합성기 개발을 위하여 다양한 포락선 모델과 복수개의 반송기와 변조기의 기능을 갖는 FM 알고리즘의 연구와 실시간용 IC 제작을 위한 논리회로 설계가 요구된다.

참 고 문 헌

1. C. Roads and S. Strawn, Foundation of Computer Music, MIT press, 1985.
2. 新井 純, THE THEORY OF SYNTHESIZER OPERATION, Rittor Music, 1988.
3. J.P. Palamin, "A method of generating and controlling musical asymmetrical spectra," Journal of the Audio Engineering society, September 1988.
4. C. Dodge and T. A. Jerse, Computer Music: synthesis, composition, and performance, Schirmer Books, 1985.
5. James Anderson Moorer, "Signal Processing Aspects of Computer Music: A survey," Proceeding of THE IEEE, August 1977.
6. R.J. Higgins, Digital Signal Processing in VLSI, Analog Device, 1990.
7. YM3812 Application Manual, YAMAHA, 1990.
8. SAM8905: Digital Sound Generator/Processor for Musical Applications User's Manual, Onchips Systems Inc, June 1992.
9. Csound: A Manual for the Audio Processing System and Supporting Programs with Tutorials, M.I. T. 1992.
10. DSP Architect Processing User's and Reference Manual, Mentor Graphics, 1993.

11. MATHLAB User's Guide, MATH WORKS Inc, 1992.
12. United States Patent, "Envelope shape generator for tone signal control," Patent Number 3,928, 569, May 1990.
13. United States Patent, "Electronic musical instrument with frequency modulation," Patent Number 5,033,352, July 1991.
14. Introduction to AutoLogic and Design Synthesis, Mentor Graphics, 1993.
15. Design Architect User's Manual, Mentor Graphics, 1993.
16. V8 QuickSim User's Manual, Mentor Graphics, 1993.



洪賢碩(Hyeon Seog Hong)정회원

1961년 9월 26일생

1984년 2월:연세대학교 전기공학과(공학사)

1986년 2월:연세대학교 전기공학과 대학원(공학석사)

1992년 3월~현재:한국과학기술원 전기 및 전자공학과(박사과정)

1994년 3월~현재:용인공업전문대학 정보통신과 전임강사

金利爨(Lee Sup Kim)

정회원

第 20卷 10號 參照

현재:한국과학기술원 전지및전자공학과 조교수