

ATM 교환시스템 제어계의 자국호 처리 지연 성능평가

正會員 呂 煥 根*, 송 광 석*, 노 승 환**, 기 장 근**

Local Call Processing Delay of the Control Network in ATM Switching System

Hwan-Geun Yeo*, Kwang-Suk Song*, Soong-Hwan Ro**,
Jang-Geun Ki** *Regular Members*

※ 본 논문은 한국전자통신연구소의 지원으로 수행되었음.

요 약

ATM 교환시스템은 그 기능에 따라 사용자 정보와 제어정보의 전달을 수행하는 전달망과 이를 제어하는 제어망으로 구성된다. 이 가운데 제어망의 가장 기본을 구성하는 제어장치 분야는 타 기능보다 선행 개발되어야 할 부분으로서 가장 안정되고 높은 신뢰성이 요구되는 부분이다. 분산구조를 갖는 ATM 교환시스템은 가입자 교환기능을 갖는 가입자 교환모듈(ALS: ATM Local Switching Subsystem)와 다수의 ALS간 상호접속을 담당하는 중앙 접속모듈(ACS: ATM Control Switching Subsystem)로 구성되며, 각 ALS내에서 호처리 및 호연결 제어의 기본기능을 담당하는 호 연결제어 프로세서(CCCP: Call and Connection Control Processor)가 존재하고 ACS내에는 교환시스템의 운용보전 기능을 담당하는 운용 관리 프로세서(OMP: Operation and Maintenance Processor)가 상위 프로세서로 존재한다.

본 연구에서는 ATM 교환시스템의 분산 제어환경에서 ITU-T Q.2931 표준 프로토콜을 근간으로 한 신호 메시지와 시스템 내부 프로세서간 통신제어 메시지의 트래픽에 따른 각 프로세서의 자국호 처리능력을 SLAM II를 이용하여 시뮬레이션을 통해 분석하였다.

시뮬레이션 결과 ALS의 갯수가 22개 이하인 경우 호 도착율이 증가함에 따라 CCCP의 점유율이 OMP의 점유율보다 크게 증가하며 ALS가 22개일 경우 CCCP와 OMP의 점유율이 동일해지며 그 이상인 경우에는 OMP의 점유율이 크게 증가함을 알 수 있었다.

마찬가지로 OMP 프로세서에서의 메시지 처리시간이 CCCP 프로세서에서의 메시지 처리시간보다 약 1.35배가 될 경우 CCCP와 OMP 프로세서의 점유율이 거의 같아지는 결과를 얻었다.

* 한국전자통신연구소 제어시스템연구실

** 공주대학교 정보통신공학과

論文番號: 96279-0902

接受日字: 1996年 9月 2日

ABSTRACT

ATM switching system is made up of transport network and control network according to its functions. The control device, basic part of control network must be developed before developing any other functions, and control device must be stable and need high reliability.

Out distributed ATM switching system consists of several ALSs that provides variable local call services, and an ACS that interconnect among several ALSs. Each ALS has CCCP that takes charge of call and connection control functions, and ACS has an OMP that takes charge of OA&M(Operation, Administration and Maintenance) functions.

In this paper, we analyzed the performance evaluation of control device that manipulate subscriber's call based on ITU-T Q.2931 standard protocol messages and Interprocessor communication messages.

As a result of simulation when the number of ALS is under 22, as the call arrival rate increase the processor utilization of CCCP increase rapidly than that of OMP. When the number of ALS is incremented to 22, the processor utilization of CCCP is balanced with that of OMP, and when the number of ALS exceeds 22, the processor utilization of OMP increase rapidly. Also if message processing time of OMP is 1.35 times that of CCCP, processor utilizations of CCCP and OMP is equal.

I. 서 론

현대 사회가 고도의 정보화 사회로 발전해 감에 따라 다양한 형태의 대역폭을 갖는 통신서비스들이 요구되고 있다. 이에 따라 광대역 종합정보통신망(B-ISDN)의 구현을 위해 국제 통신 표준화 기구인 ITU-T에서는 비동기식 전달모드인 ATM을 국제표준 통신방식으로 결정하였으며 국내에서도 ATM 망의 핵심 구성요소인 ATM교환시스템의 개발이 활발히 진행중이다.

ATM 교환시스템은 그 기능에 따라 사용자 정보와 제어정보의 전달을 수행하는 전달망(Transport Network)과 이를 제어하는 제어망(Control Network)으로 구성된다. 이 가운데 제어망의 가장 기본을 구성하는 제어장치 분야는 타 기능보다 선행 개발되어야 할 부분으로서 가장 안정되고 높은 신뢰성이 요구되는 부분이다.

과거에는 대부분의 제어기능들이 주로 하나의 프로세서에서 처리되는 중앙 집중형 제어구조를 가졌으나 최근에는 복수개의 프로세서에서 요구되는 기능들을 분산 처리하는 구조로 변화되고 있다. 최근 분산 교환시스템에서의 기능은 하위계층 신호 프로토콜 기능들은 주로 주변 프로세서들에게 할당하고,

교환기능을 비롯한 상위계층 기능들은 중앙집중식 프로세서에 할당하고 있는 추세이다.[1-2]

일반적으로 교환기를 설계할 때 최대 트래픽 처리용량은 가장 경제적으로 최대의 호를 처리할 수 있도록, 즉 성능과 비용의 비가 최대가 되도록 설계한다.

ATM 교환시스템의 제어계 성능은 일반적으로 가입자 및 중계호 처리, 시스템의 운영 및 보전, 그리고 각종 부가 서비스의 원활한 지원 가능성에 대한 척도가 된다. 따라서 원하는 성능을 갖춘 제어계의 성공적인 개발을 위해서는 시스템의 설계단계에서부터 각종 서브시스템 및 알고리즘의 성능추정이 이루어져야 한다. 특히 교환시스템의 경우 가입자들의 정보 전달을 위한 전달망과 각종 신호 및 가입자/중계호 처리를 위한 제어망의 성능이 적절한 조화를 이루는 것이 중요하다.

그러므로 제어장치사이에 부하 균등이 이루어지지 않아 어느 한 부분에서 병목현상이 발생한다면 전체 시스템의 성능을 저하시키게 되므로 실제로 시스템이 구성되기 전에 모델링에 의해 시스템 성능제한요소를 찾아내고 이러한 성능에 영향을 주는 성능과라미터를 도출하는 과정은 매우 중요하다고 할 수 있다.

ATM 교환시스템은 가입자와의 프로토콜 및 망간 프로토콜을 수용해야 한다. UNI(User Network Inte-

rface)를 통한 접속 호 처리 프로토콜(access signaling protocol)은 ITU-T 표준 Q.2931이며[3], ISDN 접속 호처리 프로토콜 Q.931을 기본으로 구성되었다. 또한 접속제어등에 요구되는 Q.2931 메시지에 관한 내용은 [4]와 [5]에 나타나 있다.

본 연구에서는 ATM 교환시스템에서 한 교환 시스템에 접속된 가입자간의 호인 자국호처리를 담당하는 제어계에 대한 성능분석을 실시하였으며 Q.2931 표준 프로토콜 메시지와 시스템 내부에서 기능 블록(function block) 단위로 처리되는 IPC(Inter-Processor Communication) 메시지등을 고려하였다. 여기서 IPC란 분산환경하에서의 프로세서 및 프로세스간 통신 기능을 말하며 따라서 다중 프로세서 시스템인 ATM 교환시스템의 성능에 큰 영향을 미친다. 성능분석은 SLAM II를 이용한 시뮬레이션에 의해 수행하였으며, 2장에서는 ATM 교환 시스템에 대해 설명하였고, 3장에서는 호 연결 설정 및 해제에 관한 시나리오에 대해 설명하였고, 4장에서는 시뮬레이션 및 결과에 대한 설명을 하였고 마지막으로 5장에서 결론을 맺는다.

II. ATM 교환시스템 구조

ATM 환경하에서의 교환시스템은 단순히 셀들을 전달하거나 버퍼링하는 기능 이외에도 B-ISDN 프로토콜 기준모델[6]의 제어평면(control plane)과 관리평면(management plane)에 규정된 기능들을 수행하여야 한다. 또한 교환시스템은 여러 가지 트래픽 제어 기능들을 지원할 수 있어야 한다. 이와 같은 다양한 기능들중 어떤 기능들을 교환 시스템내의 어떤 위치에 어떻게 분산시킬 것인지를 결정하는 것이 교환시스템의 가능 구조 모델링이다.

일반적으로 ATM 스위치는 복수개의 입력 및 출력 포트를 가지며, 이들을 통해 사용자나 다른 스위치 또는 다른 망 구성요소 등과 상호접속된다. 스위치는 셀 중계 서비스를 제공하며 이 서비스와 연관되어 필요한 제어 및 관리 기능들을 지원한다. 실제적으로 스위치는 이밖에도 협대역 회선, 프레임 릴레이, SMDS(Switched Multimegabit Data Service) 또는 그 밖의 다른 서비스들을 위한 인터페이스를 제공할 수 있도록 상호접속 기능들을 수행할 수도 있다.

연결접수제어 모듈에는 중앙집중식과 분산제어식

이 있으며 중앙집중식은 하나의 처리장치가 입력모듈들로부터 모든 신호용 셀들을 수신하여 신호정보를 해석하고 스위치내의 모든 연결에 대한 허용 여부를 결정하여 자원할당을 전달함을 의미한다. 중앙집중식은 시스템이 대형화할 경우 연결접수제어 모듈이 병목요소가 될 가능성이 있으므로 시스템 내에서 이들 기능들을 분산 수용하는 것이 가능하며, 이와 같이 기능들을 분산 수용하게 되면 시스템 성능에 영향을 미치게 된다.

본 연구대상 ATM 교환시스템은 그림 1과 같은 구조를 갖는다.

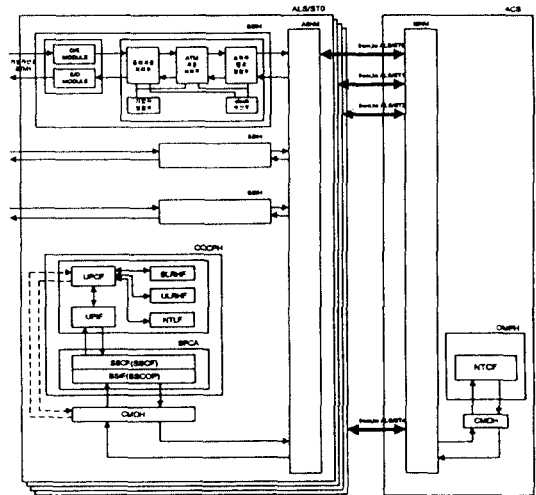


그림 1. ATM 교환시스템 구조

대용량 분산 시스템인 ATM 교환기의 제어계는 교환기의 주요 기능인 호처리, 과금 및 유지보수 등을 수행하며, 이 기능들은 IPC를 통해 메시지를 교환함으로써 수행된다. ATM 교환기의 제어계를 구성하는 프로세서 및 컨트롤러들은 별도의 IPC 망 없이 ATM 스위치로 상호 접속되어 있다. 여기서 ATM-IPC 기능은 프로토콜 스택상에서 볼 때 AAL의 상위계층에 속하며 따라서 각 교환시스템 구성요소간의 IPC 메시지는 하나 이상의 ATM 셀로 나뉘어져 송신되고 다시 메시지로 조립되어 수신된다.

그림 1은 ATM 교환시스템의 하드웨어 구조를 나타내며 CCCPH(Call and Connection Control Processor

Hardware block) 블록내의 구조는 메인 프로세서인 CCCP에서 수행되는 소프트웨어 블록구조를 나타낸 그림이다. 그림에서 알 수 있듯이 ATM 교환시스템은 기본적으로 집선기능을 수행하는 가입자교환모듈(ALS: ATM Local Switching Subsystem)과 ALS 간의 상호접속 기능을 수행하는 중앙접속모듈(ACS: ATM Central Switching Subsystem)로 구성되는 모듈화 구조를 갖는다. ALS는 최소한의 시스템 구성으로서 독립적으로 동작 가능하며, 대규모 시스템에서 다수의 ALS는 일정한 집선비를 갖는 집선장치로 동작하고, ACS는 대용량 시스템을 위한 분배장치로 동작한다.

ALS 내의 BSIH(Basic-rate Subscriber Interface Hardware block)는 가입자 인터페이스 기능을 수행하는 하드웨어 블록을 의미한다. CCCPH 블록은 ALS 랙에 실장되며, 호 연결 설정 및 호 처리의 기본 기능을 수행함과 동시에 각 해당 ALS 내의 자원관리 및 장애, 경보, 통계 정보 등을 수집하여 OMPH(Operation and Maintenance Processor Hardware block)에게 보고하는 기능을 수행한다. CMDH(Cell Mux/Demux Hardware block)는 ATM 교환기내에서 단위 스위치 별로 분산된 각 ALS 또는 ACS 내에 위치하며 ASNМ(Access Switching Network Module)과 CCCPH 블록, ISNM(Interconnected Switching Network Module)과 OMPH 블록등을 정합하여 IPC 셀 및 신호용 셀, 시험 셀 등을 분배해주는 1:4 다중화 기능을 갖는 블록이다. ALS와 ACS에 각각 위치한 ASNМ과 ISNM은 자기라우팅(self-routing) 스위치 모듈이다.

그림 1의 CCCPH 내의 소프트웨어 블록들에 대한 설명은 3장에서 기술하였다.

III. 자국호 연결 설정 처리절차

일반적으로 ATM 교환시스템에서는 새로운 B-ISDN 서비스를 제공하기 위해 다중 연결지원, 다자간 연결지원, 연결의 추가 및 삭제 지원, 연결자의 추가 및 삭제 지원, 통신중 대역 변경 지원, 멀티캐스팅 연결 지원 등 다양한 신호처리 기능이 지원된다. 그러나 본 연구에서는 호 처리절차로 점대점 가입자 호 연결 설정 제어 기능에 대한 연구를 수행하였다.

이와 같은 점대점 가입자 호 연결 설정 제어 관련 기능에 대해 실제 본 연구에서 교환시스템의 성능 평

가를 위해 이용한 호 처리 제어 절차는 그림 2와 같다.[9, 10]

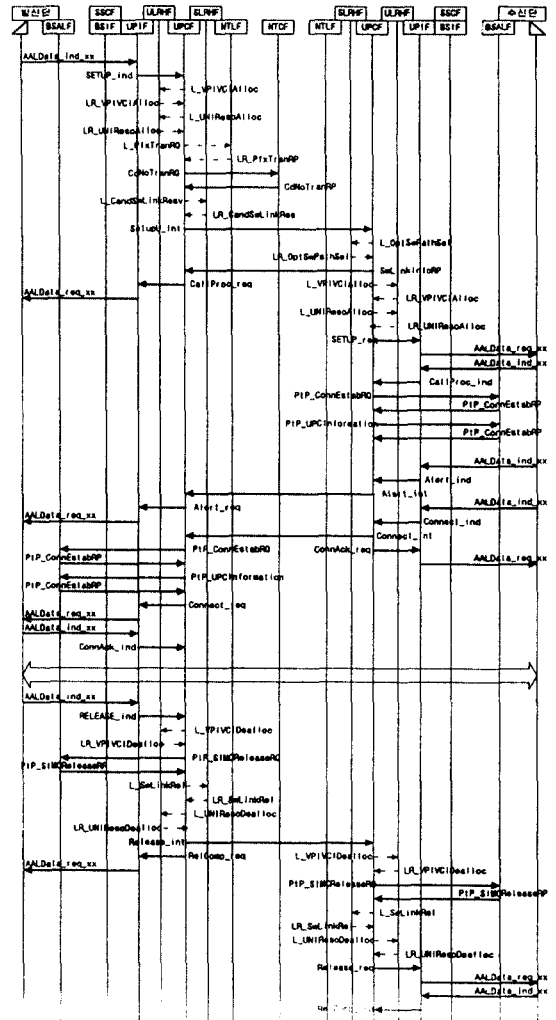


그림 2. 자국호 처리 절차

그림 2는 ATM 교환시스템에서 자국호에 대한 처리절차이며, 그림에서 알 수 있듯이 가입자 호처리 소프트웨어는 주로 ALS내의 CCCP 프로세서에서 처리되는 UPIF, UPCF, ULRF, SLRF, NTLF 블록과 ACS내의 OMP 프로세서에서 처리되는 NCTCF 블록으로 구성되며, 각 블록의 기능은 다음과 같다.

- UPIF(User Protocol Interface): ATM 정합 계층과 호 처리를 수행하는 UPCF 블록간의 신호 메시지 디코딩/인코딩 및 신호용 채널의 상태관리를 수행
- UPCF(User Protocol Control): UPIF로 부터의 Q.2931 신호 메시지를 수신하여 가입자 호와 연결의 설정/해제 기능을 수행하고 UPIF로 신호 메시지 전송을 위한 신호 메시지를 전달한다.
- ULRHF(UNI Link Resources Handling): 반영구 가상경로연결/가상채널연결과 교환 연결에 대한 연결식별자인 VPI/VCI 및 UNI 링크 대역 제어 기능을 수행하는 블록으로 시스템 라이브러리에 실장되어 가입자 링크 자원에 대한 할당, 해제, 변경 처리를 프로시듀어 형태로 제공
- SLRHF(Switched Link Resources Handling): 반영구 가상경로연결/가상채널연결과 교환 연결에 대한 교환기 내부의 경로 설정 기능을 수행하는 블록으로 시스템 라이브러리 영역에 실장되어 교환기 내부의 스위칭을 위한 경로 정보인 점대점 연결에서의 라우팅 태그(tag) 생성 및 점대다중점 연결의 셀 복제를 위한 처리를 프로시듀어 형태로 제공
- NTLF(Number Translation Control in ALS): 시스템 라이브러리 영역에 실장되어 착신 가입자에 대한 국번 번역 기능을 프로시듀어 형태로 제공
- NTCF(Number Translation Control in ACS): 집중형 프로세서인 OMP에 실장되어 착신 가입자의 착신번 번역 기능을 제공
- BSALF(Broadband Subscriber ATM Layer Function): 물리 계층 처리부로부터 수신한 셀에 라우팅 태그(tag)를 부가하고 VPI/VCI 변환을 수행하여 스위치 링크 정합부로 셀을 전달하거나 스위치 링크 정합부로부터 수신한 내부 셀에서 라우팅 태그를 제거하여 물리 계층 처리부로 전달하는 기능을 제공.

그림 2에서 BSIF(Broadband signalling Interface Function)와 SSCF 블록은 UNI에서 신호용 AAL 기능을 수행하는 블록으로 CCCP 프로세서에서 수행된다. BSIF 블록은 ATM 프로토콜 스택상 AAL 계층의 SSCS에 속하는 SSCOP(Service Specific Connection Oriented Protocol) 기능을 수행하여 광대역 ISDN 단말측과 ATM 망간의 UNI 및 NNI 호 제어 메시지들의 신뢰성 있는 전송을 위한 신호연결(signaling con-

nection)들을 제어 및 관리하는 블록이다. SSCF 블록은 UNI에서 SAAL의 SSCS에 속하는 SSCF(Service Specific Coordination Function) 기능을 권고안 Q.2130에 따라 소프트웨어로 구현한 블록으로 Q.2931 프로토콜과 SSCOP 사이의 매핑 기능을 수행한다. 따라서 SSCF 블록은 Q.2931의 인터페이스를 위한 UPIF 블록 및 SSCOP를 구현한 BSIF 블록과 인터페이스를 갖는다.

그림 2의 자국호 제어 절차의 주요 기능 및 절차를 분석 요약하면 다음과 같다.

첫째, SETUP, ALERTING, CALL PROCEEDING, CONNECT, CONNECT ACKNOWLEDGE 등과 같은 호 연결 설정에 관련된 메시지, RELEASE, RELEASE COMPLETE 등과 같은 호 해제에 관련된 메시지, STATUS, STATUS ENQUIRY, NOTIFY 등과 같은 기타 메시지 등에 속한 정보요소들에 대한 처리 기능을 갖는다. 두 번째로 발신측과 착신측 사용자-망간 연결을 구분하기 위한 식별자인 VPI/VCI의 할당 및 물리적인 자원인 UNI 링크와 스위치 링크 자원을 할당하고 이에 따른 라우팅 정보를 생성하여 가입자 정합모듈로 셀헤더 변환 테이블 변경을 요구한다. 세 번째로 논리적인 착신 가입자 번호를 분산된 국번 번호 번역과 집중된 착신번 번호 번역 알고리즘에 따라 분석하여 호 유형 및 착신 가입자가 속한 ALS 번호와 링크 번호에 대한 정보를 구한다. 네 번째로 발신 ALS, ACS, 착신 ALS 간의 최적 경로 설정을 위한 스위치 링크 제어 기능 및 내부 링크 상태를 관리하는 기능을 수행한다. 다섯 번째로 신호 프로토콜에 따른 외부 메시지나 망에서의 내부 호 처리에 따른 내부 메시지 수신시 호 처리 흐름에 따라 현재의 호 상태에 적합한 호 처리 기능을 수행하고 호 상태 및 타이머 관리를 수행한다.

IV. 시뮬레이션 결과 및 검토

1. 시뮬레이션 모델

2장에서는 ATM 교환시스템에 대한 구조 및 호 연결 설정 제어에 관한 절차에 대하여 기술하였다. 본 장에서는 2장의 구조 및 3장의 시나리오를 바탕으로 호 처리 성능에 영향을 미치는 파라미터들을 추출하여 이 파라미터들이 반영되도록 SLAM II[11, 12]를

갖는다.

표 1. 중요 시물레이션 파라미터 및 값

| 할당변수 | 기능 | 값(sec) |
|--------|-----------------------------------|---------------------|
| XX(1) | BSIH에서의 평균 호 요구 발생 시간 간격 | 0.14~0.30 |
| XX(2) | SROS의 time slice | 1E-3 |
| XX(3) | ASNМ 셀전송시간 | 1E-6 |
| XX(4) | ISNM 셀전송시간 | 1E-6 |
| XX(5) | Setup_req부터 CallProc_ind까지의 지연시간 | 2E-3 |
| XX(6) | Setup_req부터 Alert_ind까지의 지연시간 | 5E-3 |
| XX(7) | Setup_req부터 Connect_ind까지의 지연시간 | 7E-3 |
| XX(8) | Connect_req부터 ConnAck_ind까지의 지연시간 | 2E-3 |
| XX(9) | Release_req부터 RelComp_ind까지의 지연시간 | 2E-3 |
| XX(10) | 사용자 연결 지속시간 | 300E-3 |
| XX(11) | CMDH 셀처리시간 | 1E-6 |
| XX(12) | SPCA 셀처리시간 | 1E-6 |
| XX(13) | CMDHI 셀처리시간 | 1E-6 |
| XX(14) | OMP의 메시지 처리시간 | 1E-3~1.6E-3 |
| XX(15) | BSIH의 각 메시지 처리시간 | 2.12E-6 × 메세지당셀수 |
| XX(34) | | |
| XX(35) | UPCF의 각 메시지 처리시간 | 1E-3 |
| XX(56) | | |

2. 결과 및 검토

본 연구에서 현재까지 구한 성능지표들은 ALS가 16개인 기본구조에 대해 각 프로세서의 점유율, 큐길이, 큐지연시간, 연결설정/해제 지연시간 등을 구하였고, 또한 ALS의 갯수변화, OMP의 메시지처리시간 변화 등에 따른 성능을 분석하였다.

그림 5에 ALS가 16개일 때 호 도착율에 따른 CCCP 프로세서와 OMP 프로세서의 점유율 변화를 나타내었다. 그림에서 가로축은 하나의 BSIH 당 발생하는 호 연결 설정 요구 도착율을 나타내며 세로축은 프로세서의 점유율을 나타낸다. 그림에서 알 수 있듯이 ALS가 16개인 구조를 가질 경우 호 도착율이 증가함에 따라 CCCP 프로세서의 점유율이 OMP 프로세서의 점유율보다 높은 것을 알 수 있다.

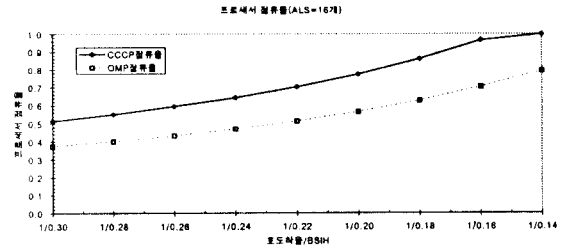


그림 5. 호 도착율에 따른 프로세서 점유율 변화(ALS = 16개)

그림 6에는 호 도착율에 따른 CCCP 프로세서 큐와 OMP 프로세서 큐의 길이를 나타내었는데 호 도착율이 점차 증가하여 호 도착율이 약 1/0.16이 될 때 OMP 프로세서 큐 길이는 거의 증가하지 않는 반면에 CCCP 프로세서 큐의 길이는 갑자기 증가함을 볼 수 있으며 따라서 이로부터 CCCP의 최대 호처리 능력 호 도착율 1/0.16 정도임을 알 수 있으며 그림 5에서 CCCP 프로세서의 점유율은 90-95% 사이가 됨을 알 수 있다. 이는 최대로 사용 가능한 프로세서의 점유율은 90%로 보았을 때 일치되는 결과임을 알 수 있다.

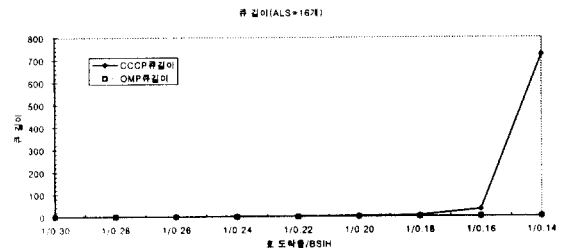


그림 6. 호 도착율에 따른 큐 길이 변화(ALS = 16개)

그림 7에는 호 도착율에 따른 연결 설정시간과 해제 시간을 나타내었다. 그림에서 알 수 있듯이 호 도착율이 약 1/0.16 정도일 때부터 연결 설정시간 및 해제 시간이 갑자기 증가함을 알 수 있다. 이는 그림 5와 6의 결과로 볼 때 CCCP 프로세서 큐의 지연시간이 크게 증가하며 나타난 결과로 볼 수 있다.

그림 8에는 ALS 갯수와 호 도착율에 따른 프로세서 점유율 변화를 나타내었다. 그림에서 호 도착율이 일정하다고 할 때 CCCP 프로세서 점유율과 OMP 프로

에서 점유율이 같아지는 점은 ALS가 약 22개 정도일 때이며, ALS 갯수가 22개 이상이 되면 OMP 프로세서의 점유율이 CCCP 프로세서 점유율보다 커지게 된다. 따라서 ALS가 22개 이상을 갖는 구조일 경우 시스템 성능의 병목요소는 CCCP 프로세서가 아니라 OMP 프로세서가 된다.

그림 2에서 1개의 호 연결 설정 요청이 있을 때마다 OMP 프로세서는 1개의 메시지를 처리하지만 CCCP 프로세서는 약 20개의 메시지를 처리해야 함을 알 수 있다. 그러므로 이 결과는 CCCP 프로세서가 병목현상이 발생하지 않는 범위의 호 도착율에서는 큐에 의한 지연이 매우 작다고 볼 수 있으며 이 때 CCCP 대 OMP의 점유율 비는 약 20:1 정도가 된다. 그러므로 ALS의 갯수가 약 22개가 될 때 CCCP 프로세서와 OMP 프로세서의 부하가 균등해 지며 이 결과는 그림 8과 잘 일치함을 알 수 있다.

그림 9에는 OMP 에서 한 메시지를 처리하는데 걸리는 시간을 기본단위시간(1.0E-3)에서 증가시켰을 때 프로세서 점유율을 나타낸 그래프이다. 그림에서 알 수 있드시 OMP에서 한 메시지를 처리하는 시간

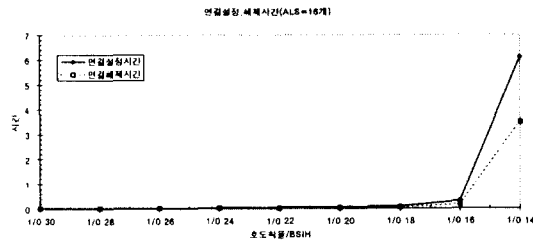


그림 7. 호 도착율에 따른 연결 설정, 해제시간 변화(ALS = 16개)

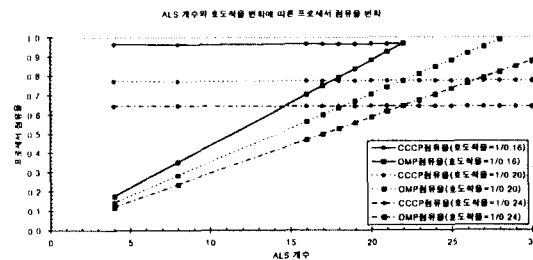


그림 8. ALS 갯수와 호도착율 변화에 따른 프로세서 점유율 변화

이 기본단위시간보다 약 35% 증가한 값(1.35E-3)만큼 걸릴 때 CCCP 프로세서와 OMP 프로세서의 점유율이 같아져 부하의 균형이 이루어지는 것을 알 수 있다. 그림에서 OMP 메시지 처리시간이 1.6E-3 일 때 CCCP 점유율 그래프를 보면 호 도착율이 1/0.18 이상일 경우 점유율에 변화가 거의 없음을 볼 수 있는데 이는 OMP 메시지 처리시간이 1.6E-3 이고 호 도착율이 1/0.18 이상일 때 OMP 프로세서의 점유율이 거의 1이 되며 이와 같은 현상은 OMP 메시지 처리시간이 1.4E-3 이고 호 도착율이 1/0.16 이상일 때도 그림에서 볼 수 있다.

그림 2의 호 연결 설정 시나리오에서 알 수 있드시 실제 호 도착율이 증가하여도 OMP에서 착신번호번호를 완료하여 CCCP 프로세서로 메시지를 전달하여 주는 전송율이 일정하므로 CCCP 프로세서는 마치 호가 일정한 도착율을 갖는 것처럼 보여 점유율이 증가하지 않는다.

그림 10에는 호 도착율과 OMP 프로세서의 한 메시지 처리시간 변화에 따른 연결 설정, 해제시간 변

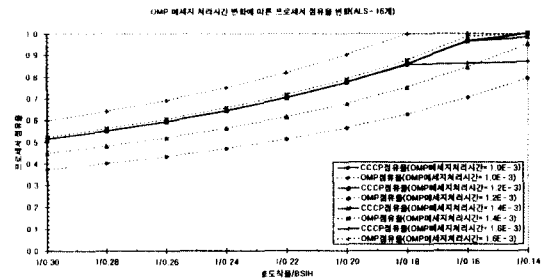


그림 9. OMP 메시지 처리시간 변화에 따른 프로세서 점유율 변화(ALS = 16개)

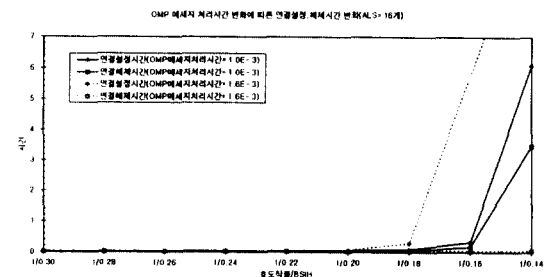


그림 10. OMP 메시지 처리시간 변화에 따른 연결 설정, 해제시간 변화(ALS = 16개)

화를 나타내었다. 그림에서 실선은 OMP의 메시지 처리시간이 단위시간(1.0E-3) 일 때 연결 설정 및 해제시간을 나타낸 것이고 점선은 OMP 메시지 처리시간이 1.6E-3 일 때의 결과이다. 그림에서 OMP 메시지 처리시간이 단위시간(1.0E-3) 일 때 연결 설정 및 해제 시간은 호 도착율이 1/0.16 정도 부근에서 둘 다 급격히 상승함을 볼 수 있으며, 이 때의 시스템 성능 병목요소는 CCCP 프로세서이다. CCCP 프로세서는 연결의 설정 및 해제 절차에 모두 관여하는 프로세서이기 때문에 그림에서 볼 수 있듯이 연결 설정 및 해제시간이 모두 급격히 증가하게 된다. 반면에 OMP 메시지 처리시간이 1.6E-3 일 경우 호 도착율이 1/0.18 정도가 되면 연결 설정시간만이 급격히 증가함을 볼 수 있다. 여기서 연결 해제시간은 거의 일정한 반면 연결 설정시간만 급격히 증가하는 이유는 OMP 프로세서가 시스템 병목요소가 되고, 또한 OMP 프로세서가 메시지를 처리하는 것은 연결 설정 절차와만 관련되기 때문이다.

V. 결 론

본 연구는 ATM 교환시스템의 제어계에 대한 성능평가 연구로 ATM 교환시스템 제어계에 대한 성능분석 모델을 개발하고 이를 이용한 시뮬레이션을 통해 시스템 성능을 분석하였다.

먼저 제어계 성능분석을 위한 하드웨어 구조는 16개의 ALS를 가지고, 각 ALS당 7개의 BSIH를 갖는 구조를 기본구조로 설정하였으며, 호 연결 설정 제어 절차는 집중화된 OMP 프로세서에서 사용자 번호번역을 위해 호 연결 설정요구마다 하나의 메시지를 처리하는 자국호를 가정하였다. 또한 시스템에 입력되는 호 연결 설정요구는 포아송 분포를 가지며, CCCP 프로세서에서 각 메시지를 처리하는 시간과 OMP에서 메시지를 처리하는 시간은 평균적으로 모두 동일한 처리시간을 갖는다고 가정하였다. 이와 같은 기본구조에 대해 다양한 도착율을 갖는 호 연결 설정요구가 시스템에 입력될 때 CCCP 프로세서와 OMP 프로세서의 점유율, 큐 길이, 큐 지연시간, 호 연결 설정 및 해제 지연시간 등을 구하였으며, 결과적으로 CCCP의 호처리능력은 호 도착율 1/0.16 이하가 됨을 알 수 있었다.

또한 시스템 구조에서 ALS의 갯수를 변화시킬 경우 ALS 갯수가 약 22개 이상이 되면 OMP 프로세서의 점유율이 CCCP 프로세서 점유율보다 커지게 되는 결과를 얻었으며, 따라서 OMP의 처리능력 한계는 ALS의 갯수가 22개임을 알 수 있었다. 또한 ALS 갯수가 16개 이하인 경우 시스템 병목현상이 발생하는 호 도착율 이상의 호가 입력될 때 연결 설정 및 해제시간이 모두 급격히 증가하는 반면, ALS 갯수가 22개 이상인 경우에는 연결 설정 시간만이 급격히 증가하는 결과를 얻었으며, 이는 OMP 프로세서가 호 연결 설정 절차에만 관련되는 메시지를 처리하기 때문이다.

추후 수행되어야 할 연구과제로는 자국호와 중계호를 고려하고 전화, 데이터 및 영상서비스일 때의 트래픽을 고려한 제어기능 및 성능평가가 수행되어야 할 것이다. 또한 CCCP 프로세서에서 처리되고 있는 모든 기능분산방안에 대한 연구도 수행되어야 할 것이다.

참 고 문 헌

1. E. Dutkiewicz, G. Anido, "Performance Evaluation of Hierarchical Control Systems in Switching Exchanges," A. T. R. Vol. 28, No. 1, pp. 15-24, 1994.
2. E. Dutkiewicz, G. Anido, "Optimisation of Distributed Exchange Control Systems," A. T. R. Vol. 29, No. 2, pp. 1-13, 1995.
3. ITU-T Draft Rec. Q. 2931, B-ISDN Access Signaling System DSS2(Digital Subscriber Signaling System No. 2) Geneva, Dec. 1993.
4. Thomas M. Chen, Stephen S. Liu, "ATM Switching Systems," ARTECH HOUSE, INC., 1995.
5. ATM Forum, ATM User-Network Interface Specification Version 3.0, Sept. 10, 1993.
6. ITU-T Recommendation I.321, "B-ISDN Protocol Reference Model and its Application"
7. Sakurai, Y., et al., "ATM Switching System for B-ISDN," Hitachi Review, Vol. 40, pp. 193-198, 1991.

8. Suzuki, K., et al, "An ATM Switching System-Development and Evaluation," NEC Research & Development, Vol. 32, pp. 242-251, April 1991.

9. 이순석, 김영부, 오창환, 김영선, "분산형 ATM 교환시스템의 호/연결 제어 시스템과 처리용량," 한국통신학회 하계학술대회논문집, 1996.

10. 김승희, 정지훈, 조재균, 김영선, 강석열, "ATM 교환시스템에서의 호 제어에 관한 연구," 한국통신학회 93년도 하계종합학술발표회논문집, pp. 225-229, 1993. 7.

11. A. Alan B. Prisker, Interduction to Simulation and SLAM II, System Publishing Co., 1986.

12. A. Alan B. Prisker, et al, SLAM II Network Models for Decision Support, Prentice-Hall, 1989.

呂煥根(Hwan-Geun Yeo) 정희원
 1958년 10월 20일생
 1981년 2월: 경북대학교 전자공학과 졸업(공학사)
 1983년 2월: 경북대학교 대학원 전자공학과(공학석사)
 1992년 3월~현재: 경북대학교 대학원 컴퓨터공학과 박사과정
 1993년 3월~1994년: U. of Maryland SRI 객원 연구원
 1983년 3월~현재: 한국전자통신연구소 제어시스템연구실 선임연구원
 ※주관심분야: Fault Tolerant Computing System, Distributed Computer Architecture, ATM Switching System

宋光錫(Kwang-Suk Song) 정희원
 1953년 10월 23일생
 1979년 2월: 고려대학교 전자공학과 졸업(공학사)
 1981년 8월: 고려대학교 대학원 전자공학과(공학석사)
 1992년 2월: 고려대학교 대학원 전자공학과(공학박사)
 1992년 1월~1992년 12월: Georgia Institute of Tech-

宋光錫(Kwang-Suk Song) 정희원
 1953년 10월 23일생
 1979년 2월: 고려대학교 전자공학과 졸업(공학사)
 1981년 8월: 고려대학교 대학원 전자공학과(공학석사)
 1992년 2월: 고려대학교 대학원 전자공학과(공학박사)
 1992년 1월~1992년 12월: Georgia Institute of Technology 객원연구원
 1982년 7월~1992년 12월: Georgia Institute of Technology 객원연구원
 1982년 7월~현재: 한국전자통신연구소 제어시스템연구실장
 ※주관심분야: Fault Tolerant Control System, Computer Architecture, ATM Switching System

盧承煥(Soong-Hwan Ro) 정희원
 1962년 8월 19일생
 1987년 8월: 고려대학교 전자공학과 졸업(공학사)
 1989년 8월: 고려대학교 대학원 전자공학과 졸업(공학석사)
 1993년 8월: 고려대학교 대학원 전자공학과 졸업(공학박사)
 1994년 3월~현재: 공주대학교 정보통신공학과 조교수
 ※주관심분야: 컴퓨터 구조, ATM, 교환시스템

奇長根(Jang-Geun Ki) 정희원
 1961년 7월 15일생
 1986년 2월: 고려대학교 전자공학과 졸업(공학사)
 1988년 2월: 고려대학교 대학원 전자공학과 졸업(공학석사)
 1992년 2월: 고려대학교 대학원 전자공학과 졸업(공학박사)
 1992년 3월~현재: 공주대학교 전자공학과 조교수
 ※주관심분야: 컴퓨터 통신 및 프로토콜, ATM 교환시스템