

무손실 시간 지연을 갖는 Chua 회로에서의 카오스 해석

正會員 배 영 철*, 손 영 우*, 고 윤 석**

Analysis of Chaotic with Lossless Time-Delayed Chua's Circuit

Young Chul Bae*, Young Woo Shon*, Yun Seok Ko** *Regular Members*

요 약

Chua 회로는 간단한 전기 및 전자 회로를 구성하여 카오스 현상을 나타내는 회로로 자율, 3차계, 가역성(Reciprocal)이며 1개의 비선형 소자인 3구분 선형 저항과 4개의 선형 소자인 (R, L, C₁, C₂)로 구성되는 발진회로이다.

본 논문에서는 Chua 회로의 병렬 LC 공진기를 단락하여 시간 지연을 갖는 무손실 전송선로로 치환하고 특성 곡선법을 써서 파라미터 변화에 의한 카오스 운동과 주기운동이 있음을 위상공간과 분기도(Bifurcation diagram)로 확인 하였으며 무손실 전송선로가 원래의 Chua 회로와 유사한 어트랙터가 존재함을 확인하였다.

ABSTRACT

Chua's circuit is a simple electronic network which exhibits a variety of bifurcation and attractors. The circuit consists of two capacitors, an inductor, a linear resistor, and a nonlinear resistor. In this paper we analyze a circuit obtained by replacing the parallel LC resonator in the Chua's circuit by lossless transmission line. By using the method of characteristics of this circuit we show that various periodic motions and chaotic motions can be attained according to parameter variations. From Chua's circuit with a lossless transmission line a variety of chaotic attractors which are similar to those of the normal Chua's circuit are observed

I. 서 론

최근에 카오스 현상에 대한 관심이 물리학, 화학, 생물학, 공학 등에서 높아지고 있으며 이에 대한 응용이 활발하게 진행되고 있다[9-11]. 간단한 전기 및 전

자 회로를 구성하여 카오스 현상이 존재함을 증명하는 논문도 발표되고 있으며[5-7] 이를 대표하는 것으로 Chua 회로를 들 수 있다[3, 4, 6, 8].

Chua 회로는 매우 단순한 자율, 3차계 시스템으로 가역성을 가지며 1개의 비선형 소자인 3 구분 선형 저항(3-segment piecewise-linear resistor)과 4개의 선형 소자인(R, L, C₁, C₂)로 구성되는 발진회로다.

Chua 회로의 카오스 어트랙터는 Matsumoto[4]가 컴퓨터 시뮬레이션으로 처음 제시하였으며 이후 실

*산업기술기술통보원(KINITI)

**남서울산업대학교 전자공학과

論文番號:96107-0402

接受日字:1996年 4月 2日

험에 의한 Chua 회로의 카오스 어트랙터를 증명한 연구[3, 12]도 있었다.

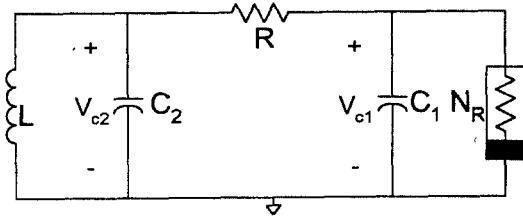


그림 1. Chua 회로
Fig. 1 Chua's circuit

Matsumoto에 의해 제안된 Chua 회로[4]를 그림 1에 나타냈으며 상태방정식은 다음과 같이 표시할 수 있다.

$$\begin{aligned} C_1 \frac{dv_{C_1}}{dt} &= G(v_{C_2} - v_{C_1}) - g(v_{C_1}) \\ C_2 \frac{dv_{C_2}}{dt} &= G(v_{C_1} - v_{C_2}) + i_L \\ L \frac{di_L}{dt} &= -v_{C_2} \end{aligned} \quad (1)$$

여기서 $G=1/R$, $g(\cdot)$ 는 식 (2)와 같이 표현되는 3구분 선형 함수(3-segment piecewise-linear function)이며 그림 2에 나타내었다.

$$g(v_R) = m_0 v_R + \frac{1}{2} (m_1 - m_0) [|v_R + B_P| - |v_R - B_P|] \quad (2)$$

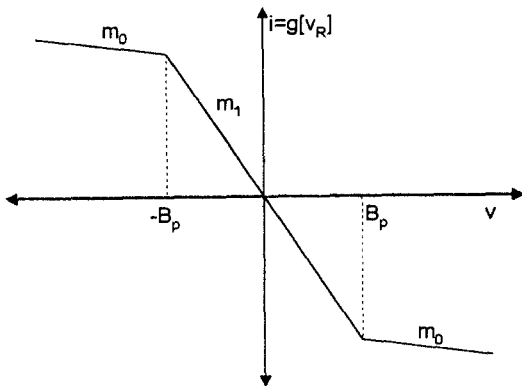


그림 2. 3구분 선형 전압 전류 특성
Fig. 2 3-segment piecewise linear v-i characteristic of NR

여기서 m_0 는 외부 영역의 기울기, m_1 은 내부 영역의 기울기, $\pm B_P$ 는 break-point이다.

구분 선형 소자를 가진 Chua 회로의 LC 공진기를 한쪽이 단락된 무손실 전송선로로 치환하면 그림 3과 같은 회로를 얻을 수 있다.

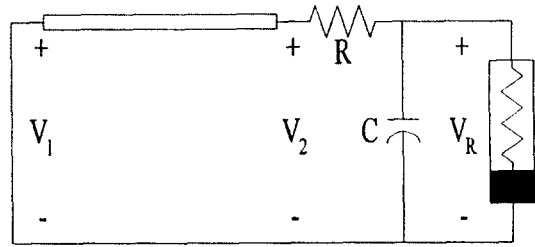


그림 3. 전송 선로를 가진 Chua 회로
Fig. 3 Chua's circuit with a transmission line

무손실 전송 선로를 전달하는 신호는 지연 시간의 영향을 받으므로 이 회로를 time-delayed Chua's circuit 이라고 부른다. 최근에 이 회로에 관한 몇 개의 문헌[16-19]이 보고 되어있다.

본 논문에서는 무손실 전송 선로를 가진 Chua 회로를 Branin이 제시한 특성 곡선법[15]을 써서 새로운 등가회로를 만들고 $C \neq 0$ 인 조건에서 회로의 파라미터 값에 따라 주기 운동과 카오스 운동이 나타남을 위상 공간과 분기도로 제시하고 원래의 Chua 회로와 그 결과를 비교하였다.

본 논문에서 제시한 전송선로를 가진 Chua 회로는 반도체 내부 배선 설계나 통신선로, 전력 계통 등에 이용할 수 있을 것으로 보인다.

II. 전송선로를 가진 Chua 등가회로

Branin[15]는 무손실 전송선로의 과도 해석을 위한 특성곡선법을 제안하였다. 그림 4와 같은 전송 선로의 특성 방정식은 다음과 같이 표시된다.

$$L \frac{\partial i}{\partial t} + Ri + \frac{\partial e}{\partial x} = 0 \quad (3)$$

$$L \frac{\partial e}{\partial t} + Ge + \frac{\partial i}{\partial x} = 0 \quad (4)$$

여기서 $e(x, t)$ 와 $i(x, t)$ 는 시간 t 에서 선로 x 점의 전

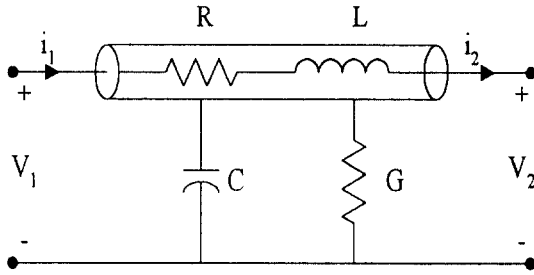


그림 4. 전송 선로
Fig. 4 A transmission line.

압과 전류, R, L, C, G는 단위 길이당의 저항, 인덕턴스, 커패시턴스, 컨덕턴스를 나타낸다.

$$\text{특성곡선에서 정의된 } \frac{dx}{dt} = \frac{1}{\sqrt{LC}} \text{ 과 } \frac{dx}{dt} = -\frac{1}{\sqrt{LC}}$$

를 사용하여 식 (3)과 식 (4)를 계산하면 다음식과 같은 상미분 방정식을 유도할 수 있다.

$$\sqrt{\frac{L}{C}} di + (Ri + \sqrt{\frac{L}{C}} Ge)dx + de = 0 \quad (5)$$

$$-\sqrt{\frac{L}{C}} di + (Ri - \sqrt{\frac{L}{C}} Ge)dx + de = 0 \quad (6)$$

식 (5)는 $\frac{dx}{dt} = \frac{1}{\sqrt{LC}}$ 일 때 얻어지며 진행파 특성을

가지고 식 (6)는 $\frac{dx}{dt} = -\frac{1}{\sqrt{LC}}$ 일 때 얻어지며 반사파 특성을 가진다.

식 (5)와 (6)에서 무손실 전송선로인 경우 R=0, G=0이므로 다음과 같은 식으로 정리할 수 있다.

$$\Delta e = -Z_0 \Delta i \quad (7)$$

$$\Delta e = +Z_0 \Delta i \quad (8)$$

여기서 $Z_0 = \sqrt{\frac{L}{C}}$ 이며 선로의 특성 임피던스, Δe 는 주어진 선로에서의 임의의 두점간의 전압차, Δi 는 전류차를 나타낸다.

전송선로의 길이를 d라고 하고 일단에서 다른 일단으로의 파의 지연 시간을 $t = \sqrt{LC}d$ 라 놓으면 식 (9), (10)과 같은 전압 방정식을 세울 수 있다.

$$e(d, t) = -Z_0 i(d, t) + [e(0, t - \tau) + Z_0 i(0, t - \tau)] \quad (9)$$

$$e(0, t) = +Z_0 i(0, t) + [e(d, t - \tau) - Z_0 i(d, t - \tau)] \quad (10)$$

식 (9)와 식 (10)은 입사파와 반사파 전압원을 이용하여 다음과 같은 수식으로 정리 할 수 있다.

$$e(d, t) = -Z_0 i(d, t) - e_2(0, t - \tau) \quad (11)$$

$$e(0, t) = +Z_0 i(0, t) - e_1(d, t - \tau) \quad (12)$$

여기서

$$e_2(0, t) = -[2e(0, t) + e_1(d, t - \tau)]$$

$$e_1(d, t) = -[2e(d, t) + e_2(0, t - \tau)]$$

이다.

식 (11)과 식 (12)의 등가회로를 그림 5에 나타내었다.

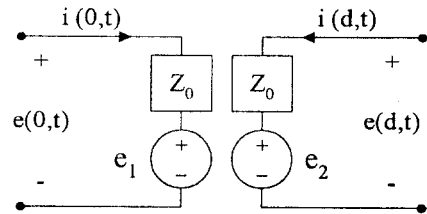


그림 5. 전송 선로의 특성 모델
Fig. 5 The characteristic model of a transmission line

그림 4의 전송선로는 그림 5와 같이 등가 변환되므로 전송선로를 가진 그림 3의 Chua 회로는 그림 6과 같은 새로운 등가회로로 변환할 수 있다.

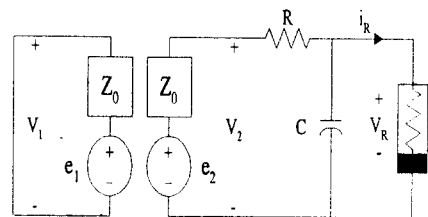


그림 6. 전송 선로를 가진 Chua 회로의 등가회로
Fig. 6 Equivalent circuit of Chua's circuit with a transmission line

선로가 무손실인 경우 그림 6의 회로 방정식은 다음과 같이 나타낼 수 있다.

$$v_1(t) = 0$$

$$v_2(t) = \frac{Re_2(t) + Z_0 v_R(t)}{R + Z_0}$$

$$C \frac{dv_R(t)}{dt} = \frac{v_2(t) - v_R(t)}{R} - i_R(v_R)$$

$$e_1(t) = 2v_2(t) - e_2(t - \tau)$$

$$e_2(t) = 2v_1(t) - e_1(t - \tau) \tag{13}$$

여기서 Z_0 는 특성 임피던스, τ 는 전파정수이며, e_1 , e_2 는 반사파 전압원, $i_R(v_R)$ 은 비선형 저항으로 본 논문에서는 5구분 선형 저항을 이용[13]하여 컴퓨터 시뮬레이션을 행하였다.

III. 위상공간에 의한 카오스 현상 해석

식 (9)의 파라미터 값을 [12]에서 제시한 $L = 18[mH]$, $C_2 = 100[\mu F]$ 선로의 길이 $d = 1[m]$ 로 정하고 특성 임피던스와 전파정수를 구하면 다음과 같다.

$$Z_0 = \sqrt{\frac{L}{C_2}} = 424\Omega$$

$$\tau = \sqrt{LC_2} d = 0.05[ms] \tag{14}$$

식(13)의 각 파라미터 값을 식(14)와 $C = 10[\mu F]$, 비선형 저항 $i_R(v_R)$ 을 그림 7과 같이 $m_1 = -0.75[mS]$, $m_0 = -0.41[mS]$, $m_2 = 10[mS]$, $1 B_{p_1} = 1[V]$, $B_{p_2} = 8[V]$ 로 주고 R 의 값을 변화 하였을 때 비선형 저항에 걸리는 전압 v_R 에 대한 선로의 단자 전압 v_2 의 위상공간을 그림 8에 나타내었으며 5구분 선형 저항을 이용한 식 (1)에 대한 Chua 회로의 카오스 어트랙터를 그림 9에 나타내었다.

무손실 전송 선로를 가진 Chua 회로에서 파라미터 R 값의 변화에 따라 1주기, 2주기, 4주기, R ssler형 어트랙터, double scroll 어트랙터 등 원래의 Chua 회로와 유사한 결과가 나타남을 확인할 수 있다.

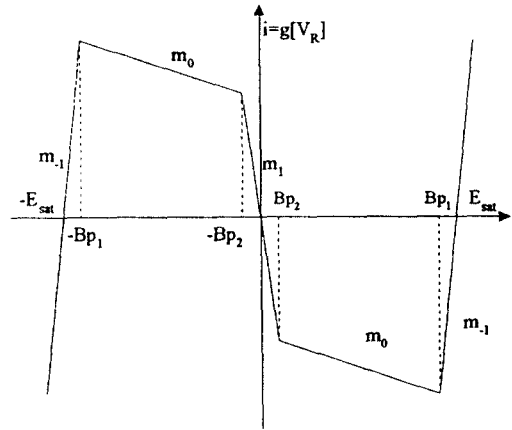
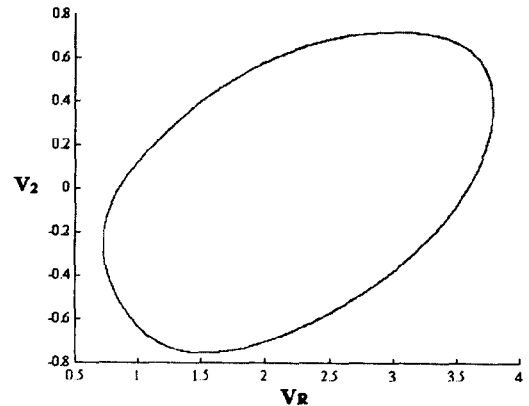


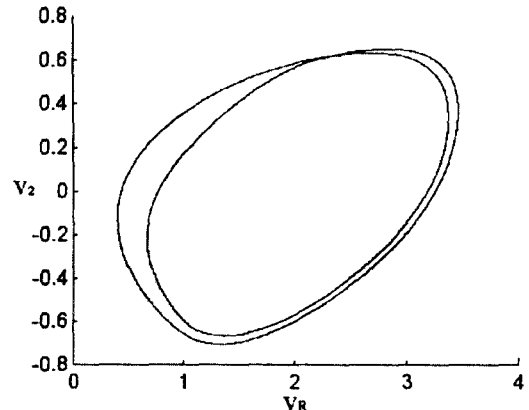
그림 7.5 구분 선형 저항

Fig. 7.5 segment piecewise linear resistor



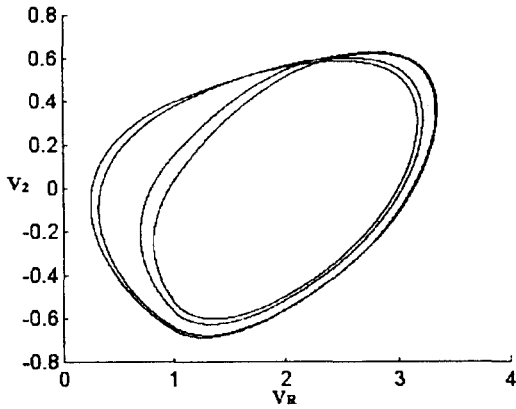
(a) $R = 1800\Omega$, 1주기 운동

(a) $R = 1800\Omega$, 1-periodic motion

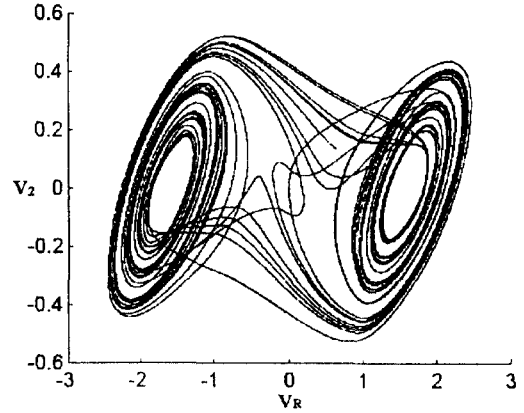


(b) $R = 1760\Omega$, 2주기 운동

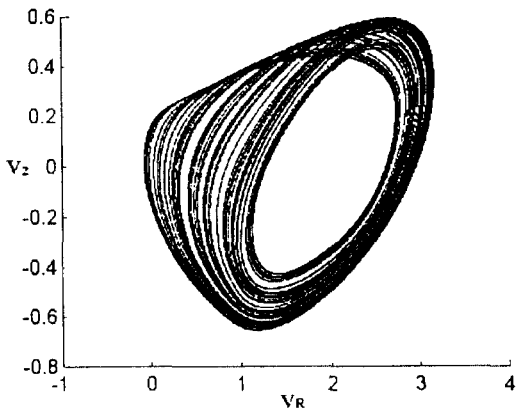
(b) $R = 1760\Omega$, 2-periodic motion



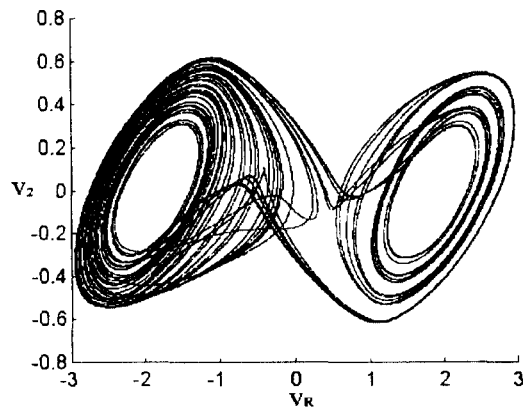
(c) $R = 1745 \Omega$, 4주기 운동
(c) $R = 1745 \Omega$, 4-periodic motion



(f) $R = 1610 \Omega$, double scroll 어트랙터
(f) $R = 1610 \Omega$, double scroll attractor



(d) $R = 1720 \Omega$, R-ssler형 어트랙터
(d) $R = 1720 \Omega$, R-ssler type attractor



(e) $R = 1690 \Omega$, double scroll 어트랙터
(e) $R = 1690 \Omega$, double scroll attractor

그림 8. $Z_0 = 424 \Omega$ 인 경우의 위상공간
Fig. 8 Phase plane for $Z_0 = 424 \Omega$

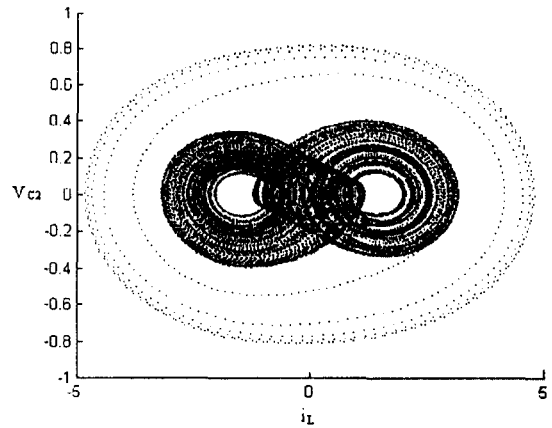


그림 9. Chua 회로에 의한 카오스 어트랙터
Fig. 9 Chaotic attractor by Chua's circuit

IV. 분기도(Bifurcation Diagram)에 의한 카오스 현상 해석

식 (9)에서 C값을 고정하고 R값을 변화 하였을 때의 분기도를 그림10에 나타내었다.

위상공간에서와 마찬가지로 1주기, 2주기, 4주기, 카오스 현상의 주기배증 과정과 주기창(periodic window) 등 카오스와 관련된 여러 가지 현상이 분기도에 정확히 나타남을 알 수 있다.

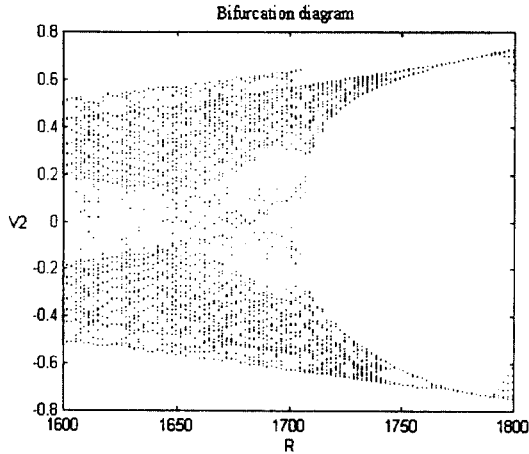


그림 10. R값의 변화에 의한 분기도
Fig. 10 Bifurcation diagram by R variation

V. 결 론

본 연구에서는 Chua 회로의 LC 공진회로의 일단을 단락하여 시간 지연을 갖는 무손실 전송 선로로 치환하고 특성곡선법을 써서 등가회로를 만들어 주기운동과 카오스 현상이 나타남을 위상공간과 분기도로 확인 하였으며 원래의 Chua 회로와 비교하였다.

본 논문에서 다룬 무손실 전송선로를 가진 Chua 회로는 VLSI 내부의 배선 설계나 회로에 유용하게 이용할 수 있을 것으로 보이며 앞으로 손실이 있는 경우의 Chua 회로, 전송선로가 결합된 발전기 등에 대한 연구가 계속되어야 할 것으로 보인다.

참 고 문 헌

1. J. Guckenheimer and P. Holmes, *Nonlinear Oscillations, Dynamical System, and Bifurcations of Vector Field*. New York ;Springer-Verlag, 1983.
2. L. O. Chua, M. Komuro, and T. Matsumoto, "The Double Scroll Family, Part I., and II.," *IEEE Trans. on Circuit and System*, vol. CAS-33, pp. 1073-1118, 1988.
3. T. Matsumoto, L. O. Chua, and M. Komuro, "The Double Scroll", *IEEE Trans. on Circuit and System*, vol. CAS-32, pp. 798-818, 1985.

4. T. Matsumoto, "A Chaotic Attractor from Chua's circuit", *IEEE Trans. on Circuit and System*, vol. CAS-31, pp. 1055-1058, 1984.
5. M. Kuramitsu and K. I. Mori, "A Simple Electric Circuit Generating Chaos", *Technical Report IEICE, NLP 93-68*, pp. 31-38, 1994.
6. T. S. Parker, and L. O. Chua, "The Dual Double Scroll Equation", *IEEE Trans. on Circuit and System*, vol. CAS-32, pp. 1059-1073, 1987.
7. Y. Ueda & N. Akamatsu, "Chaotically Transitional phenomena, in the Forced Negative-Resistance Oscillator", *IEEE Trans. on Circuit and System*, vol. CAS-28, pp. 217-224, 1981.
8. G. O. Z'hong and F. Ayrom, "Experimental Confirmation of Chaos from Chua's circuit", *International Journal of Circuit Theory Application*, vol. 13, pp. 93-98, Jan, 1985.
9. 고재호, 배영철, 임화영, "주기적 외력을 인가한 Bonhoeffer-Van der Pol 오실레이터 모델에서의 카오스 현상 해석에 관한 연구", *한국통신학회논문집* vol. 20, no. 11, pp. 2991-3000, 1995.
10. 고재호, 배영철, 임화영, "연속시간 시스템에서의 카오스 피드백 제어", 1995 제어계측연구회 학술 발표회논문집, pp. 112-114, 1995.
11. 배영철, "카오스의 응용", *전자 저널*, pp. 110-112, 1993.
12. 배영철, 고재호, 임화영, "Chua 회로에서의 Bifurcation과 Attractor", *대한전기학회학술대회 논문집*, pp. 664-666, 1995.
13. 배영철, 고재호, 임화영, "구분 선형 함수의 최적 구현에 관한 연구", *한국자동제어학회 회의 논문집*, pp. 370-373, 1995.
14. 배영철, 고재호, 임화영, "Chua 회로에서의 파라미터 변화에 의한 Period-doubling과 Bifurcation에 관한 연구", *한국 자동제어 학술 회의 논문집*, pp. 482-485, 1995.
15. F. H. Branin, JR, "Transient Analysis of Lossless Transmission Lines", *Proc. IEEE*, vol. 55, pp. 2012-2013, 1967.
16. A. N. Sharkovsky, "Chaos from a Time-delayed Chaos Circuit", *IEEE Trans. on Circuit and System*

- tem, vol. CAS-40, pp. 781-783, 1993.
17. L. Kocarev and Z. Tazev, "Analytical Description of a Fractal Set Generated by the Time-Delayed Chua's Circuit", International Journal of Bifurcation and Chaos, vol. 4, pp. 1639-1643, 1994.
 18. X. Rodet, "Models of Musical Instruments from Chua's Circuit with Time-Delay", IEEE Trans. on Circuit and System, vol. CAS-40, pp. 696-701, 1993.
 19. E. A. Hosny, M. I. Sobhy, "Analysis of Chaotic Behavior in Lumped-Distributed Circuits Applied to the Time Delayed Chua's Circuit", IEEE Trans. on Circuit System, vol. CAS-41, pp. 915-918, 1994.



배 영 철(Young Chul Bae) 정회원
 1984년: 광운대학교 전기공학과 졸업(공학사)
 1986년: 광운대학교 대학원 전기공학과 졸업(공학석사)
 1997년: 광운대학교 대학원 전기공학과 졸업(공학박사)
 1986년 2월~1991년 9월: 한국전력공사 근무

1991년 9월~현재: 산업기술정보원(KINITI) 책임연구원



손 영 우(Young Woo Shon) 정회원
 1981년 2월: 광운대학교 전자공학과 졸업(공학사)
 1983년 2월: 광운대학교 대학원 전자공학과 졸업(공학석사)
 1996년 2월: 광운대학교 대학원 전자계산기공학과 박사과정 수료

1991년 4월~현재: 산업기술정보원(KINITI) 책임연구원
 ※주관심분야: 패턴인식, 신경회로망, Chaos 이론, 문서인식



고 윤 석(Yun Seok Ko) 정회원
 1965년 2월 10일생
 1984년: 광운대 공대 전기공학과 졸업(학사)
 1986년: 광운대 대학원 전기공학과 졸업(석사)
 1996년: 광운대 대학원 전기공학과 졸업(공박)

1986년 2월~1996년 4월: 한국전기연구소 선임연구원
 1996년 4월~1997년 2월: 포스코경영연구소 연구위원
 1997년 3월~현재: 남서울산업대학교 전자공학과 전임교수