

# GPS 수신기용 역확산 지연 동기 루프의 FPGA 회로 구현과 성능 분석

正會員 姜聲吉\*, 柳興均\*

## FPGA Circuit Implementation of Despreading Delay Lock Loop for GPS Receiver and Performance Analysis

Sung-Kil Kang\*, Heung-Gyoon Ryu\* *Regular Members*

### 요 약

본 논문은 GPS 수신기용 C/A코드 역확산 지연 동기 회로를 디지털로적으로 설계하고 FPGA로 구현하였다. 설계된 디지털 지연동기루프 시스템은 Epoch 신호 발생기, 국부 발생된 C/A 코드와 수신된 C/A 코드의 상관을 구하는 두 개의 13비트 상관기, 선택된 위성의 C/A 코드를 발생하는 C/A 코드 발생기, C/A 코드 발생기의 구동 클럭을 발생시키는 직접 디지털 클럭 발생기, 발생된 C/A 코드의 위상을 변조시키는 위상 지연기, 제어기, 클럭 분배기로 구성되어 있다.

설계된 회로는 Gold코드의 자기 상관 특성을 이용하여으며, 상관 값의 크기에 따라 제어기에서 각기 다른 제어 신호를 발생하여 동기 획득 및 추적을 수행하도록 고안을 하였다. 설계한 회로는 시뮬레이션에서 로직검증을 하였고, FPGA로 구현된 칩은 가상 GPS 신호를 발생시키는 시뮬레이터인 STR-2770을 사용하여 회로의 성능을 검증하였다.

### ABSTRACT

In this paper, we implement digital circuit of despreading delay lock loop for GPS receiver. The designed system consists of Epoch signal generator, two 13bit correlators which correlates the received C/A code and the locally generated C/A code in the receiver, the C/A code generator which generates C/A code of selected satellite, and the direct digital clock synthesizer which generates the clock of the C/A code generator to control the phase and clock rate, the clock controller, and the clock divider.

The designed circuit has the function of the acquisition and tracking by the autocorrelation characteristics of

\*충북대학교 전자공학과  
論文番號:96094-0316  
接受日字:1996年 3月 16日

Gold code. The controller generates each other control signals according to the correlation value. The designed circuit is simulated to verify the logic functional performance. By using the simulator STR-2770 that generates the virtual GPS signal, the designed FPGA chip is verified the circuit performance.

## I. 서론

직접 시퀀스 확산 스펙트럼(DSSS:direct sequence spread spectrum) 방식을 사용하는 GPS(Global Positioning System)는 미국 국방성이 1970년대부터 개발을 추진하고 있는 인공위성을 이용한 위치 측정 시스템이다. 이 시스템 이용자는 지구궤도를 돌고 있는 위성으로부터 위성 자체의 위치, 속도, 그리고 오차보정용 정보를 수신하여 항법/위치 결정에 이용하게 된다. 기존의 지상관제 유도장치나 관성항법장치는 이용자에게 200m이상의 큰 위치 오차를 발생하지만, 이 GPS에 의한 위치 오차는 수 m정도까지 줄여지고 있어 육지, 해상, 항공 운수, 지도 제작과 우주 공간의 탐험에 이르기까지 다양하게 이용될 전망이다, 또한 정확한 시보를 얻기 위해 이용되기도 한다. 그런데, 국내에서는 근래에 GPS의 응용에 대한 관심이 고조되어, GPS 수신기 응용에 관한 몇몇 연구가 수행되고 있을 뿐, 수신기 하드웨어 설계에 관한 연구는 미흡한 실정이다.

본 논문에서는 GPS 수신기 하드웨어 중 GPS 수신기의 성능을 좌우하는 핵심 기술로서 GPS 데이터를 복원해 내는 기능을 포함하는 지연 동기 회로를 설계하였다. 이 회로는 위성 신호가 스펙트럼 확산 방식을 이용하므로 비동기 상태에서 C/A 코드를 빠른 시간 내에 동기 시켜 동기를 유지하면서 데이터를 복원하는 회로로서 디지털 로직으로 설계하여 FPGA 칩으로 구현하였다.

제2장에서는 GPS시스템의 구성과 GPS 위성으로부터 송신되는 신호의 특성과 송신 데이터의 구성 포맷을 분석한다. 제3장에서는 GPS 수신기의 지연 동기 회로의 하드웨어 설계 내용으로 C/A epoch 신호 발생기, 상관기, C/A 코드 발생기, 직접 디지털 클럭 발생기, 위상 지연기, 제어기 등으로 구분하여 설명한다. 제4장에서는 구현된 FPGA 칩을 시뮬레이터 보드를 이용하여 동작 성능을 검증하였고, 마지막으로 제5장에서는 결론을 맺었다.

## II. GPS 시스템 및 신호 분석

### 2.1 GPS 수신기

GPS 수신기의 일반적인 구성도는 그림 1과 같다. 그림과 같이 GPS 수신기는 크게 하향 변환기(down-converter), 복조기, 지연동기루프, 항법 데이터 처리를 위한 프로세서 등으로 구성된다.

GPS 위성신호가 안테나에 수신되면 저 잡음 증폭기 및 대역통과 필터를 거친 후 2차에 걸친 슈퍼헤테로다인 방식으로 10.7 MHz의 중간주파수로 하향 변환된다. 이 중간주파수 신호는 C/A 코드로 확산된 50 bps의 항법 정보 데이터로서 BPSK(binary phase shift keying) 방식으로 변조되어 있는 신호이다. 따라서 중간주파수로 변환된 신호는 복조기에서 BPSK 신호를 복조한다. 복조된 신호는 지연동기 루프에서 국부 발생하는 C/A 코드에 동기를 일치시켜 50bps의 항법 정보 데이터를 분리하는 역확산 과정을 거친다. 지연동기루프의 C/A코드는 프로세서에 의해 위상이 선택되고, 이렇게 선택된 C/A코드와의 위상을 일치 시킴으로 위성에서 송신한 50bps함법데이터를 복원할 수 있다. 이렇게 복원된 항법정보 데이터는 프로세서에 의해 프레임 동기 및 위치정보를 출력한다.[1][2][3][4][5][6]

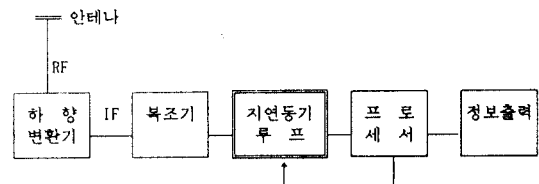


그림 1. GPS 수신기의 일반적인 구성도  
Fig. 1 Block diagram of GPS receiver

### 2.2 GPS 신호

위성의 송신 신호는 원자시계로부터 얻어지는 10.

23MHz의 안정한 기준 주파수로부터 만들어진다. 표준 측위를 위한 반송파(L<sub>1</sub>)는 1.57542GHz로 기준 주파수의 154배이고 C/A코드(1.023Mcps)와 P코드(10.23Mcps)로 50bps의 정보 데이터를 확산한다. 고확도 측위를 위한 반송파(L<sub>2</sub>)는 1.22760GHz로 기준 주파수의 120배이며 P코드로 50bps의 정보 데이터를 확산한다. 실제 위성 상에서 기준주파수는 10.23MHz보다 0.00455MHz보다 낮은 주파수로 되어 있다. 이것은 일반 상대성 이론에 기인하여 위성이 궤도상에서 받는 중력이 지구상과 다르기 때문에 발생하는 오차를 보정하기 위함이다. 지구상에서 수신하면 정확히 10.23MHz이다. GPS위성은 메시지를 일정시간 반복해서 송신하고 있다. 수신기에서는 이 정보로부터 각 위성의 상황이나 정확한 위성의 위치를 알고 전파가 도달하는 시간으로 현재의 위치를 계산한다. 이들 정보는 표준측위용(C/A코드)의 L<sub>1</sub>, 고확도 측위용(P코드)인 L<sub>2</sub>의 양쪽 반송파(캐리어)에 의해 송신되고 있지만, 고확도 측위는 군사용으로만 그 이용이 제한되고 있다. 여기서 상업적으로 개방된 C/A코드를 이용하여 L<sub>1</sub>의 C/A코드를 제거함으로써 50bps 항법데이터를 수신할 수 있다.[1][2][7][8]

GPS 위성에서 50bps의 데이터 속도로 송신되고 있는 항법정보 데이터 열은 1500 비트의 정보를 포함하고 있는 30초의 프레임으로 나뉘어진다. 각 프레임은 각각 300 비트의 5개 부프레임으로 나뉘어지며, 이를 한 페이지라고 한다. 또한 부프레임은 30 비트의 10개의 워드로 나뉘어진다.

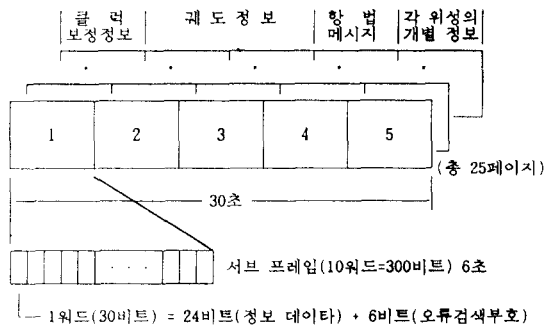


그림 2. GPS 항법 데이터 포맷  
Fig. 2 GPS navigation data format

GPS 항법 데이터 포맷은 그림 2와 같다. 그림 2에서, 첫번째 부프레임은 위성 클럭의 현재 오차와 오차 변화율을 나타내는 4개의 클럭 보정항으로 구성된다. 두 번째와 세 번째 부프레임은 위성의 현재 궤도를 나타내는 궤도 정보로 구성된다. 네 번째 부프레임은 항법 메시지와 위성상태 정보로 구성된다. 다섯 번째 부프레임은 각 위성의 알마낙(almanac)으로 구성된다.[1][2]

### Ⅲ. 지연동기루프의 회로 설계

#### 3.1 지연동기루프

GPS 위성 신호는 스펙트럼 확산 방식을 이용하므로 그 성질상 동기하고 있지 않은 상태에서는 전혀 통신할 수 없으므로 비동기 상태에서 C/A 코드를 빠른 시간 내에 동기 시켜 동기를 유지하는 일은 GPS 수신기의 성능을 좌우하는 핵심기술로써 대단히 중요한 문제이다. 따라서 GPS 위성 신호에 포함되어 있는 C/A 코드를 빠른 시간 내에 동기 및 유지를 수행하는 부분이 지연동기루프인데 능동형 동기 회로의 대표적인 형태로는 동기형 지연동기루프, 비동기형 지연동기루프,  $\tau$ -dithering Loop의 3가지 형태가 있다.

위상 동기형 DLL은 수신된 신호에서 먼저 반송파를 제거하고 수신기에서 국부 발생한 PN 코드와 수신 신호의 상관을 취해 PN 코드를 추적하여 기본 신호를 복조 하는 반면, 위상 비동기형 DLL에서는 반송파가 포함되어 있는 상태의 수신신호와 상관을 취함으로써 부호에 의한 복조를 실행한다. 전자는 구성이 간단하고 잡음에는 약한 반면, 후자는 전자에 비해 구성은 복잡하지만 잡음에는 강한 특성이 있다. 그리고  $\tau$ -dithering Loop는 궤환 루프의 채널 특성을 일치시켜야 할 필요 없이 단일 채널을 이용하여 상관을 이루는 장점이 있지만 DLL에 비해 6dB의 상관 손실이 발생하는 단점이 있다. 본 논문에서는 비교적 구성이 용이한 동기식 DLL을 구현하였다.[1][3][7]

#### 3.2 디지털 지연동기루프 설계

설계된 디지털 지연동기루프(DDLL: Digital Delay-Lock Loop)의 전체 구성도는 그림 3과 같고, 회로도 는 그림 4와 같다. 이 회로는 epoch 신호 발생기, 국부 발생된 C/A 코드와 수신된 C/A 코드의 상관을 구하

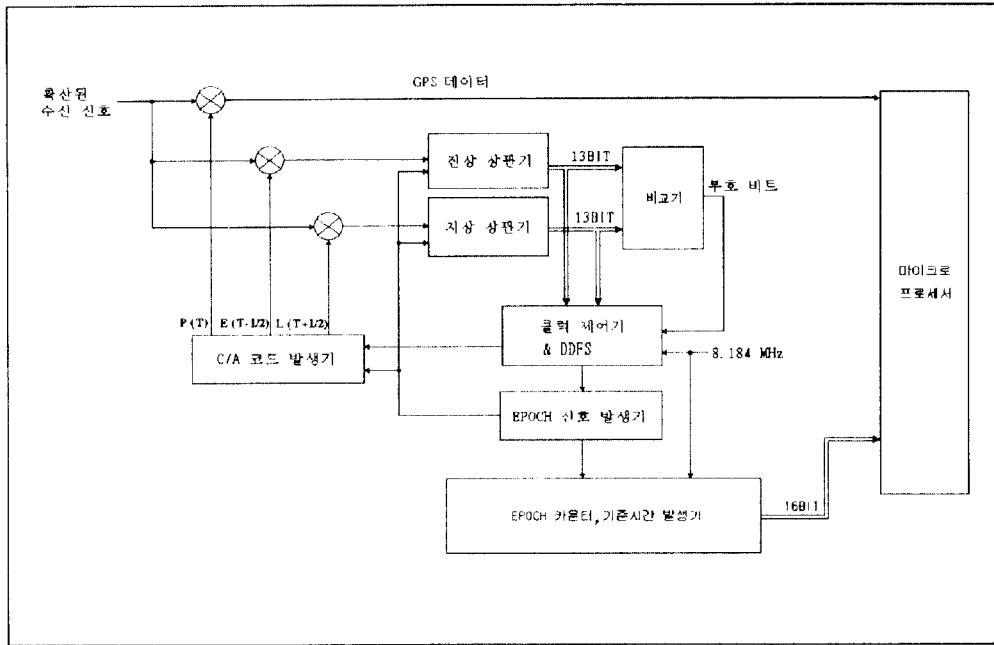


그림 3. 디지털 지연동기루프 블록도  
Fig. 3 Digital delay-lock loop block diagram

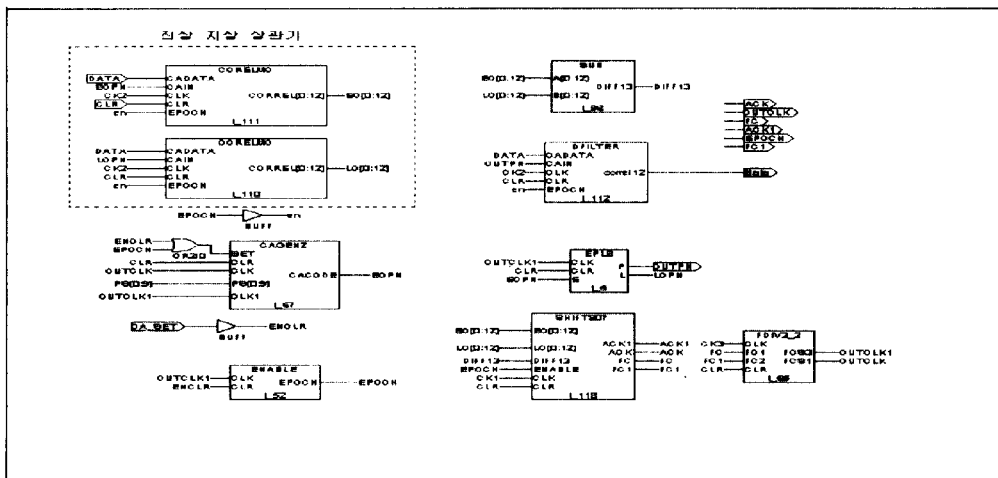


그림 4. 디지털 지연동기루프  
Fig. 4 Digital delay-lock loop circuit

는 두 개의 13비트 상관기인 진상·지상상관기, 상관값의 차를 구하는 비교기, C/A 코드 발생기, C/A 코드 발생기의 구동 클럭을 발생시키는 직접 디지털 클럭 발생기, 발생된 C/A 코드의 위상을 변조시키는 위상 지연기, 제어기로 구성되어 있다. 전체 회로는 복조기의 출력신호를 샘플링(sampling)하는 8.184MHz의 클럭에 동기 되어 동작하며, epoch신호(1ms)에 의해서 각각의 상관기 및 제어기는 리셋 된다.

3.2.1 진상·지상 상관기

진상·지상 상관기는 누산기와 레지스터로 이루어져 있고, 지연동기루프에서 수신된 확산데이터와 국부 발생시킨 C/A코드와의 상관값을 얻는데 사용된다. 회로도에는 그림 4의에서 볼 수 있다. 진상·지상 상관기 상관값들은 epoch(C/A코드 한 주기)신호에 의해 13비트 레지스터에 래치되고 누산기는 리셋 된다. 이때 누산기에서 샘플링은 C/A코드 한 칩당 8번으로 하였다. C/A코드 상관첨두값은 GPS 데이터가 "1"일 경우는 "8184", "0"일 경우는 "0"의 두 상태가 있다. 여기서 칩당 샘플링을 너무 작게 하면 자기상관값이 작아서 잡음과 구별이 어렵고, 샘플링을 너무 많이 하면 자기상관값이 크지만 상대적으로 회로가 복잡해지고 고속을 요하게 된다. 따라서 본 논문에서는 칩당 8번의 샘플링을 하였다.[7][8][9]

3.2.2 C/A 코드 발생기

GPS 시스템에서 확산 코드로 사용되는 C/A 코드는 Gold 코드로 주기는 1ms이고, 한 쌍의 10비트 쉬프트

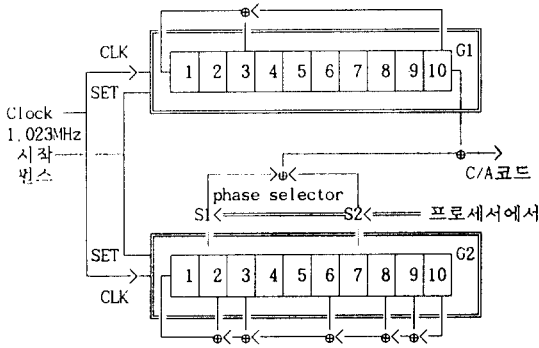


그림 5. C/A 코드 발생기  
Fig. 5 C/A code generator

레지스터에서 발생하는 각각의 m-시퀀스인 G1, G2를 모듈러-2 합성한 것이며, C/A 코드 발생기의 구성도는 그림 5와 같다.

GPS 위성은 각기 다른 코드가 할당되어 있고, 그 위성들의 C/A코드는 그림 5에서처럼 프로세서로부터 위상 S1과 S2에 따라 선택된다.

본 연구에서 설계된 C/A 코드 발생기 회로는 그림 6에 나타내었다. 설계된 회로는 한 쌍의 10비트 쉬프트 레지스터와 위상 탭 케환부, 그리고 코드위상 선택 스위치부로 구성되어 있다. 이 회로는 발생시키고자 하는 위성의 코드 위상 S1과 S2(PS[0:9])를 프로세서로부터 입력받고, epoch(SET)에 맞추어 해당 위성의 C/A 코드(CACODE)를 발생시키도록 설계한 것이다. 예를 들어 코드위상 S1과 S2(PS[0:9])를 "22h"로 선택을 하면 1번 GPS위성의 C/A코드가 선택되어 발생된다.

3.2.3 제어기

설계된 제어기는 그림 7과 같으며, 지상·진상 상관값과 비교기의 출력을 입력받아서 국부 발생된 C/A 코드와 위성 C/A 코드의 동기획득(Acquisition)과 추적(Tracking)을 수행한다.

먼저 동기획득 과정은 수신된 위성 C/A코드와 국부 발생된 C/A코드의 위상 차가 1칩 이상 벗어나 있거나 국부 발생된 코드가 위성코드와 맞지 않을 경우에 수행을 한다. 즉 두 상관값이 4092 근처에 존재할 때는 코드위상이 한칩이내로 들어오지 않았다고 판단을 하여 국부 발생시키는 코드 위상을 한칩씩 지연을 시킨다. 한칩씩 지연시키는 과정을 수행하면서 진상·지상 상관값이 4092보다 상당히 크거나 작아질때를 검출하여 추적 모드로 전환한다. 즉, 코드위상이 한칩 이내가 되었음을 의미한다.

추적모드에서는 진상 상관값과 지상 상관값의 차가 최소가 되게 국부 발생하는 C/A코드위상을 조절하여 수신된 코드와 위상을 일치시켜 유지한다. 이러한 코드위상이 일치한 상태에서 GPS정보 데이터를 복원할 수 있다. 이렇게 복원된 정보 데이터는 마이크로 프로세서에서 프레임 동기를 맞추고 위치정보를 산출하여 디스플레이할 수 있다. 이때 지상 및 지상 상관값이 오류에 의해서 다시 4092근처로 떨어지면 다시 동기획득모드로 전환하여 앞의 과정을 다시

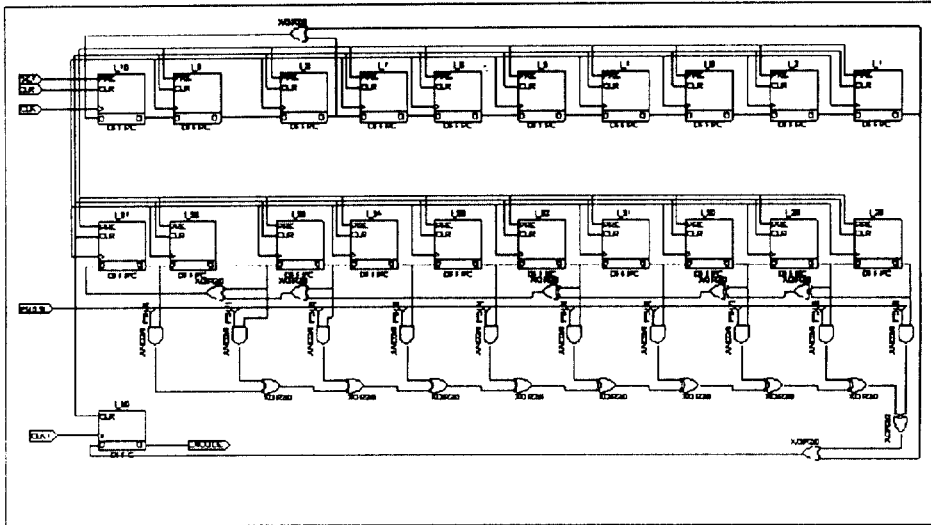


그림 6. C/A 코드 발생기 회로  
Fig. 6 C/A code generator circuit

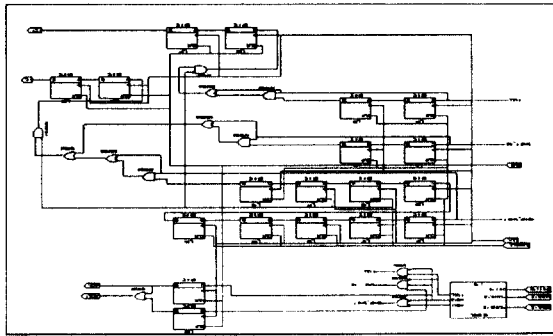


그림 7. 제어기회로  
Fig. 7 Controller circuit

상을 1/8칩 지연 또는 빠르게 발생시킬 수 있게 한다.

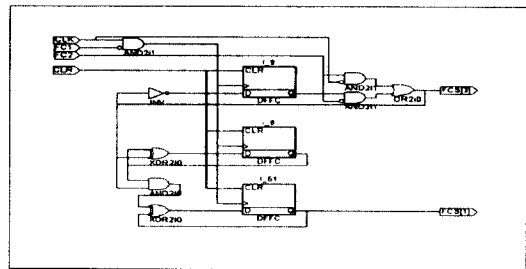


그림 8. 직접형 주파수 합성기회로  
Fig. 8 Direct digital clock genetator

수행한다.

### 3.2.4 직접형 주파수 합성기(DDFS) 설계

직접형 주파수 합성기(DDFS)는 제어신호에 따라 해당되는 클럭을 발생시키고, 위상을 선택하는 기능을 수행한다. 설계한 주파수 합성기회로는 그림 8과 같다.

이 회로는 8.184MHz의 주클럭('CLK')과 제어 신호인 FC, FC1를 입력받아 4.092MHz, 1.023MHz, 0.5115 MHz의 클럭을 출력하며 45°의 위상을 변조시킨다. 이 45°의 위상변조신호는 코드 추적모드에서 코드 위

## IV. 실험측정과 논의

지금까지 설명한 내용들을 중심으로 Quick Logic사의 PASIC TOOLKIT을 이용하여 C/A코드 발생기, 디지털 DLL을 설계하였고 시뮬레이션을 통하여 입력력 파형의 패턴 및 타이밍을 검증하였다. 설계된 회로를 FPGA칩에 구현하였고, 이것을 검증하기 위해 GPS 신호를 발생시키는 시뮬레이터 STR-2770을 이용하였다. 여기서 STR-2770은 중심주파수 1575.42MHz인

L1밴드 RF 신호를 발생시켜주는 기기이다.

실험결과 파형은 그림 9~12에 나타내었다. 먼저, 그림 9에서 1번 파형은 1번 GPS 위성 C/A코드이고, 2번은 지연동기루프에서 역확산된 GPS데이터이고, 3번은 지연동기루프에서 국부 발생되는 C/A코드이고, 4번은 기준신호가 되는 epoch신호이다. 이 그림 9는 지연동기루프에 복조기 출력신호가 입력되었을 때를 나타내는 동기획득(acquisition)과정을 나타내고 있다. 그림 9에서 볼 수 있듯이 동기획득 과정에서는 C/A코드위상이 서로 다르기 때문에 역확산 GPS데이터가 거의 잡음에 가깝다고 볼 수 있다.

그림 10은 그림 9와 같은 동기획득과정으로 국부 발생되는C/A코드를 한 칩씩 지연시키는 과정을 보여주고 있다. 1번은 기준 C/A 코드클럭(1.023MHz)이고, 2번은 국부 C/A코드를 발생시키는 주파수 합성기출력이고, 3번은 제어기에서 발생하는 C/A코드 컨트롤 신호이고, 4번은 지연동기루프의 기준신호인 epoch신호이다. 그림에서 보듯이 제어 신호에 의해 국부 발생되는 C/A코드클럭이 한 주기 지연되는 것을 볼 수 있다. 즉, 국부 발생되는 C/A코드가 한칩 지연됨을 의미한다.

그림 11은 추적과정(tracking)의 C/A코드 클럭들을 나타내며, 각각의 파형들은 그림 10의 설명과 동일하다. 그림 11에서 보여주듯이 기준 C/A코드 클럭(1번 파형)과 국부 발생되는 C/A코드 클럭(2번 파형)은 매

epoch(4번 파형)신호가 발생할 때마다 제어신호(3번 파형)에의해서 국부 발생되는 C/A코드 클럭의 위상이 45°씩 제어된다.

그림 12는 1번 GPS위성 C/A코드와 지연동기루프의 국부 발생하는 C/A코드가 서로 위상 동기가 이루어졌을 때 수신된 GPS데이터가 역확산됨을 보여준다. 각각의 파형들은 그림 9의 설명과 동일하다. 그림에서 볼 수 있듯이 FPGA칩으로 구현한 지연동기루프에 의해서 확산된 데이터가 코드 동기가 이루어지는 순간 정확히 정보 데이터가 역확산한다.

### V. 결 론

본 논문에서는 GPS 수신시스템에서 핵심기술인 역확산 기능을 수행하는 지연동기루프회로를 디지털로 구현하였으며, 시뮬레이션과 실험을 통한 검증으로 설계된 회로가 정확히 동작함을 확인하였다. 참고적으로 구현한 칩의 성능을 실험평가하기 위해서 GPS 시뮬레이터인 Northern Telecom사의 STR-2770을 이용하여 1번 GPS위성 신호를 발생시켜서 실험을 수행하였다. 실험 결과는 그림 12에서 볼 수 있듯이 구현한 지연동기루프에 의한 역확산기능 및 코드위상동기를 잘 유지하였다.

본 연구의 결과의 활용으로는, 지연동기루프를 하나 사용하면 단일채널 GPS 수신기로, 여러개 사용하

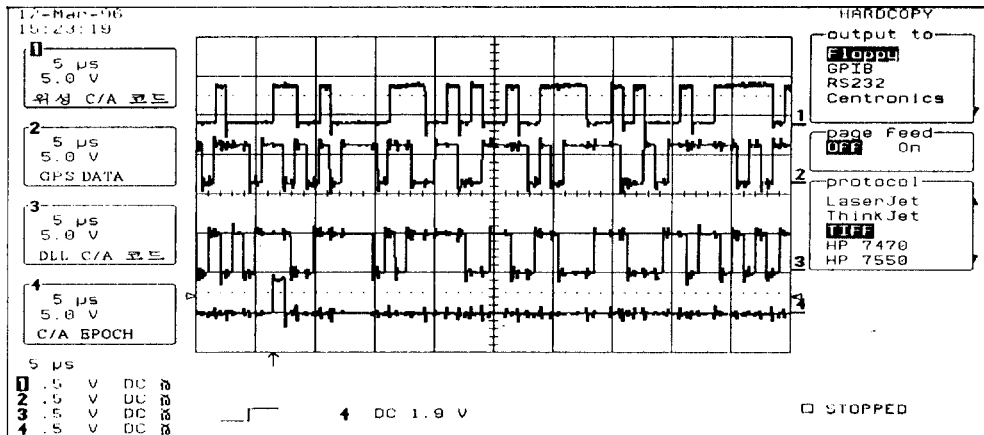


그림 9. DLL에서 데이터의 초기 acquisition파형  
Fig. 9 Initial acquisition waveform in DLL

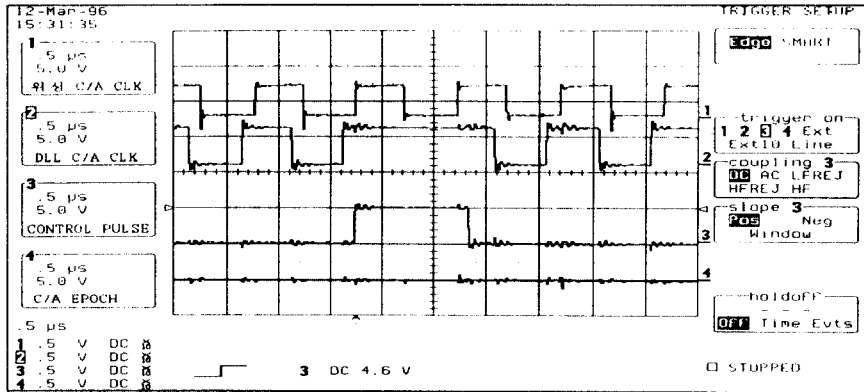


그림 10. Acquisition시 C/A 클럭파형  
Fig Fig. 10 Initial acquisition C/A clock waveform

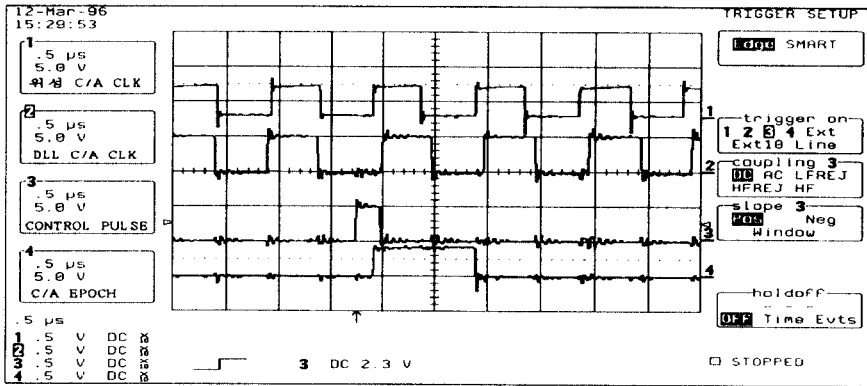


그림 11. Tracking시 C/A 클럭파형  
Fig. 11 C/A clock result (tracking)

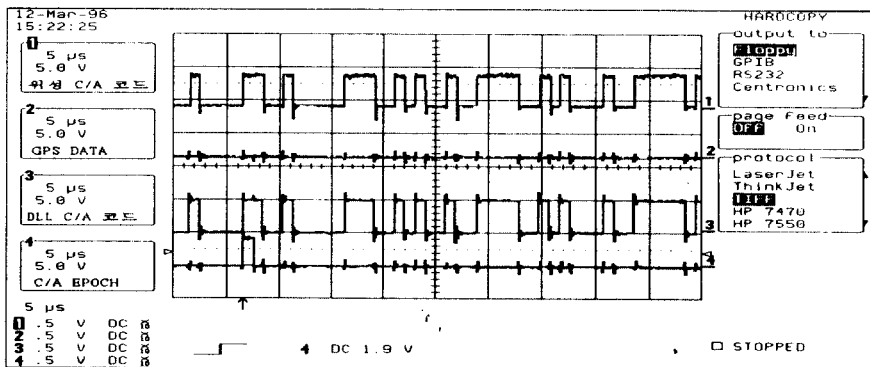


그림 12. DLL에 의해 locking된 C/A코드와 데이터파형  
Fig. 12 Data output in DLL(locking)



면 다중채널 GPS 수신기로 제작될 수 있는데 그에 따라 GPS 데이터 처리 프로세서의 소프트웨어구성에서 차이가 있게 된다. GPS 위성을 이용한 정밀 위치 측정, 고속 디지털 통신의 정확한 시각 동기, 등의 기술 개발에 응용할 수 있으며, 차후 단일 칩으로 공급될 수 있도록 Full-Custom ASIC 설계를 향후 연구 추진 방향으로 할 것이다.

### 참 고 문 헌

1. J. J. Spilker Jr., "GPS Signal Structure and Performance Characteristics," *Journal of Navigation*, Vol. 25, No. 2, 1978.
2. A. J. van Dierendonck, et al., "The GPS Navigation Message," *Journal of Navigation*, Vol. 25, No. 2, 1978.
3. Robert C, Dixen "SPREAD SPECTRUM SYSTEMS with COMMERCIAL APPLICATIONS" Jone wiley & Sons, INC
4. V. N. Fadeeva, "Computational Methods of Linear Algebra". New York: 1959 (Transl.: C. D. Benster)
5. Noe P. S., et al., "A Navigation Algorithm for the Low-Coast GPS Receiver," *The Institute of Navigation*, Vol. 1, 1980.
6. Tom Logsdon, *The Navstar Global Positioning System*, Van Nostrand Reinhold, 1992.
7. Il-jin Lee, Hong-Sik Keum, Sang-Gon Lee, Heung-Gyoon Ryu "Despreading circuit of GPS Gold code and Processing Algorithm of Processor" ICT95. April. 1995.
8. 이일진, 유홍균 "GPS 수신시스템에서 GPS골드 코드의 역확산 회로 설계와 수신기 구조 모델링" 한국전자공학회 하계종합 학술대회논문집, 18권 1호 8월, 1995.
9. 이일진, 박종영, 김준태, 유홍균 "GPS 시스템의 C/A 코드상관기 구현과 위치정보추출 알고리즘 개발" 한국통신학회 논문지, 제20권 2호, pp.3471~3485, 12월, 1995.



**강 성 길(Sung-Kil Kang)** 정회원  
 1969년 4월 13일생  
 1988년 3월~1995년 2월: 충북대학교 전자공학과(공학사)  
 1994년 12월~1995년 10월:(주)하이트론 시스템즈 연구원

1996년 3월~현재: 충북대학교 대학원 석사과정중  
 ※주관심분야: 통신 회로 설계, 이동통신시스템

**유 흥 균(Heung-Gyoon Ryu)** 정회원  
 한국통신학회 논문집 21권 6호(1996. 6) 참조  
 현재: 충북대학교 전자공학과 부교수 재직중  
 ※주관심분야: 디지털 통신 공학, 통신 회로 설계, 통신 신호 처리