

23GHz대 1단 저잡음 증폭기의 설계 기술에 관한 연구

正會員 장 동 필*, 안 동 식*

A study on the design technologies for the 1-stage 23GHz LNAs

Dong Pil Jang*, Dong Sik Ahn* *Regular Members*

ABSTRACT

The 23GHz 1-stage LNA was designed by using MPIE numerical analysis and conventional design EEs of softwares. The circuit was designed using conventional tools but analyzed and modified by using numerical MPIE tools. The matching sections was designed with parallel coupled filter-type, which gives impedance matching and DC blocking and has small discontinuities. The FET chip is directly attached to the ground metal. The designed LNA gives 5.8dB gain and 2.5dB noise figure without considering the loss and impedance shift of connectors that degenerate the gain and noise figure considerably. This results gives very promising characteristics for our design process and matching schemes and fabrication technologies.

I. 서 론

정보통신 사회의 도래에 따라 통신 속도가 점차 고 속화되고 또한 이용자의 수요도 급속히 증가하는 추 세에 있기 때문에 기존의 UHF주파수 이하에서 사용 하던 통신들이 보다 넓은 대역폭을 요구하게 되었다. 이와 같은 넓은 대역폭을 수용하기 위해서는 보다 높 은 전송 주파수가 필요하며 이를 수용 할 수 있는 주 파수로서 20GHz대 이상의 주파수대에 대한 관심이 높아지고 있다. 20GHz 이하의 마이크로파대는 이미 각종 지상과 위성 주파수들로 포화되어 다른 서비스 를 수용할 여유가 없으며 또한 요구되는 넓은 대역폭 을 수용하기에도 적당하지 못하다.

반면에 20GHz 이상의 주파수대는 현재의 마이크 로파대 평면형 회로 제작기술을 응용하여 회로제작 을 할 수 있으며 이들 주파수대용 반도체 소자들이 속 속 발표되고 있어 향후 매우 활발한 이용이 기대된다.

23GHz대는 고정 및 이동의 주파수 대로서 그 용도 가 다양하고 외국의 경우 국간 근거리 증계용이나 단 거리 무선 전송용으로 활발히 개발되어 운용되고 있 는 주파수 대이다. 그러나 아직 국내에서는 이 주파 수대를 이용하기 위한 기술적인 기반이 부족하여 활 용되지 못하고 있는 실정이다.

이 주파수대의 특성은 밀리파대의 특성을 많이 나 타내고 있어 설계 기술에서 기존에 마이크로파대 이 하에서 많이 사용하던 설계 기술만으로는 어려움이 많으며 제작 역시 정밀한 가공 기술과 박막 기술을 필요로 하고 있다.

마이크로파대에서 사용하는 초고주파용 회로 설계

*한국전자통신연구원
論文番號:96323-1011
接受日字:1996年 1月 11日

를 위한 소프트웨어들은 일반적으로 15GHz이하에서는 해당 라이브러리가 비교적 잘 맞지만 그 이상의 주파수에서는 오차가 점차 커져서 20GHz이상의 주파수에서는 이용이 곤란한 것으로 알려져 있다[1]. 그러므로 본 연구에서는 마이크로파대에서 많이 사용하는 설계용 소프트웨어인 EEsof를 이용하여 필요로 하는 회로의 특성을 최적화 하여 회로의 대략적인 구조를 결정한 후에 이를 몇 개의 부분으로 나누어 전 모드(full-mode) 수치 해석적 기법 중의 하나인 MPIE (Mixed Potential Integral Equation)로 전자장 해석[2]을 하여 각 부분 별로 비교적 정확한 해석 결과를 얻는다. 그리고 이 해석 결과들을 다시 종합하여 전체적인 해석 결과를 얻도록 하고 이 해석 결과가 원하는 특성을 갖도록 하기 위하여 각 부분들에서 요구되는 특성을 다시 분석한다. 그리고 수정이 필요한 해당 부분의 구조를 경험적으로 수정하여 수치해석용 소프트웨어를 이용하여 다시 분석하고 그 결과들을 전체 해석 결과에 대입하여 최종적으로 원하는 특성을 갖도록 시행착오 방식에 의해 회로를 설계한다. 그림1은 이러한 과정을 도식적으로 나타낸 것이다. 이와 같은 방식은 수많은 시행착오 제작 방식에 비해 시간과 노력을 절약할 수 있고 비교적 각 부분들의 특성을 파악하여 쉽게 원하는 특성을 얻을 수 있어 매우 현실적인 방법이 된다.

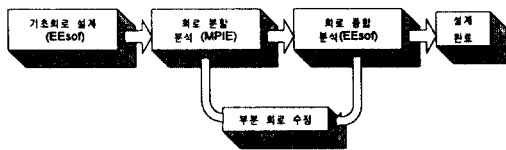


그림 1. 23GHz대 회로 설계를 위한 과정도
Fig. 1. Design process of 23GHz microwave circuits.

이와 같은 방법을 사용할 경우 능동 회로나 비교적 복잡한 회로라도 쉽게 적용할 수 있다. 만일 전체 회로를 수치해석 방식을 이용하여 특성을 분석하려 한다면 능동 소자를 포함하는 회로에 대하여는 분석이 불가능하며 수동 회로만이라도 복잡한 구조나 높은 주파수에서는 많은 계산량으로 인해 사실상 분석이 어렵고 분석한다 하여도 어느 부분을 수정해야 원하는 특성을 가질 수 있는지 알기 어렵다.

또한 23GHz에서는 사소한 회로의 한 부분이라도 그 특성을 무시할 수가 없다 그러므로 콘넥터의 선정에서부터 해당 주파수에서 손실이 적은 것을 선정해야 하며 콘넥터에서 마이크로스트립 선로로의 변환도 손실이 적도록 해야 한다. 능동 소자들의 접지도 via-hole과 같은 방식보다는 직접 부착해야 하는 등의 고려할 사항들이 기존의 15GHz대 이하 마이크로파대에 비해 매우 다양하다. 본 논문에서는 23GHz대의 LNA 회로 개발을 통하여 확보한 23GHz대의 회로 개발과 관련된 설계 및 제작 기술에 대한 전반적인 기술 및 방법을 설명하도록 한다.

II. 초기 회로의 설계

초기 회로의 설계에서는 사용하려는 능동 소자인 NE32400 HJFET칩의 특성을 기초로 하여 원하는 주파수에서의 이득과 잡음 지수, 그리고 대역폭 등에 대하여 적절한 목표치를 설정하여, 이를 만족시킬 수 있고 오차 요인이 가능한 적은 토폴로지(Topology)를 선정하여 최적 값을 결정하여 초기설계를 수행한다.

(1) 설계 목표치 설정

본 연구에서 사용한 NE32400 HJFET칩의 $V_{ds} = 2V$, $I_{ds} = 10mA$ 조건에서 S-파라미터와 잡음 파라미터는 표1 과 같다. 표1을 기초로 하여 주파수 23GHz에서의 가용 이득원도(available power gain circle)와 잡음 지수원도(noise figure circle)를 그려보면 그림 2와 같다.

이제 표1의 $|S_{21}|$ 과 그림2의 결과로부터 최적화를 위한 목표치를 다음과 같이 설정한다.

- 주파수대: 22.5GHz-23.5GHz
- 이득: 9.5dB
- 잡음 지수: 2dB

표 1. NE32400 HJFET 칩의 S-파라미터 및 잡음 파라미터
Table 1. S-parameters and noise parameters of the NE32400 HJFET.

Freq [GHz]	S11		S21		S12		S22		Nfo (dB)	Gamma_opt		Rn/50
	mag	ang	mag	ang	mag	ang	mag	ang		mag	ang	
18	721	-144.7	2.667	51.8	.135	12.1	.470	-94.5	1.0	0.58	140	0.15
20	691	-155.3	2.495	41.7	.142	8.9	.450	-102.0	1.2	0.55	153	0.13
22	662	-165.2	2.324	32.3	.148	6.3	.433	-109.1	1.5	0.52	164	0.11
24	635	-174.6	2.163	23.3	.153	4.2	.419	-115.9	1.8	0.49	175	0.10
26	610	-176.5	2.011	14.8	.159	2.4	.410	-122.3	2.1	0.48	-176	0.08
28	587	-168.1	1.867	6.8	.163	1.0	.406	-128.3	2.4	0.46	-168	0.07
30	565	-160.0	1.732	0.8	.168	0.1	.407	-133.9	2.8	0.46	-160	0.05

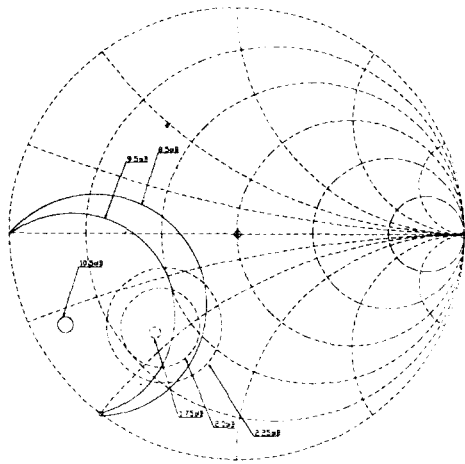


그림 2. 가용 이득원도 및 잡음 지수원도.
Fig. 2. Available gain circles and noise figure circles.

이제 토폴로지를 결정하고 이 목표치에 적절한 정합 요소 값들을 결정한다.

(2) 초기 값의 설정

23GHz에서는 집중형 DC차단용 커패시터를 사용하는 것보다 아주 넓은 대역폭을 요구하지 않는 한 특정 주파수에 정합된 결합기를 이용하는 것이 이득과 잡음 그리고 신뢰도 면에서 유리하다. 그런데 이 입·출력단의 DC차단을 위한 결합기는 일종의 평행 전송선로 형태의 결합형 임피던스 변환기로 이러한 특성을 이용하여 DC차단과 임피던스 정합의 두 가지 목적을 동시에 달성하게 하는 것이 다음과 같은 여러 가지 면에서 유리하다.

첫째: 스테브를 없애 회로를 단순하게 하여 설계 및 제작상의 애매 모호성을 없앤다.

둘째: 불연속 부분을 줄여서 설계 단계에서의 해석 오차 요인을 줄인다.

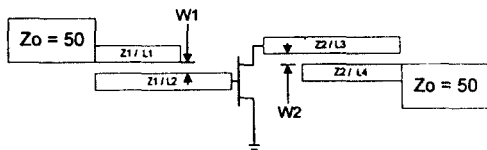


그림 3. 결합형 토폴로지를 이용한 정합 회로
Fig. 3. The matching circuit using coupled-type topologies.

그림 3은 이와 같은 토폴로지를 이용한 정합 구조를 나타낸 것이다.

여기에서 Z1과 Z2는 입·출력단의 정합 부분의 임피던스이고 L1, L2, L3, L4는 각 선로의 길이를 나타낸 것이다. 그리고 W는 평행한 전송선로 사이의 결합 간격을 나타낸다. 입력단의 결합 길이는 $L_c = L_1$ 이 되며 FET와의 연결 부분의 임피던스는 결합 선로와 같게 함으로써 불연속 부분이 없도록 하였다. 출력단의 정합 부분도 같은 방법으로 하였다. 그림 4는 이와 같은 토폴로지를 활용하여 정합된 전체 회로의 특성을 바이어스 회로부분을 포함하여 목표치에 적합하도록 초고주파대 해석 S/W인 EEsof를 이용하여 최적화를 한 결과이며 이때 각 요소 값들은 아래와 같다. 설계에 사용한 기판은 두께가 20mils이고 상대 유전율이 3.27인 것으로 하였다.

$Z1 = 108.1, L1 = 40.2\text{mils}, L2 = 70.6\text{mils}, Z2 = 95.4,$
 $L3 = 75\text{mils}, L4 = 65.4\text{mils}, W1 = W2 = 3\text{mils}$

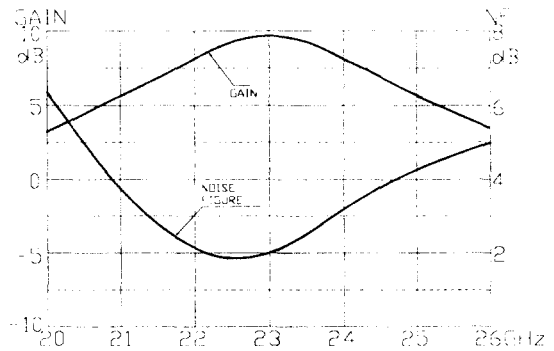


그림 4. 기초 설계에서 최적화된 회로의 특성.
Fig. 4. The optimized circuit characteristics from basic design.

III. 상세 회로의 설계

EEsof의 등가 회로를 사용한 불연속 및 단일 요소 모델들의 주파수대가 15GHz 이상이 되면 오차가 커지고 있다[1]. 따라서 여기에서는 경험적으로 밀리파대에서까지 유효한 해석 결과를 주고 있는 MPIE (Mixed Potential Integral Equation) 방식을 사용한 수치해석 S/W를 활용하여 각 부분들을 해석한 후 종합

분석토록 한다. 이 경우는 당초 토폴로지의 선택에서부터 오차의 요인이 적도록 선정하였기 때문에 비교적 오차가 적게 나타날 것으로 생각할 수 있다.

회로를 몇 개의 서브 섹션(sub-section)으로 나누어 각 부분을 MPIE해석 결과를 활용하여 원하는 특성을 갖도록 각 서브 섹션들을 시행착오 방법에 의해 수정해 간다(본 회로에서는 입력단과 출력단 그리고 FET의 세 부분으로 나누었음).

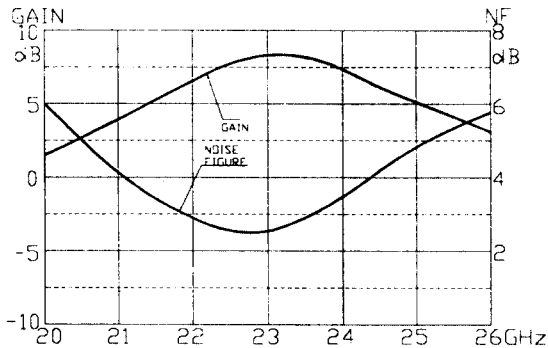


그림 5. MPIE 해석 결과에 의해 수정된 후의 회로 특성
Fig. 5. The circuit characteristics modified using MPIE analysis.

그림 5는 바이어스 회로가 포함된 상태에서 최종 설계된 회로의 특성을 나타낸 것이다. 본 상세 설계 과정에서는 회로의 수정으로 성능의 개선은 이루어지지 않았으며 다만 해석 결과에 있어 이득은 전반적으로 1.2-2dB 정도 감소하여 나타났으며 잡음지수에 있어서도 0.5-1dB 정도 나빠졌음을 확인 할 수 있었다. 그리고 다음의 수정값에서 가장 좋은 결과들을 보였다.

$Z1 = 108.1$, $L1 = 40\text{mils}$, $L2 = 70.4\text{mils}$, $Z2 = 95.4$,
 $L3 = 75.2\text{mils}$, $L4 = 65.56\text{mils}$, $W = 3\text{mils}$

IV. 회로의 제작 및 실험

(1) 회로의 제작

마이크로스트립 전송선로로 사용하는 기판의 두께는 전파의 진행 모드를 좌우하기 때문에 경우 가능한 한 TEM모드를 유지 할 수 있는 주파수의 범위에서

설계를 하는 것이 기존 TEM모드에 근거한 각종 S/W들을 활용하여 회로를 설계할 수 있으므로 좋다. 그러므로 기판의 두께가 얇을 수록 TEM모드에 적당하며 20GHz이상에서는 상대 유전율이 9.8인 알루미늄 기판의 경우 10mils이하를 사용하는 것이 바람직하다. 그러나 알루미늄 기판은 유전율이 높아서 선로의 폭과 간격을 극도로 가늘게 하여 제작상의 어려움이 따른다. 따라서 본 연구에서는 상대 유전율이 3.27이며 두께가 얇아도 알루미늄과 같이 단단하고 휘어지지 않으며 본딩 등의 특성이 우수한 ceramic 혼합기판의 한 종류인 Rogers사의 TMM3기판을 선정하여 제작하였다. 그리고 회로의 성형을 위해서는 Micro-pen이라는 고 정밀 후막 제작 장비를 활용하였다. 이 장비로는 선폭 2mils 까지, 그리고 선간 간격 1mils정도 까지 제작할 수 있다. 이 정도의 정밀성은 기존의 습식 에칭 장비로서는 구현하기 어려우며 일반적으로는 초고주파 회로 성형 전용의 박막 설비를 이용해서 제작해야 한다.

한편 FET칩 소자의 부착은 회로의 성능을 좌우하는 매우 변수가 큰 부분이다. FET 칩의 부착에서 접지와 본딩을 주의하여야 한다. 접지를 위해서 초고주파대에서는 일반적으로 via-hole을 사용한다. 그러나 20GHz를 초과하게 되면 via-hole에 의한 접지 길이가 파장에 비해 무시할 수 없을 정도가 되므로 등가 인덕턴스가 커져서 당초 설계에 사용한 S-파라미터 특성을 유지하기 어렵다. 따라서 더 이상 via-hole을 사용하지 않고 접지면 위에 FET칩을 전도성이 뛰어난 H20실버 페이스트를 이용하여 직접 부착하여 완벽한 접지가 이루어지도록 하였다. 그리고 본딩은 웨지 본더(wedge bonder)를 사용하게 되는데 가능한 한 열보다는 초음파와 열을 혼합하여 약한 열에서 본딩을 실시하여 FET칩 소자에 해가 없도록 하고 본딩에 사용하는 와이어(wire)의 굵기와 길이는 설계에 사용한 칩의 S-파라미터 측정 기준과 같도록 일치시킨다. 본 연구에서는 각 연결점마다 2중으로 본딩을 하였으며 굵기 0.8mils, 길이는 게이트가 25mils, 드레인이 25mils, 소오스가 20mils가 되도록 최대한 노력하였다. 이 부분은 본딩의 정확성과 기술에 따라서 이득이 달라지게 되므로 많은 경험을 필요로 하는 부분이다.

또한 고려해야 되는 중요한 부분이 바이어스 부분이다. 바이어스의 회로 자체는 설계단계에서 모두 고

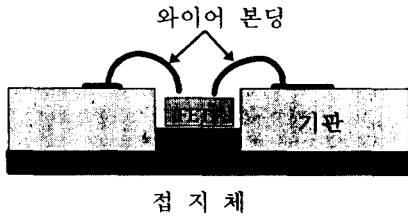


그림 6. FET 칩을 접지체에 부착하여 기판에 본딩한 모습
 Fig. 6. Figure of FET chip onded on the substrate and pasted on the ground plane.

려하였다 하더라도 실제 바이어스 라인을 연결하는 부분에 있어 경험적으로 고려해야 되는 부분들이 있다. 즉 게이트 부분은 관통 커패시터를 통하여 급전하는 것이 좋았으나 드레인 부분은 관통 커패시터와 같은 규격의 동축 선로를 사용하는 것이 실제 좋은 결과를 나타냈다. 일반 관통 커패시터의 경우 커패시턴스 값이 높아서 와이어의 인덕턴스와 결합되어 차단 주파수가 낮은 저역 통과 여파기 특성을 갖는다. 그러나 이 보다 월등히 높은 주파수 영역의 차단대역에서는 차단 특성을 상실하게 되어 바이어스 소자로서 그 특성이 저하된다고 생각된다. 따라서 이와 같은 경우는 차라리 커패시턴스가 적고 고주파 특성이 좋은 세미-리지드(semi-rigid)동축선을 적당한 길이로 가공하여 활용함이 차단 주파수는 높지만 활용 주파수 범위에서 좋은 특성을 갖도록 할 수 있다.

그림 7은 제작된 1단 저잡음 증폭기의 사진이다.

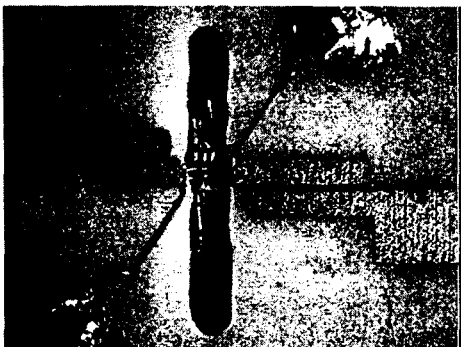


그림 7. 제작된 23GHz대의 LNA
 Fig. 7. The photo of fabricated 23GHz LNA.

(2) 회로의 특성 실험

회로의 전체 특성을 검증하기 위해서는 회로의 연결 부분에 대한 연구가 필요하다. 그림 8은 동축선에서 마이크로스트립 선로로 전환되는 부분의 전체의 분포 특성 및 등가회로를 나타낸 것이다. 이 등가회로는 저역 통과 여파기와 같은 구조로서 차단 주파수 이상에서는 급격히 손실이 발생하여 전송선로로서 이용이 어려울 수 있음을 알 수 있다.

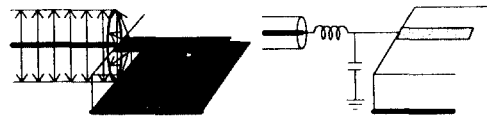


그림 8. 동축 선로에서 마이크로스트립 선로로의 전환에 따른 전기 현상 및 등가회로
 Fig. 8. The electric field and equivalent circuits of transition from coaxial to microstrip line.

일반적으로 18GHz를 초과하면서 동축선에서 마이크로스트립 선로로의 연결 부분에서 콘넥터의 종류와 연결 방법에 따라 차이가 있기는 하지만 손실이 급속히 커지게 된다. 그림 9는 OS-50콘넥터를 이용하여 마이크로스트립 선로로 전환하였을 경우의 전송을 기판의 종류에 따라 측정할 것이다. 이것을 보게 되면 우리가 선정한 기판에서 23GHz에서의 손실이 가장 작게 나타나고 있지만 그래도 2dB정도가 되므로 매우 심각하다고 할 수 있다. 이와 같은 손실을 줄이기 위한 기술로는 콘넥터의 직경을 점차 작게 하여 연결하는 방법이 있고[2] 콘넥터 밑에 직경 0.7-1mm 정도의 구멍을 내어 콘넥터와 마이크로스트립 선로 상에 발생한 추가 커패시턴스를 감소시켜 저역 통과 주파수 영역을 높게 하여 사용 주파수 부근에서 손실을 적도록 하는 기법들이 사용되고 있다[3].

또한 삽입 손실이 마이크로스트립 전송선로의 길이에 따라 주파수별로 주기적으로 커졌다 작아졌다 하므로 이러한 특성을 이용하여 전송선로의 길이를 삽입손실이 가장 작도록 조절하는 방법들을 생각해 볼 수 있다[6]. 그러나 이러한 방법들을 사용하여도 1dB이상 손실을 줄이기는 어려우므로 본 연구에서는 콘넥터의 구조나 손실 문제를 배제한 상태에서 순수한 증폭기의 설계 및 제작에 따른 기술만 고찰함을

목적으로 하기로 하고 이에 따른 성능 저하는 측정된 손실을 보상하여 검토하기로 한다.

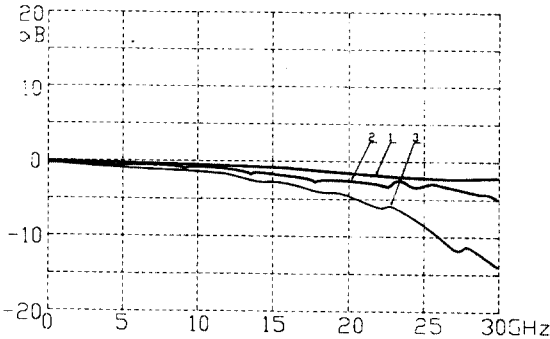


그림 9. 기판의 종류별 변환 콘넥터에 따른 전송 손실
Fig. 9. The transmission loss come from connector transition with substrate types.

V. 측정 및 결과

제작된 LNA소자는 HP8510B 회로망 분석기를 이용하여 S-파라미터를 측정하여 이득과 정합 특성을 분석하였고 잡음지수는 MT2075 잡음지수 측정기로 측정하였다. 그림 10은 HP8510B회로망 분석기에 의해 측정된 저잡음 증폭기의 이득과 MT2075 잡음지수 측정기로 측정한 잡음지수 특성이다.

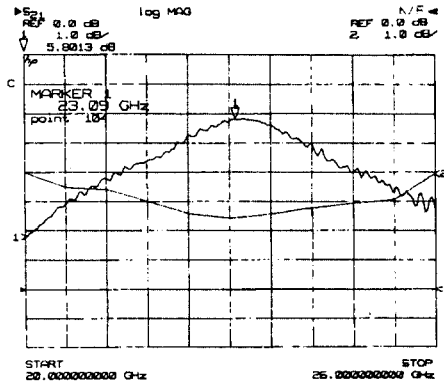


그림 10. 제작된 LNA의 이득 및 잡음지수 특성
Fig. 10. The measured gain and noise figure characteristics of the LAN.

우선 이득을 보게 되면 상세 설계 분석치가 8.3dB 이었으나 측정치가 대역폭 1GHz에서 5.5~5.8dB로 나타나고 있다. 또한 주파수별 특성에 있어서는 이론적 분석치와 그 특성이 매우 유사하게 나타나고 있음을 볼 수 있다. 이득이 줄어든 것은 콘넥터 부분의 손실 특성을 분석치에 반영하지 못함에 오차의 원인이 있는 것이며 이 손실 2dB를 감안하여 판단할 때 증폭기만의 이득은 7.5~7.8dB가 되므로 설계 및 제작은 거의 당초의 분석대로 구현되었음을 알 수 있다.

한편 잡음 지수 특성을 살펴보면 이것 역시 주파수별 특성에 있어서 설계 분석 결과에 아주 유사한 특성을 갖고 있지만 전체적으로 150MHz정도 주파수가 이동하여 나타나고 있는데 이것의 원인도 이득이 감소한 것과 같은 이유로 커넥터 변환 부분에 의해 입력 반사 계수의 궤적이 설계된 반사 계수 점으로부터 약간 이동한 것이라 판단된다. 그러나 측정된 이 결과는 당초의 설계 분석치보다도 주파수 특성이 원하는 주파수에서 대칭적으로 잘 나타나고 있음을 볼 수 있다.

VI. 결론 및 향후 추진 방향

최근 들어서 20GHz대 이상의 주파수대에 대한 이용의 필요성이 증대되면서 이 주파수대의 기술 개발이 크게 요구되고 있으며 본 연구도 이와 같은 필요성에 대처하기 위하여 특정 목적보다는 일반적인 기술의 확보 차원에서 본 LNA를 제작한 것이다. 본 연구에서는 20GHz대 이상 주파수대의 회로 설계에 초고주파대 회로 설계용 S/W가 오차를 갖기 때문에 이 오차를 극복하기 위해서 전체 회로중 수동회로 부분을 입력 정합 섹션(section)과 출력 정합 섹션으로 나누어 각각을 MPIE수치해석 기법을 이용하여 정밀 해석하였다. 이렇게 하여 얻어진 수동회로 부분의 특성 해석 결과를 능동 소자의 특성과 결합 해석하는 방법을 이용하여 회로 해석에 따르는 오차를 줄이도록 하였다. 그리고 이렇게 해석된 전체 회로의 특성이 원하는 특성을 갖도록 각 수동회로 부분들을 시행착오 방법에 의하여 수정하여 설계단계에서 오차가 적도록 하였다. 정합에 따르는 토폴로지는 단락 스타브를 이용하는 대신에 결합기 구조를 활용하여 정합과 DC차단의 두 가지 효과를 갖도록 하고 불연속 구

조가 적도록 하여 해석상의 오차가 구조적으로 적게 발생하도록 하였다. 한편 접지는 via-hole를 사용하지 않고 직접 접지면에 칩을 부착하였으며 급전에 있어서는 게이트 단은 관통 커패시터를 통해서 급전하였고 드레인 단은 관통 커패시터와 동일한 규격의 동축선을 이용하였다. 이렇게 하여 제작된 23GHz대의 LNA는 당초 설계된 대역폭 1GHz이상을 만족하였고 이득에 있어서도 5.5~5.8dB로서 여기에 콘넥터 손실 2dB를 가정하면 실제 7.5~7.8dB의 이득을 갖는 것이므로 상세 설계치에 거의 접근하였다고 할 수 있다. 한편 잡음지수에 있어서도 23GHz에서 2.5dB를 나타내고 있어 당초 상세 설계치와 아주 일치하는 결과를 보여 주었으며 다만 주파수가 150MHz정도 이동하여 나타났으나 이 원인이 콘넥터 변환 부위의 임피던스 변화에 따른 입력 반사 계수 점의 이동에 원인이 있던 것으로 보였다.

앞으로는 이 콘넥터 변환 부분에 대한 연구가 좀더 깊이 있게 이루어져 이 부분을 모델화하여 설계단계에서 이 오차요인을 적용하여 설계할 필요가 있으며 실제 시스템에서 활용할 수 있는 2~4단의 LNA를 제작할 필요성이 있다. 또한 이와 같은 설계 기법과 정합 기법을 20GHz 이상의 각종 회로들의 설계 및 제작에 활용할 경우 기존의 방식에 비해 보다 정확한 분석 결과를 얻음으로써 설계결과와 제작 측정 결과의 오차를 줄일 수 있을 것으로 예상된다.

참 고 문 헌

1. T. Edward *Foundation for Microstrip Circuit Design*, John Wiley & Sons, 1992.
2. E.H. England, A coaxial to microstrip transition *IEEE Trans. Microwave Theory Tech.*, vol. MTT-24, pp. 47-48, Jan. 1976.
3. R.L. Eisenhart, A better microstrip connector. *IEEE MTT-S Int. Microwave Symp. Dig.*, pp. 318-320, 1979.
4. G. Gonzalez, *Microwave Transistor Amplifiers Analysis and Design*, Prentice-hall, 1984.
5. E.H. Fooks, *Microwave Engineering using Microstrip Circuits*, Prentice hall, 1990.
6. J.S. Izadian and S. M. Izadian *Microwave Transition*

Design, Artech House, 1988.



장 동 필(Dong Pil Jang) 정회원
1992년 2월:충남대학교 전자공학과(학사)
1994년 2월:충남대학교 대학원 전자공학과(석사)
1994년 2월~현재: 한국전자통신 연구소 근무, 연구원



안 동 식(Dong Sik Ahn) 정회원
1980년 2월:아주대학교 전자공학과(학사)
1984년 8월:연세대학교 대학원 전자공학과(석사)
1996년 8월:충남대학교 대학원 전자공학과(박사)
1984년 3월~현재: 한국전자통신 연구소 근무, 선임연구원