

# 목적지 태그 라우팅 알고리즘을 사용하는 결함허용 다단계 상호연결망의 설계 및 성능분석

正會員 정 종 인\*

## Design and Performance Analysis of Fault Tolerant Multistage Interconnection Network with Destination Tag Algorithm

Jung In Chung\* *Regular Member*

※이 논문은 1996년도 한국학술진흥재단의 공모과제 연구비에 의하여 연구되었음.

### 요 약

정상 링크와 대체 링크로 구성된 스위칭소자를 갖는 RZETA망을 제안한다. RZETA망의 정상 링크로 사용되는 modified Zeta망과 대체 링크로 사용되는 다단계상호연결망은 그래프 이론에 의해 생성한다. 2개의 다단계상호연결망을 병합함으로써 RZETA망을 생성한다. modified Zeta망이 년블럭킹되기 위한 필요충분 조건을 제시한다. 이 조건은 RZETA망의 링크나 스위칭 소자가 단일 결함이 있을 때 년블럭킹되기 위한 충분 조건이다. 2-dilated Banyan망의 성능 분석 모델을 수정하여 RZETA망의 성능 분석을 하고 각 근원지의 입력 패킷 도착률이 1일 때 기존의 중복 경로를 갖는 망과의 성능을 비교한다.

### ABSTRACT

I propose a RZETA network consisted of switching elements(SEs) that have regular links and alternate links. A modified Zeta network used for the RZETA network's regular links and a MIN used for its alternate links are generated using the graph theory. The RZETA network is driven from merging the former and latter MINs. A

\*공주대학교 컴퓨터교육과  
論文番號:97052-0211  
接受日字:1997年 2月 11日

necessary and sufficient condition for modified Zeta network to be a nonblocking network is also presented. This condition is a sufficient condition for RZETA network with a faulty link or a faulty SE to be nonblocked.

Performance of the RZETA network is analyzed by modification of the model of 2-dilated Banyan network and its performance is compared with existing redundant path networks, when packet arrival rate of each source is 1.

## I. 서 론

다중 프로세서 시스템과 다중 컴퓨터 시스템에서 사용되는 다단계상호연결망(multistage interconnection network, MIN)은 높은 조합 능력과 처리율, 결합 허용성, 분산 제어 라우팅 구조를 가져야 한다. 조합 능력과 처리율을 높이거나 결합 허용 능력을 갖기 위하여 임의의 근원지와 목적지간에 중복 경로가 존재하여야 한다. MIN이 중복 경로를 갖기 위한 방법은 stage 수를 늘리는 extra stage 기법, 스위칭 소자(switching element)의 크기를 크게 하여 링크의 수를 늘리는 방법, 여러개의 같은 크기의 MIN을 병렬로 연결하는 extra network 기법 등이 있다. extra stage 기법은  $m \times m$  스위칭 소자로 구성된 한개의 stage를 추가함에 따라 중복 경로수는  $m$ 배 증가하나 라우팅 알고리즘이 복잡하다. extra network 기법은 하드웨어 복잡도가 높은 단점이 있으므로 중복 경로를 제공하는 많은 망은 스위칭 소자의 크기를 크게 하는 방법을 사용하였다[1-5].

PM2I부류망의 스위칭 소자는  $-2^i$  링크, straight 링크,  $+2^i$  링크를 갖는다.  $+2^i$  링크와  $-2^i$  링크는 서로 대체 링크로서의 기능을 가지나 straight 링크는 대체 링크를 가지지 못한다는 점에서 불균형을 이루므로  $3 \times 3$  스위칭 소자를 사용하는 망은 임의의 근원지와 목적지간의 라우팅 태그에 따라 중복 경로수가 변하는 단점이 있다. Augmented C망, F망, Kappa망, RZETA망 등은 각 링크를 균형되게 하며 라우팅 태그에 대하여 중복 경로수를 일정하게 하기 위하여  $4 \times 4$  스위칭 소자를 사용하였다.

PM2I부류망, omega, flip, n-cube 그리고 baseline망을 비롯한 대부분의 망은 근원지와 목적지를 연결할 때 망내부에서 블러킹이 발생한다. 이 블러킹으로 인하여 망의 처리율(throughput)은 낮아지게 되므로 근원지에서 년블러킹이 되는 순열 조합을 입력하여야 한다. Banyan망의 년블러킹 조건은 입력되는 패킷의

목적지가 올림차순이나 내림차순으로 정렬되어야 한다[6]. 이 조건을 만족시키기 위하여 Banyan망의 입력측에 Batchersorter를 접속하여 Batchersorter-Banyan망을 만들었다. 상호연결망에서 년블러킹이 되는 순열 조합을 찾는 문제가 앞으로 연구되어야 할 문제중의 하나이다.

본 논문은 모든 스위칭 소자와 링크를 연결하면 폐쇄 경로를 형성하는 특수한 위상의 Zeta망을 근간으로 중복 경로를 갖는 망을 설계한다. Zeta망의 입, 출력 stage의 스위칭 소자를 각각  $1 \times 2$ ,  $2 \times 1$  스위칭 소자로 바꾸어 modified Zeta망을 생성하며 modified Zeta망의 년블러킹 조건을 제안한다. 그래프 모델에 의해 modified Zeta망과 같은 루프 구조를 갖는 다른 망을 설계하고 2개의 망을 병합(merge)하여  $4 \times 4$  스위칭 소자로 근간으로 한 망을 제안한다. 제안된 망의 정상 링크는 modified Zeta망의 링크이며, 대체 링크는 modified Zeta망과 병합되는 다른 망의 링크이다. 제안된 망은 중복 경로를 가지므로 높은 조합 능력과 처리율을 가지며 결합 허용성을 가진다. 임의의 근원지에서 모든 목적지에 이진 트리(binary tree)에 의해 접근 가능하므로 목적지 태그에 의한 라우팅 알고리즘을 사용한다.

## II. RZETA망의 설계

### 1. Modified Zeta망의 구성

$2 \times 2$  스위칭 소자로 구성되는 MIN을 그래프 모델로 분석하게 되는데 이때 스위칭소자는 노드(node)로, 링크를 간선(edge)으로 표현한다. 그래프 모델에서 완전 접근(full accessibility)이 되기 위해서 각 근원지로부터 모든 목적지에 이진 트리가 존재하여야 한다. 임의의 두 stage사이의 링크 연결을 나타낸 그래프는 이분할 그래프(bipartite graph)이다.  $2^n \times 2^n$  MIN의

stage  $i$ 와 stage  $i+1$ 에 의해 구성된 그래프를 레벨(level)  $i$ 의 이분할 그래프라고 하며, 이분할 그래프는 1개 이상의 루프를 형성하며 각 루프는  $j \cdot E - L$ 이라 한다. 여기서  $j$ 는 루프를 형성하는 간선의 수이며  $j = 2i, i \in 2, 3, \dots, 2^{n-1}-3, 2^{n-1}-2, 2^{n-1}$ 이다. MIN의 설계 방법에 의해 각 근원지로부터 모든 목적지에 완전 접근이 되는 MIN을 설계할 수 있다[7].

$2^n \times 2^n$  Zeta망은 레벨0 부터 연속으로  $2^n E - L : 2(2^{n-1} E - L) : 2^2(2^{n-2} E - L) : \dots : 2^{n-3}(2^3 E - L) : 2^{n-2}(2^2 E - L)$ 의 루프의 조합을 가지며, 모든 각 레벨의 루프를 연결하여 1개의 루프가 형성되는 위상을 갖는다.  $2^n \times 2^n$  Zeta망의 입력 stage, 출력 stage의 스위칭 소자를 각각  $1 \times 2, 2 \times 1$ 크기로 대체한 망을  $2^{n-1} \times 2^{n-1}$  Modified Zeta망이라 한다.

$2^n \times 2^n$  Modified Zeta망은 레벨0 부터 연속으로  $2^{n+1} E - L : 2(2^n E - L) : 2^2(2^{n-1} E - L) : \dots : 2^{n-2}(2^3 E - L) : 2^{n-1}(2^2 E - L)$ 의 루프의 조합을 가진다. 그림 1은  $8 \times 8$  Modified Zeta망의 루프 구조이며 그림 2는 루프 구

조로부터 생성한 Modified Zeta망을 나타낸 것이다. Modified Zeta망의 stage  $i$ 는 2개의 서브망(subnetwork)를 가지며, 이 서브망을 분할(partition)이라 한다. 분할은 위에서 0부터  $2^i - 1$ 까지 번호가 부여된다. 스위칭 소자  $t$ 를 이전 표현  $X_{n-1} X_{n-2} \dots X_1 X_0$ 라 할 때, Modified zeta망의 위상기술법칙  $\Delta_{MZETA}$ 는 다음과 같이 정의된다.

$$\Delta_{MZETA}(i, \text{down}, t) = (X_{n-1} \dots X_{n-i} 1 X_{n-i-1} \dots X_i)_{i+1}$$

(stage  $i$ 의 스위칭 소자  $t$ 가 하향의 출력링크에 의해 연결된 stage  $i+1$ 의 스위칭 소자)

$$\Delta_{MZETA}(i, \text{up}, t) = (X'_{n-1} \dots X'_{n-i} 0 X'_{n-i-1} \dots X'_i)_{i+1}$$

(stage  $i$ 의 스위칭 소자  $t$ 가 상향의 출력링크에 의해 연결된 stage  $i+1$ 의 스위칭 소자)

여기서  $(X_{n-1}' X_{n-2}' \dots X_0')_{i+1} = (X_{n-1} \dots X_{n-i} (X_{n-i-1} \dots X_0 + 1))_{i+1}$

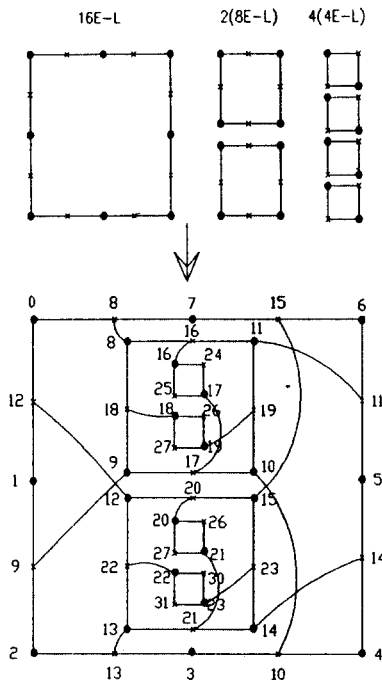


그림 1.  $8 \times 8$  Modified Zeta망의 루프구조.  
Fig. 1 Loop structure of  $8 \times 8$  modified Zeta network.

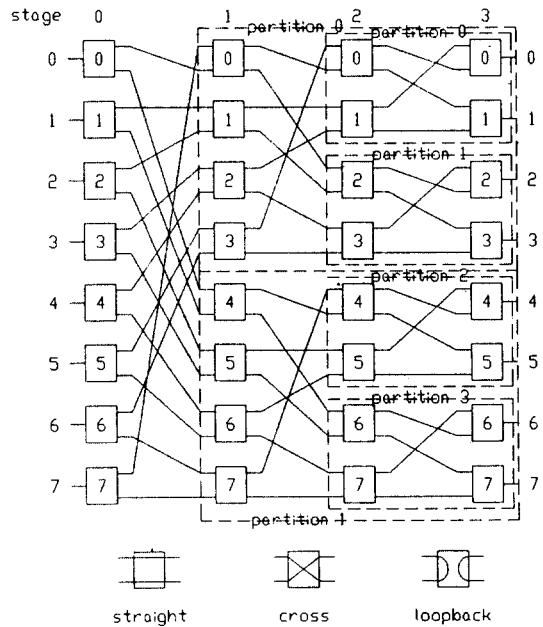


그림 2.  $8 \times 8$  Modified Zeta망.  
Fig. 2  $8 \times 8$  modified Zeta network.

2. Modified Zeta망의 년블러킹 조건

근원지 S부터 목적지 D에 설정되는 경로가 경유하는 각 stage의 스위칭 소자의 입력 링크의 위치를 나타낸 것을 경로 연결 법칙(path connection rule)이라 한다.

$N \times N(N=2^n)$  modified Zeta망의 경로 연결 법칙은 다음과 같다.

$$b_{n-1} b_{n-2} \dots b_0 = (d'_0 d'_1 \dots d'_{n-1} + S) \bmod N$$

여기서  $D = d_{n-1} \dots d_1 d_0$ 이며,  $d'_i$ 는  $d_i$ 의 1의 보수이다.  $b_i = 0$ 이면 stage  $i+1$ 의 스위칭 소자의 상위 입력 링크를 경유하며,  $b_i = 1$ 이면 stage  $i+1$ 의 스위칭 소자의 하위 입력 링크를 경유한다.

예를 들어,  $16 \times 16$  modified Zeta망에서 근원지 1에서 목적지 7로 가는 경로의 경로 연결 법칙은  $b_3 b_2 b_1 b_0 = 0010_2 = (0001_2 + 1) \bmod 16$  이므로 그림 3과 같이 stage 1에서는 상위 입력 링크, stage 2에서는 하위 입력 링크, stage 3에서는 상위 입력 링크, stage 4에서는

상위 입력 링크를 사용하여 경로를 설정한다.

다음과 같은 표기와 정의를 사용하여 modified Zeta망의 년블러킹 조건을 설정한다.

[표기 1]  $S_{i,x}$ : stage  $i$ 의 스위칭 소자  $x$ 를 뜻함.

[표기 2]  $SE_i(S, D)$ :  $(S, D)$ 간에 설정되는 경로가 경유하는 stage  $i$ 의 스위칭 소자를 뜻함.

[표기 3]  $ACS(j, S_{i,x})$ :  $S_{i,x}$ 에 접근가능한 stage  $j$ 의 스위칭 소자의 집합이고,  $|ACS(j, S_{i,x})|$ 는 집합의 갯수를 뜻함. 단,  $0 \leq j < i$

예를 들어 그림 3과 같이  $n=4$ 에서  $ACS(0, S_{2,10}) = \{S_{0,6}, S_{0,7}, S_{0,8}, S_{0,9}\}$ 이다.

[정의 1]  $PAR(i, r) = \{S_{i,x} | 2^{n-i} \cdot r \leq x \leq 2^{n-i} \cdot (r+1) - 1\}$  단,  $0 \leq r \leq 2^i - 1$ 이며  $PAR(i, r)$ 는 stage  $i$ 의 분할  $r$ 의 스위칭 소자의 집합이다.

[정의 2]

$DST(S_{i,x}, h)$ 는 분할  $r$ 내에서 스위칭 소자  $S_{i,x}$ 부터  $h$ 만큼 떨어진 거리의 스위칭 소자이다.

1)  $1 \leq h \leq 2^{n-i} - 1$ 일 때

$$DST(S_{i,x}, h) = \{S_{i,y} | y = x + h, y = 2^{n-i} \cdot r + (x + h) \bmod (2^{n-i} \cdot (r + 1)) \text{ for } (x + h) > 2^{n-i} \cdot (r + 1) - 1\}$$

2)  $-1 \leq h \leq -2^{n-i} + 1$ 일 때

$$DST(S_{i,x}, h) = \{S_{i,y} | y = x + h, y = 2^{n-i} \cdot r + (x + h) \bmod 2^{n-i} \text{ for } (x + h) < 2^{n-i} \cdot r\}$$

단,  $DST(S_{i,x}, h) \in PAR(i, r)$

예를 들어 그림 3에서  $DST(S_{1,6}, 2) = S_{1,0}$ ,  $DST(S_{1,9}, -4) = S_{1,13}$ 이다.

[정의 3]

$INTVL(m, t)$ 는  $PAR(i, r)$ 의 스위칭 소자  $m$ 부터 시작하여  $t$ 개의 연속적인 범위의 스위칭 소자의 집합이다.

$$INTVL(m, t)_i = \{S_{i,x} | m \leq x \leq (m + t - 1), x = 2^{n-i} \cdot r\}$$

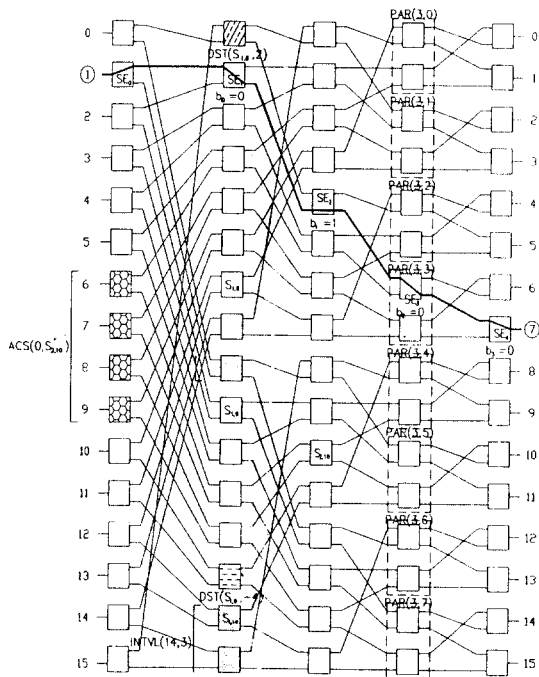


그림 3. 경로 연결 법칙, 표기, 정의의 의미

Fig. 3 The meaning of path connection rule, notation, definition

$$+x \pmod{2^{n-i} \cdot (r+1)}$$

for  $x > 2^{n-i} \cdot (r+1) - 1$

단,  $\text{INTVL}(m, t) \subset \text{PAR}(i, r)$ 이고  $1 \leq t \leq 2^{n-i} - 1$ ,  $2^{n-i} \cdot r \leq m \leq 2^{n-i} \cdot (r+1) - 1$ 이며  $0 \leq r \leq (2^i - 1)$ 이다.

예를 들어  $n=4$ 에서  $\text{INTVL}(14, 3)_1 = \{S_{1,14}, S_{1,15}, S_{1,8}\}$ 이다.

[정리 1]  $S_{i,x}, \text{DST}(S_{i,x}, 1), \text{DST}(S_{i,x}, -1)$ 이 같은 분할내에 있을 때  $j < i$ 에 대하여  $\text{ACS}(j, S_{i,x}) = \text{INTVL}(m, 2^{i-j})_j$ 이라면  $\text{ACS}(j, \text{DST}(S_{i,x}, 1)) = \text{INTVL}(\text{DST}(m, 2^{i-j}), 2^{i-j})_j$ 가 되며  $\text{ACS}(j, \text{DST}(S_{i,x}, -1)) = \text{INTVL}(\text{DST}(m, -2^{i-j}), 2^{i-j})_j$ 가 된다.

증명

그림 3의 위상으로부터  $|\text{ACS}(j, \text{DST}(S_{i,x}, -1))| = |\text{ACS}(j, S_{i,x})| = |\text{ACS}(j, \text{DST}(S_{i,x}, 1))| = 2^{i-j}$ 이며  $\text{ACS}(j, \text{DST}(S_{i,x}, -1)), \text{ACS}(j, S_{i,x})$ 와  $\text{ACS}(j, \text{DST}(S_{i,x}, 1))$ 가 연속적인 스위칭 소자의 집합이므로 정리 1은 쉽게 만족함을 알 수 있다.

[정리 2]  $S, D, N$ 이 주어질 때  $i=1, \dots, n-1$ 인 각  $b_i$ 에 대하여,

$b_i = 0$ 이면

$$\text{ACS}(0, \text{DST}(SE_i, b_i)) = \text{INTVL}((S + \sum_{j=0}^i b_j \cdot 2^j - (2^i - 1)) \pmod{2^n}, 2^i)_0 \text{이며}$$

$b_i = 1$ 이면

$$\text{ACS}(0, \text{DST}(SE_i, -b_i)) = \text{INTVL}((S - \sum_{j=0}^i b_j \cdot 2^j) \pmod{2^n}, 2^i)_0 \text{이다.}$$

증명

증명은 수학적 귀납법으로 증명한다.

$b_0 = 0$ 이면  $\text{ACS}(0, SE_1) = \{S, (S + b'_0) \pmod{2^n}\}$ 이며

$b_0 = 1$ 이면  $\text{ACS}(0, SE_1) = \{(S - b_0) \pmod{2^n}, S\}$ 이다.

$b_1 = 0$ 이면  $\text{ACS}(1, SE_2) = \{(SE_1, \text{DST}(SE_1, b'_1))\}$ 이다.

$(S + b'_0) \pmod{2^n}$ 부터 +1 번째 근원지는 다음식과 같다.

$$\begin{aligned} (S + b'_0 + 1) \pmod{2^n} &= (S + b'_0 \cdot 2^0 + b'_1 \cdot 2^1 - (2^1 - 1)) \pmod{2^n} \\ &= (S + \sum_{j=0}^1 b'_j \cdot 2^j - (2^1 - 1)) \pmod{2^n} \end{aligned}$$

정리 1에 의해,  $(S + b'_0) \pmod{2^n}$ 부터 +1 번째 근원지와 +2<sup>1</sup> 번째 근원지가  $\text{DST}(SE_1, b'_1)$ 에 접근 가능하므로 다음식이 성립한다.

$$\begin{aligned} \text{ACS}(0, \text{DST}(SE_1, b'_1)) \\ &= \text{INTVL}((S + \sum_{j=0}^1 b'_j \cdot 2^j - (2^1 - 1)) \pmod{2^n}, 2^1)_0 \end{aligned}$$

$b_1$ 이면  $\text{ACS}(1, SE_2) = \{\text{DST}(SE_1, -b_1), SE_1\}$ 이다.

$(S - b_0) \pmod{2^n}$ 부터 -2<sup>1</sup> 번째 근원지는 다음식과 같다.

$$(S - b_0 - 2^1) \pmod{2^n} = (S - \sum_{j=0}^1 b_j \cdot 2^j) \pmod{2^n}$$

정리 1에 의해,  $(S - b_0) \pmod{2^n}$ 부터 -2 번째 근원지와 -1 번째 근원지가  $\text{DST}(SE_1, -b_1)$ 에 접근 가능하므로 다음식이 성립하며  $i=1$ 일 때 정리 2는 만족한다.

$\text{ACS}(0, \text{DST}(SE_i, -b_i))$

$$= \text{INTVL}((S - \sum_{j=0}^i b_j \cdot 2^j) \pmod{2^n}, 2^i)_0$$

$i = k-1$ 까지 만족한다고 가정한다.

$i = k$ 일 때  $b_k = 0$ 이면

$\text{ACS}(k, SE_{k+1}) = \{SE_k, \text{DST}(SE_k, b'_k)\}$ 이며

$b_{k-1} = 0$ 이면

$\text{ACS}(k-1, SE_k) = \{SE_{k-1}, \text{DST}(SE_{k-1}, b'_{k-1})\}$ 이며

$b_{k-1} = 1$ 이면

$\text{ACS}(k-1, SE_k) = \{\text{DST}(SE_{k-1}, -b_{k-1}), SE_{k-1}\}$ 이므로 정리 1에 의해 다음식이 성립한다.

$$\begin{aligned} \text{ACS}(k-1, \text{DST}(SE_k, b'_k)) \\ &= \{\text{DST}(SE_{k-1}, b'_{k-1}), \text{DST}(SE_{k-1}, b'_{k-1} + 2)\} \end{aligned}$$

가정에 의해 다음식이 성립한다.

$$\text{ACS}(0, \text{DST}(SE_{k-1}, b'_{k-1}))$$

$$= \text{INTVL}((S + \sum_{j=0}^{k-1} b_j \cdot 2^j - (2^{k-1} - 1)) \bmod 2^n, 2^{k-1})_0$$

정리 1에 의해 다음의 두식이 성립하므로

$$\text{ACS}(0, \text{DST}(\text{SE}_{k-1}, b'_{k-1} + 1))$$

$$= \text{INTVL}((S + \sum_{j=0}^{k-1} b_j \cdot 2^j + 1) \bmod 2^n, 2^{k-1})_0$$

$$= \text{INTVL}((S + \sum_{j=0}^k b_j \cdot 2^j - (2^k - 1)) \bmod 2^n, 2^{k-1})_0$$

$$\text{ACS}(0, \text{DST}(\text{SE}_{k-1}, b'_{k-1} + 2))$$

$$= \text{INTVL}((S + \sum_{j=0}^{k-1} b_j \cdot 2^j + 2^{k-1} + 1) \bmod 2^n, 2^{k-1})_0$$

다음식이 성립한다.

$$\text{ACS}(0, \text{DST}(\text{SE}_k, b'_k))$$

$$= \text{INTVL}((S + \sum_{j=0}^{k-1} b_j \cdot 2^j - (2^k - 1)) \bmod 2^n, 2^k)_0$$

$b_k = 1$ 이면

$$\text{ACS}(k, \text{SE}_{k+1}) = \{\text{DST}(\text{SE}_k, -b_k), \text{SE}_k\} \text{이며,}$$

$b_{k-1} = 0$ 이면

$$\text{ACS}(k-1, \text{SE}_k) = \{\text{SE}_{k-1}, \text{DST}(\text{SE}_{k-1}, b'_{k-1})\} \text{이고,}$$

$b_{k-1} = 1$ 이면

$$\text{ACS}(k-1, \text{SE}_k) = \{\text{DST}(\text{SE}_{k-1}, -b_{k-1}), \text{SE}_{k-1}\} \text{이}$$

므로 정리 1에 의해 다음 식이 성립한다.

$$\text{ACS}(k-1, \text{DST}(\text{SE}_k, -b_k))$$

$$= \{\text{DST}(\text{SE}_{k-1}, -b_{k-1} - 2), \text{DST}(\text{SE}_{k-1}, -b_{k-1} - 1)\}$$

가정에 의해 다음식이 성립한다.

$$\text{ACS}(0, \text{DST}(\text{SE}_{k-1}, -b_{k-1}))$$

$$= \text{INTVL}((S - \sum_{j=0}^{k-1} b_j \cdot 2^j) \bmod 2^n, 2^{k-1})_0$$

정리 1에 의해 다음식들이 성립하므로

$$\text{ACS}(0, \text{DST}(\text{SE}_{k-1}, -b_{k-1} - 2))$$

$$= \text{INTVL}((S - \sum_{j=0}^{k-1} b_j \cdot 2^j - 2 \cdot 2^{k-1}) \bmod 2^n, 2^{k-1})_0$$

$$= \text{INTVL}((S - \sum_{j=0}^k b_j \cdot 2^j) \bmod 2^n, 2^{k-1})_0$$

$$\text{ACS}(0, \text{DST}(\text{SE}_{k-1}, -b_{k-1} - 1))$$

$$= \text{INTVL}((S - \sum_{j=0}^{k-1} b_j \cdot 2^j - 2^{k-1}) \bmod 2^n, 2^{k-1})_0$$

다음 식이 성립한다.

$$\text{ACS}(0, \text{DST}(\text{SE}_k, -b_k))$$

$$= \text{INTVL}((S - \sum_{j=0}^k b_j \cdot 2^j) \bmod 2^n, 2^k)_0$$

$i = k$ 일 때 만족하므로 위 정리는 성립된다. ■

[정리 3] 다음은 modified Zeta망이 년블러킹이 되기 위한 필요 충분조건이다.

(년블러킹 조건)

$2^n \times 2^n$  modified Zeta망에서 근원지 S부터 목적지 D에 연결을 요청하는 모든 각 (S, D)에 대하여 다음 조건을 만족하면 modified Zeta망은 년블러킹망이다. 첫째, 2개 이상의 근원지에서 같은 목적지로 가는 패킷이 없다. 둘째,  $0 \leq i \leq n-3$ 인 모든 i에 대하여  $b_i = 0$ 이면  $\text{ACS}(0, \text{DST}(\text{SE}_i, b'_i))$ ,  $b_i = 1$ 이면  $\text{ACS}(0, \text{DST}((\text{SE}_i, -b_i))$ 가 목적지 태그  $t_0 t_1 \dots t_{i+1} \dots t_{n-1} = d_{n-1} d_{n-2} \dots d_{n-i-2} \times \dots \times$ 를 가지는 순열의 패킷이 없다. 여기서  $\times$ 는 0과 1의 임의의 값이다.

증명

( $\Leftarrow$ ) modified Zeta망이 년블러킹되기 위해서는 stage 1부터 stage n의 스위칭 소자에서 블러킹이 일어나서는 안된다. stage n-1과 stage n에서 년블러킹이 되려면 2개 이상의 근원지에서 같은 목적지로 가는 패킷이 없어야 한다. (S, D)에 대하여  $\text{ACS}(i, \text{SE}_{i+1})$ 에 접근 가능한 근원지에서 목적지 태그 비트  $t_{i+1} = d_{n-i-2}$ 를 가지고 입력하는 경우  $\text{SE}_{i+1}$ 에서 블러킹이 일어난다.  $b_i = 0$ 이면  $\text{ACS}(i, \text{SE}_{i+1}) = \{\text{SE}_i, \text{DST}(\text{SE}_i, b'_i)\}$ 이고  $b_i = 1$ 이면  $\text{ACS}(i, \text{SE}_{i+1}) = \{\text{DST}(\text{SE}_i, -b_i), \text{SE}_i\}$ 이므로  $\text{ACS}(0, \text{DST}(\text{SE}_i, b'_i))$ 이나  $\text{ACS}(0, \text{DST}(\text{SE}_i, -b_i))$ 가 목적지 태그  $t_0 t_1 \dots t_i = d_{n-1} d_{n-2} \dots d_{n-i-1}$ 를 가지고 입력하면

각각  $DST(SE_i, b_i)$ 나  $DST(SE_i, -b_i)$ 에 접근가능하다.  $0 \leq i \leq n-3$ 인 모든  $i$ 에 대하여,  $SE_{i+1}$ 에서 언블러킹이 되기 위해서는  $b_i=0$ 일 때  $ACS(0, DST(SE_i, b_i))$ ,  $b_i=1$ 일 때  $ACS(0, DST(SE_i, -b_i))$ 가 목적지 태그  $t_0 t_1 \dots t_{i+1} \dots t_{n-1} = d_{n-1} d_{n-2} \dots d_{n-i-2} \times \dots \times$ 를 가지는 순열의 패킷이 없어야하며, 망의 모든 스위칭 소자에서 언블러킹이 되기 위해서는 근원지 S부터 목적지 D에 연결을 요청하는 모든 각 (S, D)에 대하여 이 조건이 만족하여야 한다.

( $\Rightarrow$ ) 2 개이상의 근원지에서 같은 목적지로 가는 패킷이 없으면 stage  $n-1$ 과 stage  $n$ 에서 블러킹이 일어나지 않는다. 모든 각 (S, D)에 대하여  $b_i$ 가 주어진다.

$0 \leq i \leq n-3$ 인 모든  $i$ 에 대하여  $b_i=0$ 이면  $ACS(0, DST(SE_i, b_i))$ ,  $b_i=1$ 이면  $ACS(0, DST(SE_i, -b_i))$ 가 목적지 태그  $t_0 t_1 \dots t_{i+1} \dots t_{n-1} = d_{n-1} d_{n-2} \dots d_{n-i-2} \times \dots \times$ 를 가지는 순열의 패킷이 없으면 (S, D)간에 설정되는  $SE_i$ 에서  $SE_{n-2}$ 까지의 모든 스위칭 소자에서 블러킹이 일어나지 않는다. 모든 각 (S, D)에 대하여 이 조건이 만족되면 망의 모든 스위칭 소자에서 언블러킹이 된다. 그리하여 충분 조건과 필요 조건이 만족하므로 정리 3은 성립한다. ■

예를 들어  $N=32, S=29, D=12=d_4 d_3 d_2 d_1 d_0=01100_2$ 이면 근원지 29와 목적지 12간의 경로 연결 법칙은 다음과 같다.

$$b_4 b_3 b_2 b_1 b_0 = (d_0 d_1 d_2 d_3 d_4 + S) \bmod 32 \\ = (11001_2 + 29) \bmod 32 = 10110_2$$

1)  $b_1=1: (S-2^1) \bmod 32=27$ 부터 28까지의 근원지 범위에서 목적지 태그  $t_0 t_1 t_2 t_3 t_4 = d_4 d_3 d_2 \times \times = 011 \times \times_2$  일 때 즉, 근원지 27과 28이 목적지 12에서 15범위로 가고자 한다면 stage 2에서 블러킹이 일어난다.

$b_2=1: (S-(2^1+2^2)) \bmod 32=23$ 부터 26까지의 근원지 범위에서 목적지 태그  $t_0 t_1 t_2 t_3 t_4 = d_4 d_3 d_2 d_1 \times = 0110 \times_2$  일 때 즉, 근원지 23, 24, 25, 26이 목적지 12, 13으로 가고자 한다면 stage 3에서 블러킹이 일어난다.

2)  $b_0=0: (S+2^0) \bmod 32=30$ 에서 목적지 태그  $t_0 t_1 t_2 t_3 t_4 = d_4 d_3 \times \times \times = 01 \times \times \times_2$  일 때 즉, 근원지 30이 목적지 범위 8부터 15로 가고자 한다면 stage 1에서 블러킹이 일어난다.

근원지: 23 24 25 26 27 28 29 30  
 목적지 태그:  $0110 \times_2$   $011 \times \times_2$   $S$   $01 \times \times \times_2$

### 3. RZETA망의 설계

Modified Zeta망의 스위칭 소자의 상향, 하향의 출력 링크는 다음 stage의 2개의 분할에 각각 연결되므로 2개의 링크중 1개 링크라도 결합이 있을 때 데이터를 전송할 수 없게 된다. 그리하여 Modified Zeta망의 스위칭 소자의 상향, 하향의 출력 링크외에 추가로 2개의 링크를 다음 stage의 2개의 분할에 각각 연결하여 결합 허용 Zeta망(RZETA망)을 구성한다. RZETA망의 스위칭 소자의 출력 링크는 정상 링크와 대체 링크 두 종류가 있다. RZETA망은 정상 링크로 사용되는 Modified Zeta망과 대체 링크로 사용되는 MIN이 병합(merge)되어 구성된다. 대체 링크로 사용될 MIN은 MIN설계 과정에 의해 생성된다. Modified Zeta망과 같은 루프 조합을 가지며 모든 레벨의 루프를 연결하여 1개의 루프가 형성되는 루프 구조를 만든다. 루프의 각 입력 노드(dot 노드)에 연결되는 출력 노드(cross 노드)의 번호는 Modified Zeta망의 각 입력 노드에 연결되는 출력 노드의 번호와 중복이 되지 않는 번호를 부여한다. 그림 4는 대체 링크로 사용될 MIN의 루프 구조이다. 그림 5는 대체 링크로 사용될 MIN을 생성한 것이다. stage  $i$ 의 스위칭 소자  $t$ 의 대체 링크가 연결되는 stage  $i+1$ 의 스위칭 소자를 나타내는 매핑 함수를 정의하기 위하여 다음과 같은 함수를 정의한다.

$$\Phi(i, X_{n-1} X_{n-2} \dots X_1 X_0) = X_{n-i-1} \dots X_0 X_{n-i} \dots X_{n-1}$$

함수  $\Phi$ 는 stage  $i$ 의 스위칭 소자의 물리적 이름  $X_{n-1} X_{n-2} \dots X_1 X_0$ 을 논리적 이름  $X_{n-i-1} \dots X_0 X_{n-i} \dots X_{n-1}$ 로 바꾸는 함수이다.

$$\Omega(i, X_{n-1} X_{n-2} \dots X_1 X_0) = X_0 \dots X_{i-1} X_{n-1} \dots X_i$$

함수  $\Omega$ 는 함수  $\Phi$ 의 역 함수이다.

스위칭 소자  $t$ 를 이진 표현  $X_{n-1} X_{n-2} \dots X_1 X_0$ 이라 할 때, 정상 링크의 위상기술법칙은 modified Zeta망의 위상기술법칙과 같으며 대체 링크의 위상기술법칙은 다음과 같다.

t가 짝수일 때

$$\Lambda_{RZETA}(i, up, Alternate, t) = \Omega(i + 1, (\Phi(i, t) + 2^{t+1}) \bmod N)$$

(stage i의 스위칭 소자 t가 상향의 대체 링크에 의해 연결된 stage i + 1의 스위칭 소자)

$$\Lambda_{RZETA}(i, down, Alternate, t) = \Omega(i + 1, (\Phi(i, t) - 2^t) \bmod N)$$

(stage i의 스위칭 소자 t가 하향의 대체 링크에 의해 연결된 stage i + 1의 스위칭 소자)

t가 홀수일 때

$$\Lambda_{RZETA}(i, up, Alternate, t) = \Omega(i + 1, (\Phi(i, t) - 2^t) \bmod N)$$

$$\Lambda_{RZETA}(i, down, Alternate, t) = \Omega(i + 1, (\Phi(i, t) + 2^{t+1}) \bmod N)$$

이때 스위칭 소자의 4개의 출력을 위에서 아래로 00, 01, 10, 11 이라고 번호를 할당할 때, 출력링크 00, 10은 정상링크, 01, 11은 대체 링크라 한다. 출력 링크 00, 01은 다음 stage의 상위 분할에 연결되며, 10, 11은 다음 stage의 하위 분할에 연결된다. 그림 6은 8×8 RZETA망의 구조를 나타낸 것이다.

RZETA망에서는 근원지와 목적지를 연결하기 위하여 목적지 태그를 사용하는 셀프 라우팅 알고리즘을 사용한다. 목적지 주소 자체를 라우팅 태그로 사용하므로써 라우팅 태그를 구하기 위한 알고리즘이 필요하지 않는다. 2 개이상의 패킷이 같은 목적지 태그 비트를 가지고 스위칭 소자에 입력하면 스위칭 소자는 임의로 한 개의 패킷을 골라 정상 링크로 출력하고 다른 한 개의 패킷은 대체 링크로 출력하며 나머지 패킷은 폐기할 수 있는 기능을 가진다고 가정한다. 즉, 대체 링크보다 정상 링크로 패킷이 출력할 확률이 높다. 목적지 주소는 n비트이며 stage i의 스위칭 소자는 i 번째 목적지 주소 비트에 의해 라우팅된다. i 번째 목적지 주소 비트가 0이면 출력 링크 00이나 10로 라우팅하며 목적지 주소 비트가 1이면 출력 링크 10이나 11로 라우팅한다. 라우팅 태그 비트에 대하여 2 개의 출력 링크를 가지므로 N×N(N=2<sup>n</sup>) RZETA 망은 입, 출력 stage를 제외한 모든 stage에서 단일 결합 허용이 되며 임의의 근원지와 목적지간에 2<sup>n</sup> 개의 중복 경로가 존재한다.

[정리 4] modified Zeta망의 널블러킹 조건은 단일

결합이 있는 RZETA망이 널블러킹이 되기 위한 충분 조건이다.

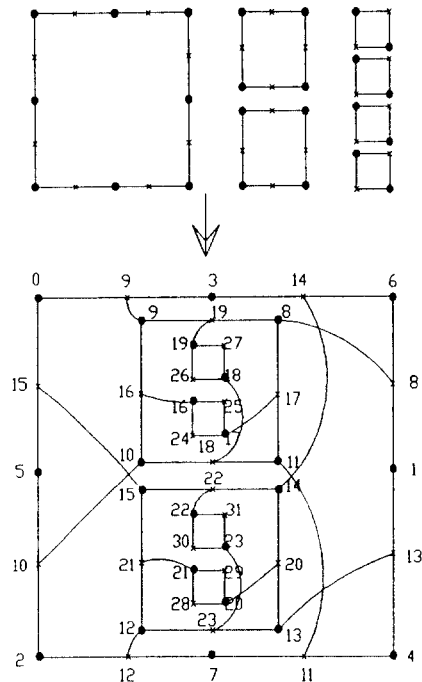


그림 4. RZETA망의 대체링크로 사용될 MIN의 루프구조  
Fig. 4 Loop structure of MIN used for alternate link of RZETA network

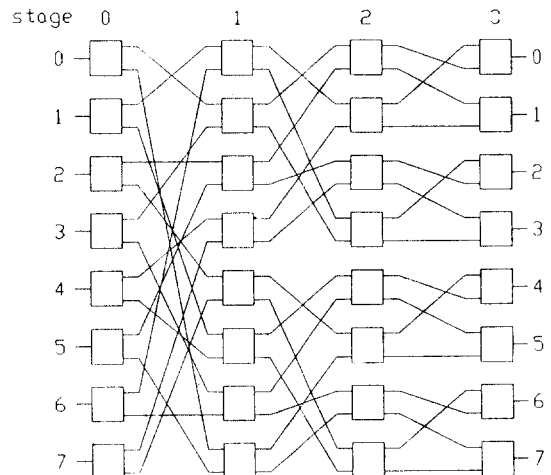


그림 5. RZETA망의 대체 링크로 사용될 MIN  
Fig. 5 MIN used for alternate link of RZETA network



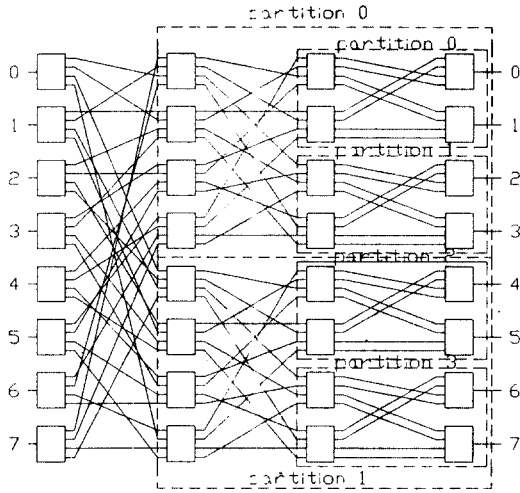


그림 6. 8×8 RZETA망  
Fig. 6 8×8 RZETA network

증명

RZETA망의 위상은 modified Zeta망의 위상을 포함한다. modified Zeta망의 년블러킹 조건이 RZETA망에 입력될 때 결합에 의해 정상 링크를 통해 라우팅할 수 없을 경우 대체 링크를 통해 라우팅할 수 있으므로 년블러킹이 되며 단일 결합 허용이 된다. ■

Ⅲ. 성능 분석

D2망의 성능 분석 모델을[8, 9] 확장하여 RZETA망의 성능을 분석하고 중복 경로를 갖는 기존의 망과의 성능을 비교한다. 성능 분석에 사용되는 기호를 다음과 같이 정의한다.

(기호)

$x_i(m)$ :  $N \times N (N=2^n)$  D2망에서 stage  $i$ 의 한 스위칭 소자에 입력한 패킷중에서  $m$  개의 패킷이 이중 링크를 통하여 출력할 확률,  $0 \leq m \leq 2, 1 \leq i \leq n$

$x_{r,i}(1)$ : RZETA망에서 stage  $i$ 의 정상 링크를 통하여 패킷이 출력될 확률.

$x_{a,i}(1)$ : RZETA망에서 stage  $i$ 의 대체 링크를 통하여 패킷이 출력될 확률.

$x_{r,i}(0)$ : RZETA망에서 stage  $i$ 의 정상 링크를 통하여 패킷이 출력되지 않을 확률.

$x_{a,i}(0)$ : RZETA망에서 stage  $i$ 의 대체 링크를 통하여 패킷이 출력되지 않을 확률.

$x_{inp}$ : 각 근원지의 입력 패킷 도착률.

$x_{out}$ : 각 목적지의 패킷 출력률(망의 처리율).

$q(i)$ : RZETA망에서 한 사이클 동안 stage  $n$ 의  $4 \times 1$  스위칭 소자의 입력에  $i$  개의 패킷이 도착할 확률.

$E(i)$ : 한 사이클 동안  $i$  개의 패킷이 도착하였을 때  $4 \times 1$  스위칭 소자에 의해 accept되는 평균 패킷수.

BW: 한 사이클당 목적지에 출력되는 패킷수.

D2망의 stage  $i$ 의 한 스위칭 소자에 입력한 패킷중에서  $m$  개의 패킷이 이중 링크를 통하여 출력할 확률은 식 (1), (2)와 같이 표현된다. D2망에서는 stage  $i-1$ 의 2 개의 스위칭 소자가 각각 이중 링크에 의해 stage  $i$ 의 스위칭 소자에 연결되는 반면에 RZETA망은 stage  $i-1$ 의 4 개의 스위칭 소자가 각각 1 개의 링크에 의해 stage  $i$ 의 스위칭 소자에 연결된다. D2망의 stage을 왼쪽에서 1부터  $n$ 이라 이름을 부여하면 식 (1), (2)가 정의된다.

$$\sum_{m=0}^2 x_i(m) = 1, \quad 0 \leq i \leq n$$

$$x_0(0) = 1 - x_{inp}, \quad x_0(1) = x_{inp}, \quad x_0(2) = 0$$

$m < 2$ 인 경우

$$x_i(m) = \sum_{k=0}^2 \sum_{j=m-k \geq 0}^2 x_{i-1}(k) x_{i-1}(j) \binom{k+j}{m} 2^{-(k+j)}, \quad 1 \leq i \leq n \quad (1)$$

$m = 2$ 인 경우

$$x_i(2) = \sum_{k=0}^2 \sum_{j=2-k}^2 x_{i-1}(k) x_{i-1}(j) 2^{-(k+j)} \sum_{l=2}^{k+j} \binom{k+j}{l}, \quad 1 \leq i \leq n \quad (2)$$

$$x_{out} = 1 - x_n(0)$$

RZETA망의  $x_{r,i}(0)$ 은 식 (1)을 변형하여 구할 수 있다.  $x_{i-1}(k) x_{i-1}(j)$ 의  $x_{i-1}(k)$ 는 RZETA망의 stage  $i-1$ 의 출력 링크 00, 01의 패킷 출력률이라 하고  $x_{i-1}(j)$ 는 stage  $i-1$ 의 출력 링크 10, 11의 패킷 출력률이라 하면 식 (3)이 성립한다.

$$\begin{aligned}
 x_{r,i}(0) &= x_{r,i-1}^2(0)x_{a,i-1}^2(0) + x_{r,i-1}^2(0)x_{a,i-1}^2(0)x_{a,i-1}(1) \\
 &+ \frac{1}{4} x_{r,i-1}^2(0)x_{a,i-1}^2(1) + x_{r,i-1}(0)x_{a,i-1}(1)x_{a,i-1}^2(0) \\
 &+ x_{r,i-1}(0)x_{a,i-1}(1)x_{a,i-1}(0)x_{a,i-1}(1) \\
 &+ \frac{1}{4} x_{r,i-1}(0)x_{a,i-1}(1)x_{a,i-1}^2(1) \\
 &+ \frac{1}{4} x_{r,i-1}^2(1)x_{a,i-1}^2(0) \\
 &+ \frac{1}{4} x_{r,i-1}^2(1)x_{a,i-1}(1)x_{a,i-1}(0) \\
 &+ \frac{1}{16} x_{r,i-1}^2(1)x_{a,i-1}^2(1) \quad (3)
 \end{aligned}$$

D2망에서 m=2인 경우 RZETA망의 정상 링크에 한 개의 패킷, 대체 링크에 나머지 한 개의 패킷이 라우팅하는 것과 대응하므로  $x_{a,i}(1)$ 은 식 (2)로부터 구할 수 있다.

$$\begin{aligned}
 x_{a,i}(1) &= \frac{1}{4} x_{r,i-1}^2(0)x_{a,i-1}^2(1) \\
 &+ x_{r,i-1}(1)x_{r,i-1}(0)x_{a,i-1}(1)x_{a,i-1}(0) \\
 &+ x_{r,i-1}(1)x_{r,i-1}(0)x_{a,i-1}^2(1) \\
 &+ \frac{1}{4} x_{r,i-1}^2(1)x_{a,i-1}^2(0) \\
 &+ x_{r,i-1}^2(1)x_{a,i-1}(1)x_{a,i-1}(0) \\
 &+ \frac{11}{16} x_{r,i-1}^2(1)x_{a,i-1}^2(1) \quad (4)
 \end{aligned}$$

식 (3), (4)로부터  $x_{r,i}(1)$ 와  $x_{a,i}(0)$ 은 각각 식 (5), (6)과 같다.

$$x_{r,i}(1) = 1 - x_{r,i}(0) \quad (5)$$

$$x_{a,i}(0) = 1 - x_{a,i}(1) \quad (6)$$

$x_{inp} = 1$ 이고 망에 결함이 없다면  $x_{r,0}(0) = x_{r,0}(1) = 0.5$ ,  $x_{a,0}(0) = 1$ ,  $x_{a,0}(1) = 0$ 의 초기 조건이 주어진다. 각 근원지는 stage 0의 각 스위칭 소자에 연결되므로 2개의 정상 링크중 한 개에 라우팅되며 대체 링크에는 라우팅되지 않는다. 식 (3)-(6)으로부터  $x_{r,n-1}(0)$ ,  $x_{r,n-1}(1)$ ,

$x_{a,n-1}(0)$ ,  $x_{a,n-1}(1)$ 을 구할 수 있으며  $q(0)$ ,  $q(1)$ ,  $q(2)$ ,  $q(3)$ ,  $q(4)$ 는 이항 분포에 의해 구해지며 각각 식 (7)-(11)과 같다.

$$q(0) = x_{r,n-1}^2(0)x_{a,n-1}^2(0) \quad (7)$$

$$\begin{aligned}
 q(1) &= 2x_{r,n-1}(1)x_{r,n-1}(0)x_{a,n-1}^2(0) \\
 &+ 2x_{a,n-1}(1)x_{a,n-1}(0)x_{r,n-1}^2(0) \quad (8)
 \end{aligned}$$

$$\begin{aligned}
 q(2) &= 4x_{r,n-1}(1)x_{a,n-1}(1)x_{a,n-1}(0) \\
 &+ x_{r,n-1}^2(1)x_{a,n-1}^2(0) + x_{a,n-1}^2(1)x_{r,n-1}^2(0) \quad (9)
 \end{aligned}$$

$$\begin{aligned}
 q(3) &= 2x_{r,n-1}^2(1)x_{a,n-1}(1)x_{a,n-1}(0) \\
 &+ 2x_{a,n-1}^2(1)x_{r,n-1}(1)x_{r,n-1}(0) \quad (10)
 \end{aligned}$$

$$q(4) = x_{r,n-1}^2(1)x_{a,n-1}^2(1) \quad (11)$$

stage n의 스위칭 소자는 4×1 크로스바 스위치이므로 식 (12)-(14)가 성립한다.

$$E(0) = 0, E(1) = E(2) = E(3) = E(4) = 1 \quad (12)$$

$$BW = N \cdot \sum_{i=0}^4 E(i)q(i) \quad (13)$$

$$x_{out} = \frac{BW}{N \cdot x_{inp}} = 1 - q(0) = 1 - x_{r,n-1}^2(0)x_{a,n-1}^2(0) \quad (14)$$

표 1은  $X_{inp} = 1$ 일 때 natural mapping 알고리즘과 tag modification 알고리즘을 사용하는 Gamma망, D2R2망, Kappa망, RZETA망의 처리율을 비교한 것이다.

표 1.  $X_{inp} = 1$ 일 때 중복 경로를 갖는 망들의 성능 비교  
Table 1. Performance Comparison of redundant path networks in the case  $X_{inp} = 1$

망 N	Gamma망		D2R2 망	Kappa 망	RZETA 망
	natural	tag 수정			
8	0.619	0.641	0.642	0.656	0.716
16	0.579	0.610	0.633	0.642	0.712
32	0.544	0.581	0.624	0.633	0.709
64	0.513	0.555	0.617	0.624	0.706
128	0.485	0.531	0.610	0.617	0.703
256	0.459	0.509	0.603	0.610	0.700
512	0.437	0.489	0.596	0.603	0.697
1024	0.412	0.471	0.590	0.596	0.694

#### IV. 결 론

RZETA망은 스위칭 소자의 크기를 크게 하여 중복 경로를 제공하였다. RZETA망은 정상 링크로 사용되는 modified Zeta망과 대체 링크로 사용되는 다단계상호연결망을 병합하여 생성하였으며, 근원지와 목적지를 연결하기 위하여 목적지 태그에 의한 셀프라우팅 알고리즘을 사용한다.  $N \times N(N=2^n)$  RZETA망은 라우팅 태그 비트에 대하여 두 개의 출력 링크로 라우팅할 수 있으므로 임의의 근원지와 목적지간에 N개의 중복 경로를 갖는다. 아울러 modified Zeta망이 년블럭킹되기 위한 필요 충분 조건을 제시하였으며, RZETA망의 위상은 modified Zeta망의 위상을 포함하므로 modified Zeta망의 년블럭킹 조건은 단일 결합이 있는 RZETA망이 년블럭킹되기 위한 충분 조건이다.

각 근원지의 입력 패킷 도착률이 1일 때 natural mapping 알고리즘과 tag modification 알고리즘을 사용하는 Gamma망, D2R2망, Kappa망의 성능과 RZETA망의 성능을 비교하여 RZETA망이 우수함을 보였다.

높은 조합 능력과 처리율을 갖는 RZETA망은 다중 프로세서 시스템이나 다중 컴퓨터 시스템의 다단계 상호연결망과 ATM 스위치의 네트워크로 사용할 수 있는 기대 효과가 있다. 향후 연구 과제는 RZETA망의 조합 능력에 관한 연구와 결합 발생 갯수에 따른 성능 저하 정도를 해석적으로 성능 분석을 하는 연구가 필요하다.

#### 참 고 문 헌

1. S. M. Reddy and V. P. Kumar, "On Fault-Tolerant Multistage Interconnection Networks," *IEEE Int'l Conf. Parallel Processing*, pp. 155-164, 1984.
2. L. Ciminiera and A. Serra, "A Connecting Network with Fault Tolerance Capabilities," *IEEE Trans. Computers*, vol. C-35, no. 6, pp. 578-580, June 1986.
3. S. C. Kothari, G. M. Prabhu, and R. Roberts, "The Kappa Network with Fault-Tolerant Destination Tag Algorithm," *IEEE Trans. Computers*, vol. C-37, no. 5, pp. 612-617, May 1988.
4. S. C. Kothari, "Multistage Interconnection Networks for Multiprocessor Systems," *Advances in*

*Computers*, Vol. 26, pp. 155-199, June 1987.

5. Jong In Jung, Sung Chun Kim, "Design of Fault Tolerant Multistage Interconnection Network with Simple Fault Detection Method," *HPC-ASIA'1995 Sep.* 18-22, 1995.
6. J. Hui, "Switching Integrated Broadband Services by Sort-Banyan Networks," *Proc. of IEEE*, vol. 79, no. 2, pp. 145-154, Feb 1991.
7. D. P. Agrawal, S. C. Kim, and N. K. Swain, "Analysis and Design of Nonequivalent Multistage Interconnection Networks," *IEEE Trans. Computers*, vol. C-37, no. 2, pp. 232-237, Feb. 1988.
8. M. Kumar and J. R. Jump, "Performance of Unbuffered Shuffle-Exchange Networks," *IEEE Trans. Computers*, vol. C-35, no. 6, pp. 573-577, Jun. 1986.
9. R. Venkatesan and H. T. Mouftah, "Balanced Gamma Network-A new Candidate for Broadband Packet Switch Architectures," *INFOCOM*, pp. 2482-2488, 1992.



정 종 인(Jong In Chung) 정회원

1958년 5월 16일생

1981년 2월:경북대학교 전자공학과(전산전공) 공학사

1985년 8월:경북대학교 대학원 전자공학과(전산전공) 공학석사

1995년 8월:서강대학교 대학원 전

자계산학과 공학박사

1985년~1997년 2월:중경공업전문대학 전산과 부교수

1997년 3월~현재:공주대학교 컴퓨터교육과 조교수