

동기식 전송망에 적용되는 DP-PLL 특성에 관한 연구

正會員 李 昌 基*, 洪 再 根**

A Study on the Characteristics of DP-PLL in a SDH-Based Network

Chang Ki Lee*, Jae Keun Hong** *Regular Members*

요 약

동기식 전송망에서 가장 중요한 것 중의 하나가 망동기 실현이다. 본 논문에서는 동기식 전송망에 적합한 SDH DP-PLL의 설계를 목표로 하여, 기존 DP-PLL에서 명확하게 제시되지 않고 있던 차단주파수와 댐핑팩터를 결정하는 α , β 의 산출 파라미터와 제어 알고리즘과의 관계를 정확하게 제시하였다. 또한 동기식 전송망에 적용시키기 위해 필요한 변수인 노드수(N), 동기상태 메시지 수행시간, 동기원 확인 및 처리시간, PJE 및 동기원 절체 완료시간 등에 대해서 살펴보고, 이들을 스텝응답을 이용하여 단일노드와 멀티노드일 때의 위상 순시변이 특성을 시뮬레이션을 통해 살펴본 후 표준규격을 만족하는 SDH DP-PLL의 설계방안을 제시하였다.

ABSTRACT

In a SDH network, one of the most important issues is the realization of network synchronization. In this paper, we presented the relationship between parameters and control algorithm of DP-PLL for design in a SDH based network. We also presented necessary and applicable variables, namely, number of nodes, reference processing time, SSM processing time, PJE counter and reference switching time, and analyzed phase transients for one node and multiple nodes through our simulation results with a standard specification. We suggested suitable design method of SDH DP-PLL.

I. 서 론

동기식 디지털 계위(synchronous digital hierarchy; SDH)¹⁾을 기본으로 하는 동기식 전송 기술은 다중의

비능률성, 광대역 서비스의 수용 한계 등 기존 비동기식 전송기술의 문제점을 해결하기 위해서 1980년대 중반 이후부터 본격적으로 연구가 시작되어 비약적인 연구개발의 발전을 이룩하였고, 현재 동기식 전송망의 구축과 함께 수십 기가급 이상의 초고속 전송장치 개발에 많은 관심이 집중되고 있다. 동기식 전송망에서는 기존 비동기식 망과 달리 망동기 실현을 위한 클럭동기와 클럭특성이 중요하고, 또한 핵심적인 기술

*한국전자통신연구원 전송방식연구실
**경북대학교 전자전기공학부
論文番號: 96340-1029
接受日字: 1996年 10月 29日

로 다루어지고 있다. 이는 망노드장치에서 사용되는 클럭을 망측제공 클럭에 동기시켜 노드장치간의 데이터 전송을 보장하고, 동기원 장애 발생시 일정시간 안정된 클럭을 공급할 수 있는 능력을 확보하기 위한 것이다. 또한 동기식 전송장치가 동기클럭 분배 망의 전송노드로서의 역할도 수행해야 함에 따라 중요성이 더욱 입증되고 있다. 그러나 이러한 망동기 기능이 원활하지 않으면 버스트성 포인터 조정¹¹⁾(point justification event: PJE)이 발생하여 전송망의 성능을 악화시키는 요인으로 작용할 수 있다. 따라서 신뢰성이 있고 안정된 전송망을 구축하기 위해서는 일반적으로 두 가지 측면을 고려하고 있다. 첫 번째는 가능하면 PJE가 적게 발생되도록 단기안정도 등의 클럭성능을 개선하고, 망동기를 실현할 때 이를 적극 반영하는 것이며, 두 번째는 동기식 전송망에서 PJE가 발생하지 않을 수 없기 때문에 PJE가 발생할 때 나타나는 지터성분을 최소화시켜 주는 알고리즘의 개발이다. 후자의 경우 SDH가 제안된 이후 현재까지 꾸준히 연구되어왔고,¹²⁾¹³⁾ 전자의 경우는 ITU-T의 국제 표준규격¹⁴⁾과 TI위원회¹⁵⁾의 미국 표준규격¹⁷⁾이 새롭게 제정되거나 기존규격을 크게 보완하고 있으며, 관련 연구가 활발히 진행되고 있다.¹⁸⁾¹⁹⁾

한편 망동기 실현은 순간적인 동기원의 위상변이나 동기원의 장애로 인해 발생할 수 있는 급격한 동기클럭의 위상변이를 최소화할 수 있는 홀드오버(hold-over)기능 등이 필요하게 됨에 따라 DP-PLL(digital processing-PLL)기술이 필수적이다. DP-PLL에서는 차단주파수와 뎀핑팩터를 결정하는 α, β 의 설정과 제어 알고리즘과의 관계 등이 중요하게 작용한다. 그러나 기존의 DP-PLL을 살펴보면 NTT방식^[13]은 α, β 의 산출에 적용되는 파라미터를 제시하였지만 파라미터와 제어 알고리즘과의 관계를 명확하게 제시하지 않았으며, AT&T방식^[14]은 α, β 의 산출방법과 일부 제어 알고리즘은 제시하고 있지만 분석모델과의 관계가 명확하지 않았다. 또한 SIEMENS방식^[15]은 AT&T방식과 유사하나 제어 알고리즘과의 관계를 제시하지 않았으며, NT방식^[16]에서는 분석모델과 α, β 의 산출방법이 달라 다른 방식으로서의 적용이 어려운 상태이다. 또한 기존 DP-PLL^{[13)17)}들은 주로 교환망에 사용하기 위한 것으로서 운용중 동기상실 후 재동기시킬 때 대역폭이 좁아 전송망에서 계속되는 포인

터 조정을 발생시키는 요인이 될 수 있고, 동기식 전송망에서 요구되는 위상 순시변이(phase transient) 규격¹⁶⁾을 만족시킬 수 없을 뿐만 아니라 멀티노드에 대한 해석이 되어 있지 않아 SDH 전송망에서 사용하기에 적합하지 않다.

따라서 본 논문은 동기식 전송망에 적합한 SDH DP-PLL의 설계를 목표로 하여, 차단주파수와 뎀핑팩터를 결정하는 α, β 의 산출을 위한 파라미터와 제어 알고리즘과의 관계를 명확히 제시하고, ITU-T G.81s¹⁶⁾의 표준규격과의 비교에 필요한 위상 스텝응답 특성 등을 멀티노드의 경우를 포함하여 해석한다. 그리고 동기식 전송망에 적용시키기 위해 필요한 변수를 살펴보고, 이들을 스텝응답에 적용시켜서 단일노드와 멀티노드일 때의 위상 순시변이 특성을 시뮬레이션을 통해 살펴본 후 표준규격을 만족하는 SDH DP-PLL의 설계방안을 제시한다.

본 논문의 구성은 II장에서 SDH DP-PLL의 모델과 α, β 의 산출방법 및 제어 알고리즘과의 관계를 제시하고, III장에서 스텝응답 특성을 살펴보고, IV장에서 동기식 전송망에 적용하기 위해 필요한 규격 및 변수에 대해 기술한다. 그리고 V장은 IV장의 규격과 변수를 이용하여 단일노드 및 멀티노드에 대한 시뮬레이션을 수행하고, 그 결과를 검토한 후 SDH DP-PLL의 설계방안을 제시하고, VI장에서 결론을 맺는다.

II. SDH DP-PLL 모델링 및 제어 알고리즘

DP-PLL은 일반적인 PLL기능을 마이크로 프로세서를 이용하여 실현한 것으로서 홀드오버 기능을 확보할 수 있다는 것이 특징이다. 본 장에서는 SDH DP-PLL의 일반적인 동작과 분석모델, 그리고 제어 알고리즘을 살펴본다.

1. SDH DP-PLL의 모델

DP-PLL은 그림 1과 같이 디지털 위상비교기(digital phase detector), 마이크로 프로세서, D/A변환기(DAC), 전압제어 발전기(VCXO)와 분주회로로 구성된다. 기본적인 동작을 살펴보면 디지털 위상비교기는 입력 기준클럭과 루프클럭의 위상차를 위상데이터 계수클럭으로 계수하여 위상차 데이터를 만들어 내고, 마이크로 프로세서는 위상차 데이터를 주기적

으로 읽어들이어 누적 평균한 다음 평균데이터를 D/A 변환기로 보내 아날로그 신호인 전압성분으로 바꾸게 된다. 전압제어 발진기는 입력 전압에 해당되는 주파수를 발진시켜 위상에러를 고정함으로써 입력 기준 클럭에 동기된 동기클럭을 생성하게 된다.

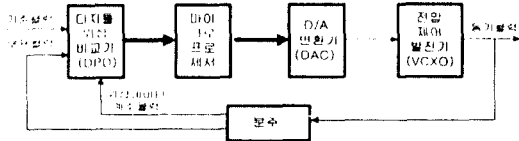
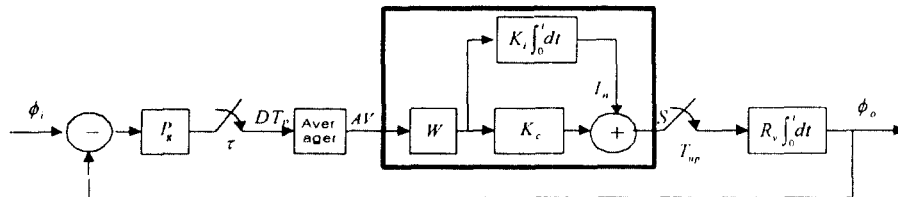


그림 1. DP-PLL의 블록도
Fig. 1 Block diagram of DP-PLL

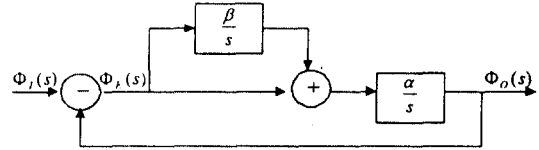
DP-PLL을 수학적으로 분석하기 위한 모델은 NTT에서 제시하고 있으며, NTT모델에서는 AT&T모델과 달리 구현측면을 고려하여 나타나 있지만 이와 같은 모델을 제어하는 알고리즘과의 관계를 제시하지 않았다. 본 논문에서는 실제로 제어 알고리즘에 반영될 수 있도록 구체화한 모델을 그림 2에 제시하였으며, 그림 2에서 위상데이터를 누적 평균하는 필터기능(표시된 부분)에 동작모드에 따라 달라질 수 있는 가중치(W)를 두어 제어 알고리즘과의 관계를 명확히 하였다.

그림 2의 분석모델에서 위상차 데이터 샘플링 간격(τ)가 평균데이터의 갱신시간(T_{up}) 보다 훨씬 짧을 경우 연속함수로 근사화할 수 있다.^[1] 근사화된 등가모델은 NTT모델과 동일하고, 그림 3으로 표현된다.



- P_n : 위상비교기 이득
- W : 가중치
- K_i : Loop filter의 적분계수
- K_c : Loop filter의 적분상수
- τ : 위상차 데이터 샘플링 간격
- DT_p : 위상데이터
- S : 누적 평균 데이터
- T_{up} : 갱신 시간
- R_v : VCXO 최소제어 범위
- AV : 평균데이터

그림 2. SDH DP-PLL의 분석모델
Fig. 2 Analytic model of DP-PLL in SDH based network



- α : 비례상수 (Proportional Constant)
- β : 적분상수 (Integrating Constant)

그림 3. SDH DP-PLL의 등가모델
Fig. 3 Equivalent model of SDH DP-PLL

등가 모델에서 입력에 따른 출력의 전달함수를 구해보면 아래식과 같이 된다.

$$H(s) = \frac{\Phi_O(s)}{\Phi_I(s)} = \frac{\alpha s + \alpha \beta}{s^2 + \alpha s + \alpha \beta} \quad (1)$$

$H(s)$ 는 2차 제어계의 전달함수와 대응됨에 따라 다음식으로 정리할 수 있다.

$$H(s) = \frac{\alpha s + \alpha \beta}{s^2 + \alpha s + \alpha \beta} = \frac{2\xi\omega_n s + \omega_n^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \quad (2)$$

이와 같은 관계에서 ω_n , ξ 와 f_{3dB} 등을 구하면

$$\omega_n = \sqrt{\alpha\beta}, \quad \xi = \frac{1}{2} \cdot \sqrt{\frac{\alpha}{\beta}} \quad (3)$$

$$f_{3dB} = \frac{1}{2\pi} \sqrt{\alpha^2 + \alpha\beta + \frac{1}{2} \alpha \sqrt{\alpha^2 + 4\alpha\beta + 8\beta^2}} \quad (4)$$

이 된다.

2. 제어 알고리즘

DP-PLL에서는 비례상수 α , 적분상수 β 의 산출과 산출하는 데 사용되는 파라미터가 실제 제어 알고리즘에 어떻게 적용되는냐가 중요하다. α, β 를 산출하기 위한 파라미터와 적용 알고리즘과의 관계를 살펴보면 먼저 그림 2의 모델에서 α, β 와 파라미터의 관계를 NTT방식을 이용하여 정리하면 (5)식과 (6)식이 된다.

$$\alpha = P_g \cdot R_v \cdot W \tag{5}$$

$$\beta = \frac{K_i}{K_c} \cdot \frac{1}{T_{up}} \tag{6}$$

여기서 P_g 는 디지털 위상 비교기 이득이며, R_v 는 최소 제어 범위, W 는 모드의 가중치이다. 또한 K_i 는 필터의 적분계수, K_c 는 필터의 비례상수를 말하며, 모드에 따라 값의 설정을 달리한다. T_{up} 은 DAC와 VCXO로 데이터를 주는 갱신주기를 말한다.

이와 같이 정의된 파라미터를 제어 알고리즘에 적용한 것을 그림 4에 구체화하여 제시하였다. 제어동

작을 간략히 살펴보면 초기화를 거친 다음 입력되는 기준클럭의 장애여부를 먼저 확인 후 125 μsec (8 KHz)마다 인터럽트에 의해서 위상차 데이터를 읽어 들인다. 읽어 들인 데이터는 일정시간 평균을 한 다음, 모드에 따라 필터 파라미터를 선택하여 최종 교정값(S)을 계산하고, 결정된 교정값을 DAC로 보내어 위상을 교정하게 되어 동기기능이 실현된다. 만일 입력에 장애가 발생하거나 일정 범위 이상의 변이가 발생하면 홀드오버상태로 진입하여 일정시간 누적 평균한 데이터를 이용하여 최종 교정값을 계산하여 이용하게 된다. 그림4의 제어 알고리즘에서는 앞서 살펴본 분석모델에서 사용한 파라미터의 관계를 명확히 볼 수 있다. 여기서 사용된 파라미터는 SDH DP-PLL의 차단주파수 등이 정해지면 α, β 를 구한 후 장치특성을 고려하여 결정하면 되지만 최적의 갱신시간 T_{up} 의 설정을 위해서는 현재 보완이 되고 있는 전송장치의 단기간정도 규격⁶⁾인 MTIE(maximum time interval error) 및 TDEV(time deviation)등을 고려하여 설정하여야 한다.

III. 스텝응답 특성

동기식 전송장치에서 망동기를 실현하기 위하여 동기된 기준클럭(동기원)을 제공받지만 동기원의 장애가 발생하면 DP-PLL은 홀드오버로 진입하였다가 다시 복구되는 일련의 위상 순서변이 과정이 발생할 수 있다. 따라서 본 장에서는 이러한 현상들을 분석하기 위하여 여러 형태의 스텝응답 특성을 살펴본다.

1. 스텝응답 특성

스텝응답은 위상과 주파수를 각각 입력 혹은 출력으로 하여 입력된 변이에 따라 출력특성을 살펴보기 위한 것이다. 이들을 살펴보기 앞서 입출력 전달함수인 (2)식의 $H(s)$ 을 이용하여 구한 위상에러 전달함수인 $H_E(s)$ 는 아래식과 같다.

$$\begin{aligned} \frac{\theta_E(s)}{\theta(s)} = H_E(s) &= 1 - H(s) = \frac{s^2}{s^2 + 2\xi\omega_n s + \omega_n^2} \\ &= \frac{s^2}{s^2 + \alpha s + \alpha\beta} \end{aligned} \tag{7}$$

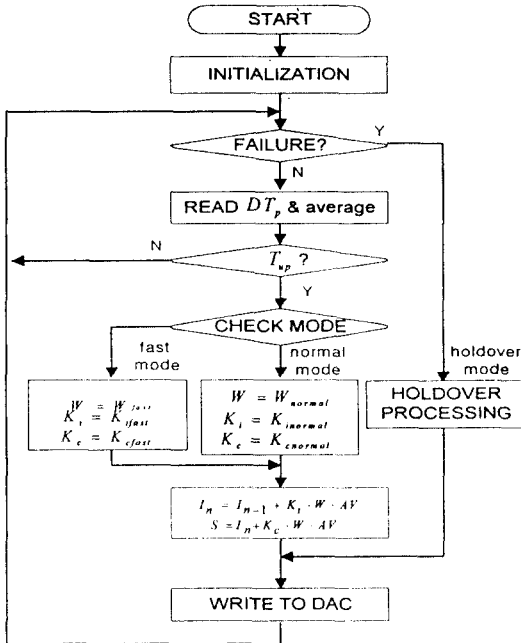


그림 4. SDH DP-PLL의 제어 흐름도
Fig. 4 Control procedure of SDH DP-PLL

먼저 입력주파수에 대한 출력주파수의 스텝응답을

구해보면 출력주파수와 입력주파수인 $F_o(s)$, $F_i(s)$ 는 출력위상과 입력위상인 $\theta_o(s)$, $\theta_i(s)$ 를 적분한 것이기 때문에 입력주파수와 출력주파수와와의 전달함수는 $H(s)$ 와 동일하게 되고, 시간영역에서의 관계식을 구해보면 다음식으로 정리된다.

$$F_o(s) = H(s) \cdot F_i(s)$$

$$f_o(t) = \left(1 - \frac{1}{2} \frac{\alpha + \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_1 t} + \frac{1}{2} \frac{\alpha - \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_2 t} \right) f_i(t) \quad (8)$$

여기서 $s_1 = \frac{1}{2}(\alpha + \sqrt{\alpha^2 - 4\alpha\beta})$, $s_2 = \frac{1}{2}(\alpha - \sqrt{\alpha^2 - 4\alpha\beta})$ 이 되고, 단위 스텝응답일 경우 $\theta_i(s)$ 가 $\frac{1}{s}$ 이 되어서 $F_o(s)$ 는 $H(s)$ 가 된다. 여기서 α 는 4β 보다 커야한다. (혹은 $\xi > 1$)

입력위상에 대한 출력주파수의 스텝응답은 $F_o(s)$ 가 $s \cdot H(s) \cdot \theta_i(s)$ 와 동일함으로 아래식으로 정리된다.

$$f_o(t) = \left[\frac{1}{2} \frac{\alpha(\alpha + \sqrt{\alpha^2 - 4\alpha\beta})}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_1 t} - \frac{1}{2} \frac{\alpha(\alpha - \sqrt{\alpha^2 - 4\alpha\beta})}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_2 t} \right] \cdot \phi_i(t) \quad (9)$$

또한 입력주파수에 대한 출력위상의 스텝응답은 $\theta_o(s)$ 가 $\frac{1}{s} \cdot H_E(s) \cdot F_i(s)$ 이 됨에 따라 다음식과 같다.

$$\phi_o(t) = \frac{1}{\sqrt{\alpha^2 - 4\alpha\beta}} (e^{-s_1 t} - e^{-s_2 t}) \cdot f_i(t) \quad (10)$$

마지막으로 입력위상에 대한 출력위상의 스텝응답은 $\theta_E(s)$ 가 $H_E(s) \cdot \theta_i(s)$ 이 되어 아래의 수식과 같이 표현된다.

$$\phi_e(t) = \left[\frac{1}{2} \frac{\alpha + \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_1 t} - \frac{1}{2} \frac{\alpha - \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_2 t} \right] \cdot \phi_i(t) \quad (11)$$

2. 멀티노드에서의 위상스텝 응답 특성

전송망에서의 위상 순시변이 특성을 살펴보기 위해서는 단일노드들이 다단으로 연결된 멀티노드를 고려하여야 한다. 또한 순시변이 특성은 위상응답이 적용되기 때문에 (11)식을 이용하여 위상스텝 응답을 구해보면 아래식과 같이 된다. 여기서 각 노드들의 α , β 는 동일하다고 가정한다.

$$\phi_e^N(t) = \left[\frac{1}{2} \frac{\alpha + \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_1 t} - \frac{1}{2} \frac{\alpha - \sqrt{\alpha^2 - 4\alpha\beta}}{\sqrt{\alpha^2 - 4\alpha\beta}} e^{-s_2 t} \right] \cdot \phi_i^N(t) \quad (12)$$

$$\phi_i^N(t) = \phi_o^{N-1}(t-d) = \phi_i^{N-1}(t-d) - \phi_e^{N-1}(t-d)$$

(12)식에서 $\phi_e^N(t)$ 는 N 번째 노드에서의 입력위상과 출력위상 사이의 차인 위상에러를 나타내고 있으며, $\phi_i^N(t)$ 는 N 번째 노드로 들어오는 입력위상을 말한다. 또한 $\phi_i^N(t)$ 는 $N-1$ 번째 노드에서 d 만큼 지연되어 출력되는 위상인 $\phi_o^{N-1}(t-d)$ 와 동일하다. d 는 동기원 처리와 동기상태 메시지^{[11][18]}(synchronous status message; SSM)을 수행함에 따라 나타나는 지연시간을 말하며, 이와 관련된 자세한 내용은 IV장에서 기술한다.

IV. 동기식 전송망 적용을 위한 순시변이 특성 및 변수

본 장에서는 동기식 전송망에서 요구되는 위상 순시변이 표준규격을 살펴보고, 실제 전송망에 적용될 때 고려되어야 할 변수들을 살펴본다.

1. 위상 순시변이 표준규격

동기식 전송망과 장치에 적용되고 있는 클럭관련 규격은 ITU-T G.81s이며, 주파수특성과 노이즈 특성 및 위상 순시변이 응답 특성등을 규정하고 있고 현재 까지 보완되어지고 있다. 이들중 중요하게 다루고 있는 위상 순시변이 응답은 일반적으로 입력신호가 전송선로 장애 등의 요인에 의해서 출력신호상에 나타나는 위상변이를 말하며, 주로 2차 동기원이 정상이라는 가정하에서 1차 동기원의 장애가 발생하면 홀드 오버상태로 진입하고 다시 2차 동기원을 선택하여 동

기실현과정에서 발생할 수 있는 단기적인(15초 이하) 위상 순시변이를 말한다. 순시변이 응답에 관한 규격은 그림 5와 같이 규정하고 있으며, 표시된 마스크 이내에 위상 순시변이가 존재하여야 한다. 그림 5에서 2개의 7.5ppm 성분은 홀드오버상태로 진입할 때와 2차 동기원을 선택할 때 발생하는 순시변이를 의미하고, 0.05ppm 성분은 홀드오버상태에서의 위상 순시변이, 그리고 최대 위상 순시변이가 1000ns를 넘지 않도록 규정하고 있다. 따라서 동기식 전송망에서 사용되는 장치는 이와 같은 규격을 만족할 수 있도록 변수들을 설계하여야 한다.

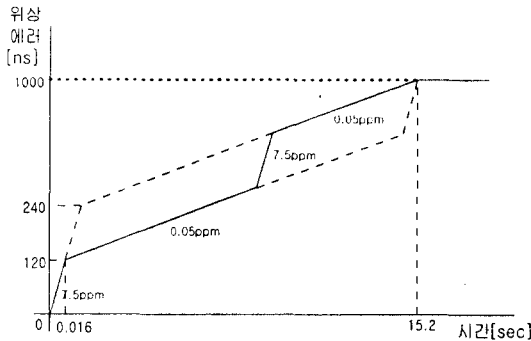


그림 5. 위상 순시변이 규격
Fig. 5 Specification of phase transient

2. 적용 변수

DP-PLL의 특성을 결정하기 위하여 망차원에서 영향을 줄 수 있는 요인은 노드수(N), 동기상태 메시지 수행시간, 동기원 확인 및 처리시간과 PJE 및 동기원 절체 완료시간 등으로 볼 수 있다. 먼저 노드수는 멀티노드로 다단 병렬 연결되는 수를 말하며, 노드수에 따라 위상변이의 크기에 직접적으로 영향을 줄 수 있기 때문에 중요한 변수가 된다. 그리고 동기상태 메시지는 현재 자국의 동기품질을 타국에 알려 주거나 타국의 동기 품질을 알 수 있어 동기원 선택을 효율적으로 수행하여 망동기 실현을 원활하게 하기 위한 것으로서, 이러한 기능을 수행하기 위해서는 메시지를 해석 및 생성하는 데 일정시간이 요구된다. 이는 앞 절에서 언급한 지연시간으로 작용한다. 또 하나의 지연시간으로 작용할 수 있는 동기원 처리 및 확인시간은 동기원의 장애검출, 차상위 동기원의 확인 및 절

체 등에 소요되는 시간을 말한다. 이와 같은 두 가지의 지연시간은 실제 전송상에서 복합적으로 적용된다. 이의 적용관계를 선형망을 통해 살펴보면 그림 6에 나타나 있다.¹⁸⁾ 그림 6(a)에서 노드1은 외부타이밍, 나머지 노드들은 선로타이밍을 선택하여 망동기를 실현하고 있을 때 (b)에서와 같이 노드1의 동기원 장애가 발생한 경우 (c)에서 나타난 것처럼 역방향의 동기원을 선택함으로써 망동기 기능이 복구되는 것을 보여주고 있으며, 위상에러가 가장 크게 발생할 수 있는 예로 적용된다. 그림 6에서 각 노드별로 지연시간을 세부적으로 살펴보면 먼저 노드 1에서 고려될 수 있는 지연시간은 (b)에서 입력되는 동기원의 장애 검출, 홀드오버 수행 및 동기상태 메시지 생성 등의 기능을 수행함에 따라 나타날 수 있는 지연시간(d_h)과 (c)에서 메시지 변경 검출과 동기원 절체 및 메시지 생성 등을 수행함에 따라 나타날 수 있는 지연시간(d_s) 등이 있다. 노드 2와 노드 3은 (b)에서 메시지 변경 검출, 동기원 확인 및 메시지 생성 등에 따라 나타날 수 있는 지연시간(d_n)과 (c)에서의 d_s 등이며, 노드 4는 (c)에서의 지연시간인 d_s 가 발생하게 된다. 이와 같은 d_h , d_s 와 d_n 는 멀티노드에서의 위상스텝 응답 특성에서 지연시간으로 작용된다.

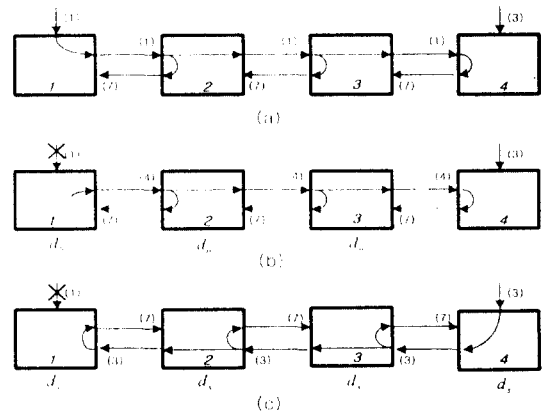


그림 6. 선형 동기식 망에서의 지연 특성
Fig. 6 Delay characteristics of a linear SDH network

PJE는 입력위상과 출력위상사이의 차이가 AU3인 호¹¹⁾ 기준으로 $\frac{8bit}{51.84MHz}$ 보다 클 때는 PJE가 발생하

고, 발생횟수가 많아지게 되면 지터를 증가시킴에 따라 앞서 언급한 바와 같이 망성능에 영향을 줄 수 있다. 마지막으로 동기원 절체 완료시간은 동기원 장애에 의한 차상위 동기원으로의 절체가 완료되기까지의 시간을 말하며, 이는 국제 표준규격에는 규정하고 있지 않지만 세부적 개발규격에는 규정하고 있으며, 통상 10초 이내로 정하고 있다.

V. 시뮬레이션 및 결과

본 장에서는 III장과 IV장에서 살펴본 내용을 바탕으로 시뮬레이션을 수행하고, 그 결과를 통해 동기식 전송망에 적용할 수 있는 SDH DP-PLL의 설계방안을 살펴본다.

1. 스텝 응답 특성

III장에서 살펴본 스텝 응답 특성을 적용하여 기존의 DP-PLL과 SDH DP-PLL을 비교한 결과를 그림 7에 나타내었다. 그림 7(a)는 입력주파수에 대한 출력주파수의 스텝 응답이며, (b)는 입력주파수에 대한 출력 위상의 스텝 응답을, (c)는 입력위상에 대한 출력 위상의 스텝 응답 특성이다. 여기서 적용된 입력 주파수 스텝과 위상스텝은 IV장에서 살펴본 위상 순시변이를 고려하여 각각 7.5×10^{-6} 와 1.2×10^{-7} 로 하였고, 차단주파수를 1Hz, 댐핑팩터를 5로 하였을 때의 SDH DP-PLL과 비교한 것이다. 여기서 설정된 값은 멀티노드에서 사용한 값을 이용하였다. 그림 7에서

기존 DP-PLL에 비해서 SDH DP-PLL의 스텝 응답 특성은 현격한 차이를 보여주고 있다.

그리고 전달특성에서 기존 DP-PLL과 비교한 것은 그림 8에 나타나 있다. 기존의 DP-PLL들은 차단주파수가 10^{-3} 이하에 존재하는 것을 볼 수 있어서 SDH DP-PLL에 비해 좁은 대역폭을 가지고 있는 것을 알 수 있다.

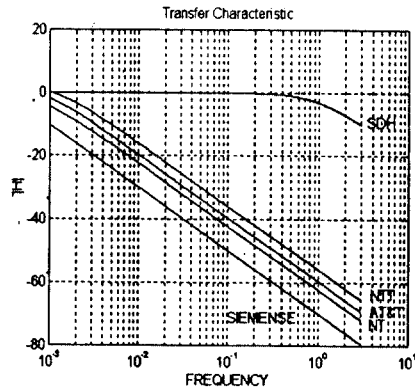


그림 8. DP-PLL의 전달 특성
Fig. 8 Transfer characteristics of DP-PLL

2. 단일노드에서의 위상 순시변이

동기식 전송망에서 제시된 위상 순시변이 규격을 만족하는 DP-PLL특성을 살펴보기 위해서는 차단주파수와 댐핑팩터에 따른 위상 순시변이 특성을 알아야 한다. 여기서 순시변이 규격인 그림 6을 해석하는

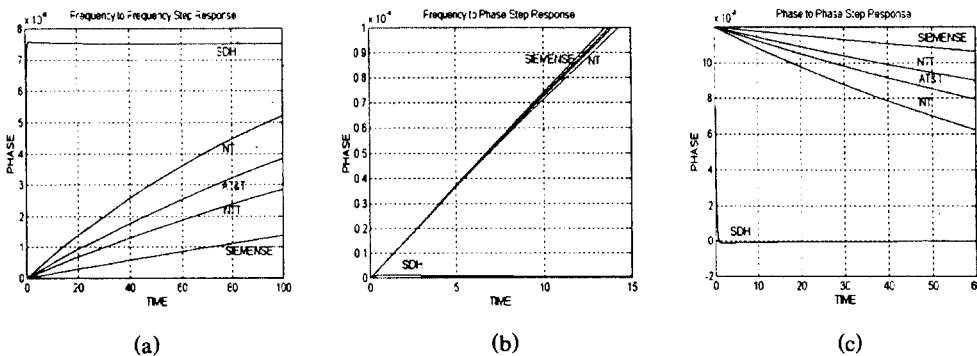


그림 7. DP-PLL의 스텝 응답 특성
Fig. 7 Characteristics of step response in DP-PLL

데 있어서는 비선형특성이 존재하지만 DP-PLL의 DAC가 16비트를 사용함에 따라 스텝응답을 선형적 해석으로 가능하게 된다.

차단주파수와 댐핑팩터에 따른 위상 순시변이 특성은 그림 9에 나타나 있다. 그림 9는 단일노드에서 그림 5와 같은 입력 위상 순시변이(그림에서 실선)가 발생할 때 차단주파수가 각각 0.01, 0.1, 1, 10Hz, 댐핑팩터가 1.1, 5일 때의 출력위상 순시변이를 나타낸 것이다. 여기서 2차 동기원의 선택은 10초에서 발생한 것으로 가정하였고, 지연시간은 d_k 를 사용하여 200msec로 설정하였다. 그림 9(a)에서 차단주파수가 0.01Hz일 경우 댐핑팩터의 값에 상관없이 규격치 이내에 존재하지만 입출력간의 많은 위상차이를 볼 수 있으며, 차단주파수가 각각 0.1Hz, 1.0Hz, 10Hz인 (b), (c)와 (d)에서는 ξ 가 1.1일 경우 overshoot에 의해서 마스크를 벗어남을 볼 수 있고, ξ 가 5일 경우는 0.1Hz에서만

위상차이가 존재하지만 마스크내에 존재한다. 그림 9의 결과를 바탕으로 IV장에서 살펴 본 PJE 발생 여부를 시뮬레이션을 통해 살펴보면 그림 9(a)의 경우는 ξ 가 1.1과 5일 때 모두 154ns 이상의 위상 에러가 있어 2개이상의 PJE가 발생하였고, 나머지 (b), (c)와 (d)의 경우는 발생하지 않았다. 여기서 10초 이전의 위상차만 PJE 계산에 반영하였고, 10초 이후의 위상차는 2차 동기원으로서의 복귀과정으로 일정하게 유지하기 때문에 제외하였다. 또한 최대 위상 에러를 살펴볼 때 0.01Hz를 제외하고 주파수가 증가하더라도 최대 위상에러 값은 크게 차이가 나지 않음을 볼 수 있다.

그림 9에서 마스크 값과 시뮬레이션된 출력위상간의 위상차이를 댐핑팩터의 값과 연관시켜 좀 더 자세히 살펴본 것이 그림 10에 나타나 있다. 여기서 PJE가 발생한 0.01Hz는 대상에서 제외하였다. 그림 10(a)에서 차단주파수가 0.1Hz일 경우 댐핑팩터가 5, 나머

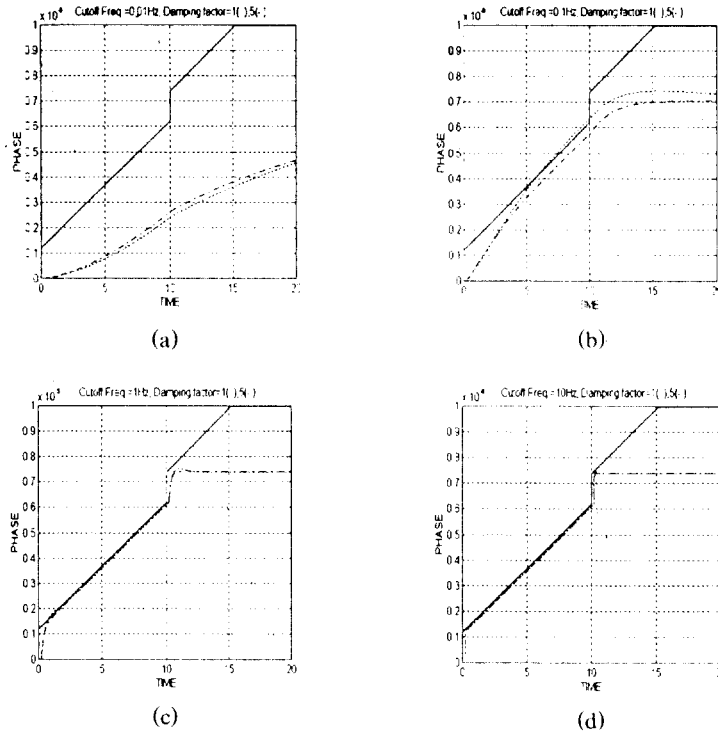


그림 9. 차단주파수와 댐핑팩터에 따른 위상 순시변이 특성
Fig. 9 Phase transient characteristics by damping factor and cutoff frequency

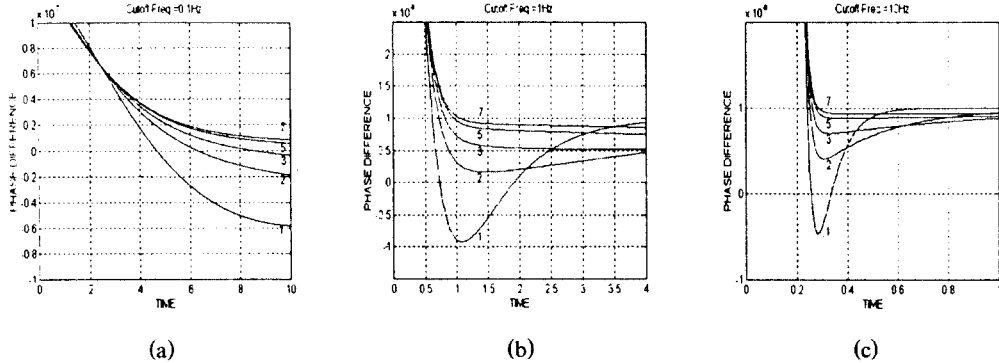


그림 10. 차단주파수와 댐핑팩터에 따른 위상차이
 Fig. 10 Phase difference by damping factor and cutoff frequency

지 1Hz와 10Hz는 댐핑팩터가 2이상 되어야 함을 볼 수 있다. 또한 차단주파수가 커질수록 만족하는 댐핑팩터 값은 점점 낮아지는 것을 알 수 있다.

따라서 차단주파수를 가변시켰을 때 마스크를 만족하는 댐핑팩터 최소값은 그림 11에 나타나 있다. 그림 11에서 차단 주파수가 0.1Hz에서 1Hz 사이에 있을 때 최소값은 약 3.5에서 1.8 사이에 존재하면서 급격히 감소하는 것을 볼 수 있고, 3Hz 이상에서는 최소값이 1.52에서 1.45까지 분포하고 있으며, 비교적 완만한 감소를 보이고 있다. 여기서 일반적으로 댐핑팩터 값은 피킹(peaking)특성을 고려하여 3 이상을 사용함에 따라 차단주파수가 0.4Hz일 때 댐핑팩터의 최소

값이 2.72가 되어 최소 차단주파수값은 0.4Hz가 되며, 또한 그림 5의 7.5ppm은 10Hz 이하를 고려하여 설정한 것이기 때문에 최고 차단주파수는 10Hz가 된다.

3. 멀티노드에서의 위상 순시변이

노드가 다단 병렬 연결되었을 때의 위상 순시변이 특성 변화를 살펴보기 위해서는 차단주파수와 댐핑팩터 이외에 노드수(N)와 앞서 언급한 지연시간인 d_h , d_s 와 d_n 등을 고려하여야 한다. 멀티노드에서는 노드수와 차단주파수를 중심으로 살펴보기 위해서 댐핑팩터를 5로 고정시키고, 3가지의 지연시간의 값들은 계속 연구중인 상태이지만 일반적으로 예측할 수 있는 값인 200ms를 동일하게 적용하였다.

노드수가 20이고, 차단주파수가 각각 0.1Hz, 0.5Hz, 1Hz, 10Hz일 때의 위상 순시변위는 그림 12에 나타나 있고, (a), (b), (c)와 (d) 모두 규격치를 만족하고 있는 것을 볼 수 있다. 또한 주파수에 대한 최대 위상 에러를 살펴볼 때 주파수가 증가하더라도 최대 위상 에러 값은 단일노드일 때와 같이 크게 차이가 나지 않는 것을 볼 수 있다. 여기서 최대 위상 에러 값은 약 6.5×10^{-7} 으로 나타나고 있고, 규격치의 마스크는 마지막 20번째 노드의 2차 동기원 선택을 기준으로 설정된 것이다.

최대 위상 에러의 제한값을 만족하는 노드수를 알아보기 위해서 차단주파수를 1Hz, 댐핑팩터를 5로 고정시키고, 노드수를 40까지 증가시켰을 때의 시뮬레이션 결과는 그림 13에 나타나 있다. 그림 13(a)는 N

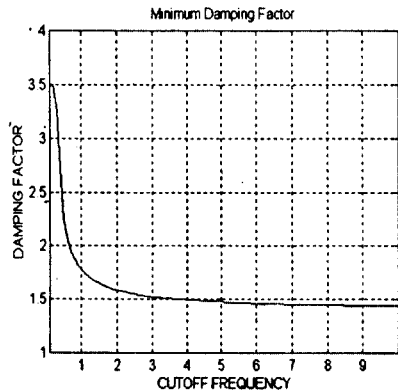


그림 11. 차단주파수에 가변에 따른 최소 댐핑팩터 값
 Fig. 11 Minimum value of damping factor by variation of cutoff frequency

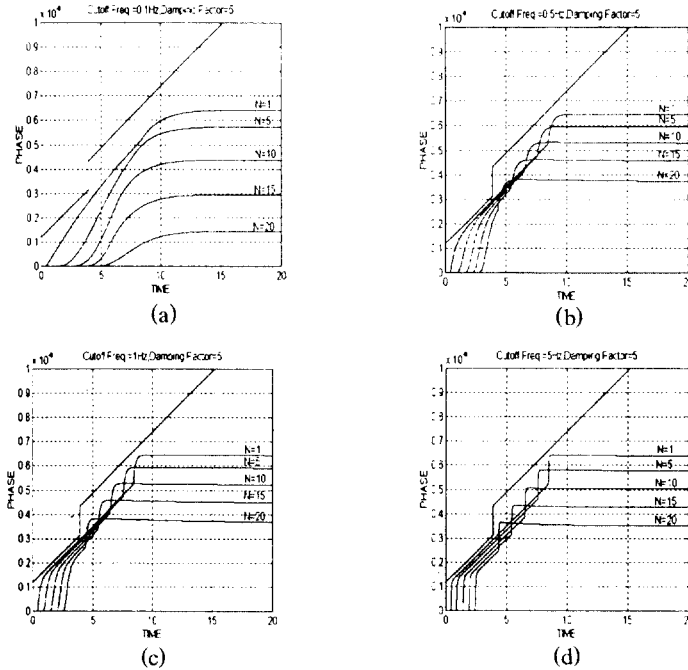


그림 12. 선형망에서의 위상 순시변위(N이 20인 경우)

Fig. 12 Phase transient in a linear network(for the case of N = 20)

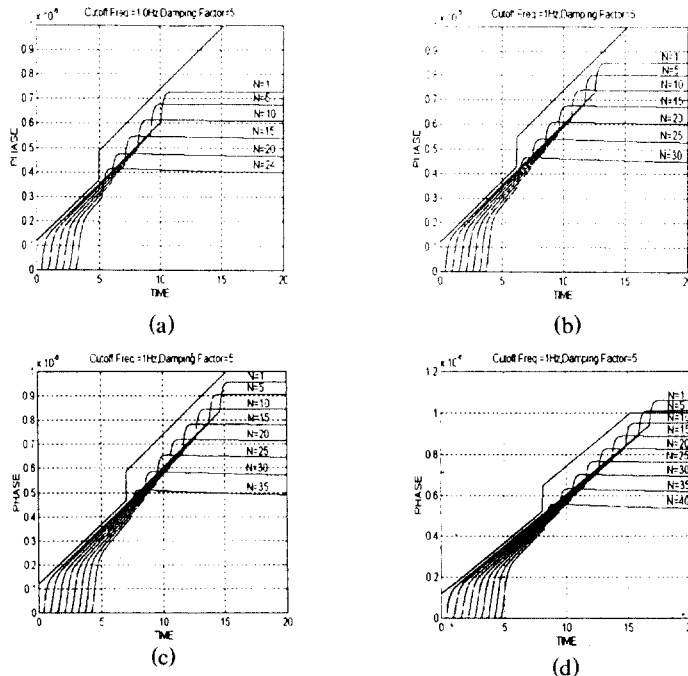


그림 13. 노드수 변화에 의한 위상 순시변위

Fig. 13 Phase transient by variation of node number

이 24, (b), (c), (d)는 각각 30, 35, 40일 때의 결과이다. 그림 12(d)에서 N이 40 이상일 때 최대 위상에러의 제한값인 1000nsec를 넘어서는 것을 볼 수 있으며, 최대 위상에러를 고려할 때 노드수가 35개까지는 가능하고, 또한 전반적으로 노드수의 증가에 따라 위상 에러가 증가하는 것을 알 수 있다. 또한 동기원 절체 완료시간을 고려할 경우는 그림 13(a)에서와 같이 노드수가 약 24개로 제한되어야 함을 알 수 있다.

4. 결과 분석

지금까지 위상스텝 응답 특성과 동기식 전송망이나 장치에서 고려하여야 할 노드수(N), 동기상태 메시지 수행시간, 동기원 확인 및 처리시간, PJE 및 동기원 절체 완료시간 등의 변수를 적용하여 단일노드 및 멀티노드시의 위상변이를 살펴보았다. 그 결과로 스텝 응답 특성에서 기존 DP-PLL은 좁은 대역폭을 가지고 있어 SDH에 적용할 수 없으며, 그리고 단일노드에서는 0.4Hz에서 10Hz 사이에서 차단주파수를 설정해야 함을 알았고, 또한 차단주파수가 증가하더라도 최대 위상에러값은 큰 차이가 없음을 보았다. 멀티노드에서는 차단주파수가 1Hz, 댐핑팩터를 5로 고정시켰을 때 노드수를 24개 이하로 설정하면 최대 위상에러 제한값과 동기원 절체 완료시간을 모두 만족함을 알 수 있었다. 다만 여기서 제시된 SDH DP-PLL 차단 주파수는 본 논문에서 논의하지 않은 전송장치의 지터/윈더성능과도 밀접한 관계를 가지고 있지만 이와 관련된 특성을 고려하지 않은 것이며, 또한 동기 망클럭 공급장치인 DOTS¹¹⁹⁾(digital office timing supply)와의 관계를 고려하여 지속적인 연구가 진행되어야 할 것이며, 이러한 연구가 진행된다면 앞서 제시된 차단주파수의 범위가 줄어들 것으로 예상된다. 그리고 지연시간 변화와 절체 완료시간의 변화가 생길 경우 규격을 만족하는 노드수에 변화가 있을 것으로 예상됨에 따라 이와 관련된 연구도 계속 필요할 것으로 생각된다.

VI. 결 론

동기식 전송망에서의 망동기실현은 전송망의 성능 뿐 아니라 동기망의 성능에 영향을 줄 수 있기 때문에 매우 중요하게 인식되고 있다. 이러한 망동기클럭

은 일반적으로 DP-PLL기술이 요구되지만 기술보호 측면과 연구진행 등의 요인으로 전송망에 적용할 수 있는 DP-PLL에 관하여서는 아직 뚜렷하게 발표된 것이 없다. 따라서 본 논문에서는 SDH DP-PLL의 설계를 목표로 하여 DP-PLL의 α , β 와 제어 알고리즘과의 관계를 제시하였고, 또한 동기식 전송망에 적용시키기 위해 고려하여야 할 변수는 노드수(N), 동기상태 메시지 수행시간, 동기원 확인 및 처리시간과 PJE 및 동기원 절체 완료시간 등이 있음을 알았다. 또한 이들 변수들을 이용하여 단일노드와 멀티노드일 때의 위상변이 특성에 대한 시뮬레이션을 수행하였으며, 그 결과로 SDH DP-PLL의 차단주파수는 댐핑팩터와 규격등을 고려하여 0.4Hz에서 10Hz 사이에서 선택하여야 하며, 멀티노드에서는 최대 위상에러 제한치와 동기원 절체 완료시간을 고려할 때 노드수는 24개 이하로 설정하여야 한다는 사실을 알았다. 이러한 연구결과는 단국(terminal)기능이나 혹은 종속신호의 삽입/추출기능(add/drop)등의 초고속 동기식 전송장치는 물론 회선분배 기능의 BDCS(broadband digital cross-connect system) 등에 적용할 수 있으며, 전체적인 전송망 설계 및 성능연구에 도움을 줄 수 있을 것으로 판단된다. 그리고 동기상태 메시지 등에 관한 규격들이 아직 제대로 정해지지 않고 있어 본 논문에서는 지연시간값의 변화에 따른 적정 노드수와, 지터특성과 DOTS를 고려하였을 때의 차단주파수 범위 등에 대해서는 연구가 계속 필요하고, 나아가 클럭노이즈를 고려하여 MTIE 및 TDEV등의 클럭특성 파라미터 등과 연계하여 종합적인 전송망의 망동기클럭에 대한 연구가 지속 및 확산되어야 할 것으로 생각된다.

<감사의 글>

본 논문은 한국통신에서 출연한 “광대역 회선 분배 시스템(BDCS) 개발”을 수행하는 과정에서 작성된 결과의 일부이며, 논문작성에 도움을 주신 이만섭 박사님과 이종현 박사님 그리고 김홍주 과제책임자에게 감사드린다.

참 고 문 헌

1. ITU-T Draft Recommendation G.707, “Network node interface for the synchronous digital hier-

- archy(SDH),” 1995.
2. M. Sexton and A. Reid, “Transmission networking: SONET and synchronous digital hierarchy,” Artech House, Norwood, MA, 1992.
 3. R. G. Kussyk, W. A. Krzymien and T. E. Moore, “Analysis of techniques for the reduction of jitter caused by SONET pointer adjustments,” *IEEE Trans. Comm.* Vol. 42, No.2/3/4, pp.2036-2050, Febuary/March/April 1994.
 4. 이창기, 김재근, “SDH 시스템에서의 포인터 조정 지터 감소 알고리즘 및 성능연구,” 대한전자공학회 논문지, A편, 제30권, 제2호, pp.1~9, 1993년 2월.
 5. 최승국, 이종길, 김장복, “정상적인 모드로 동작되는 동기식 통신망에서 발생하는 포인터조정지터의 분석,” 한국 통신학회 논문지 제20권 제11호 pp. 3025~3034, 1995년 11월.
 6. ITU-T Draft Recommendation G.81s, “Timing characteristics of slave clocks suitable for operation of SDH equipment,” November 1994.
 7. ANSI Draft T1.101, “SONET: network element timing and synchronization,” 1995.
 8. S. Bregni, L. Valtriani and A. Manzalini, “A practical estimate methodology for MRTIE and related issues,” proceedings of *IEEE GLOBECOM'93* pp. 1506-1510, Huston, USA, November, 1993.
 9. G. M. Garner, “Accumulation of random noise in a chain of slave clocks,” proceedings of the 48th Annual Symposium on Frequency Control, *IEEE*, Boston, USA, June, 1994.
 10. 임범중, 이두복, 최승국, 김장복, “동기식 통신망에서 발생하는 위상시간 에러의 컴퓨터 시뮬레이션에 관한 연구,” 한국통신학회 논문지 제19권 제 11호, pp.2160~2169, 1994년 11월.
 11. 이창기, 이재환, 홍재근, “동기식 전송망의 망동기 클럭 시뮬레이션에서 양선형 변환에 의한 플리커 잡음 발생방법,” 한국통신학회 하계 학술발표회 논문집 제15권, 제1호, pp.1583~1587, 1996년 7월.
 12. 이창기, 이철, 홍재근, “동기식전송망에서의 망동기 클럭 성능분석,” 한국통신학회 하계 학술발표회 논문집 제15권, 제1호, pp.1578~1582, 1996년 7월.
 13. H. Fukinuki and I. Furukawa, “Intelligent PLL using digital processing for network synchronization,” *IEEE Trans. Comm.* Vol. COM-31, No. 12, pp.1295-1303, December 1983.
 14. R. Metz, E. L. Reible, and D. F. Winchell, “No.4 ESS; network clock synchronization,” *B.S.T.J.*, Vol. 60, pp.1109-1128, July-August 1981.
 15. H. L. Hartmann and E. Steiner, “Synchronization techniques for digital networks,” *IEEE Jr. on Selected Areas in Comm.* Vol. SAC-4, No. 4, pp. 506-512, July 1986.
 16. E. A. Munter, “Synchronized clock for DMS-100 family,” *IEEE Trans. Comm.* Vol. COM-28, No. 8, pp.1276-1284, August 1980.
 17. 여재홍, 임인철, “고주파수 동기장치용 DP-PLL의 설계를 위한 위상차 검출방식과 프로세스 알고리즘,” 대한전자공학회 논문지, A편, 제29권, 제8호, pp.637~644, 1992년 8월.
 18. 이창기, 김홍주, 고제수, 김재근, “SDH전송망의 동기방안 고찰,” 한국통신학회 추계 학술발표회 논문집 제12권 제2호, pp.122~124, 1993년 11월.
 19. 한국전기통신공사, “디지털 클럭 공급장치(DOTS) 설명서,” 1988년.



李昌基(Chang Ki Lee) 正會員
 1984년 2월: 경북대 전자공학과 졸업(학사)
 1986년 2월: 경북대 대학원 전자공학과 졸업(석사)
 1987년 12월~현재: 한국전자통신연구원 전송방식연구실 선임연구원
 1993년 3월~현재: 경북대 대학원 전자공학과 박사과정
 ※주관심분야: 동기식 전송기술, 망동기, 광다중기술(WDM)



洪 再 根(Jae Keun Hong) 正會員

1975년 2월:경북대 전자공학과 졸업(학사)

1979년 2월:경북대 대학원 전자공학과 졸업(석사)

1985년 2월:경북대 대학원 전자공학과 졸업(박사)

1983년 4월~1989년 9월:경북대

전자공학과 조교수

1989년 10월~1995년 9월:경북대 전자공학과 부교수

1995년 9월~현재:경북대 전자전기공학부 교수

※주관심분야: 음성신호 처리, 동기식 전송기술의 망 동기