

# CMOS의 선형성을 이용한 PLL용 charge pump의 설계 및 고찰

正會員 최 은 주\*, 최 은 창\*\*, 김 정 범\*, 조 경 록\*

## Design of Charge Pump for PLL using Linearity Characteristic of CMOS

Eun Ju Choi\*, Eun Chang Choi\*\*, Jung Bum Kim\*,  
and Kyoung Rok Cho\* *Regular Members*

### 요 약

PLL(Phase Lock Loop)은 이동통신기기에서 가장 중요한 기술의 하나로 일반적인 구조는 phase detector, loop filter, VCO로 구성되어진다. 그러나 이러한 구조로는 jitter가 증가하고 tracking 속도가 느려, 보다 정밀한 주파수 추적을 위하여 loop filter 전단에 charge pump 회로를 추가하는 구조가 사용되고 있다. 본 연구에서는 CMOS의 선형부하특성을 이용하여 PLL용 charge pump 회로를 설계하였다. CMOS로 설계되어진 charge pump 회로는 바이어스 및 부하저항, 차동증폭기, dc 레벨의 천이를 위한 출력부분으로 나눌수 있다. 설계된 회로는 0.8 $\mu$ m CMOS 기술로 제작되었고, 기존의 charge pump 회로와 성능을 비교한 결과 출력전류와 전류이득이 증가하였으며 출력의 선형성이 우수함을 확인할수 있었다.

### ABSTRACT

PLL(Phase Lock Loop) is widely used for telecommunication. A conventional PLL consists of phase detector, loop filter and VCO. But if charge pump add between phase detector and loop filter, we have low jitter and tracking ability of PLL. This paper designed charge pump circuit for PLL using CMOS. The charge pump circuit has three part(bias circuit and load resistance, differential amplifier, and output circuit for dc level shift). This circuit is fabricated 0.8 $\mu$ m CMOS process. Comparing with conventional charge pump circuit, we have good result of output current and current gain. And we have good linearity.

\*충북대학교 정보통신공학과

\*\*한국전자통신연구소 ATM교환연구실

論文番號:97397-1104

接受日字:1997年 11月 4日

## I. 서 론

이동통신에서 가장 필수적인 주파수 합성기술에는 DDFS(Direct Digital Frequency Synthesis)와 PLL(Phase Locked Loop)이 있다. DDFS는 spectrum sensitivity가 좋고 높은 스위칭속도를 가지나 구조가 매우 복잡하며 PLL에 비해 규모가 크다. PLL은 넓은 범위에서 tracking을 할수 있으며 비교적 저렴한 가격으로 구성할수 있고 안정도와 VLSI에의 의존성이 높기 때문에 통신시스템을 위해 매우 유용한 주파수 제어 기술이다.<sup>[7][8][9]</sup> 또한 PLL을 사용하는 가장 큰 이유는 고주파대의 신호원을 조정 가능한 신호원으로 바꾸고 고주파대의 잡음특성을 low quality 신호원으로 바꾸기 용이하기 때문이다.<sup>[5][6][14]</sup>

일반적으로 PLL은 위상비교기, 루프 필터, VCO로 구성된다. 그러나 charge pump PLL은 위상 비교기와 루프 필터의 사이에 charge pump를 삽입하며 charge pump PLL은 기존의 PLL보다 더 정확하고 오차가 적은 출력을 얻을수 있다.

본 논문에서는 PLL에 사용될 charge pump회로를 제안한다. II장에서는 charge pump PLL의 구조와 동작을 설명하였고 III장에서는 기존의 charge pump 회로를 소개하였으며 IV장에서는 CMOS로 설계한 charge pump 회로와 시뮬레이션 결과를 정리하였다. V장에서는 설계한 회로를 chip으로 구현하여 테스트한 결과를 기존의 charge pump 회로와 성능을 비교하였다.

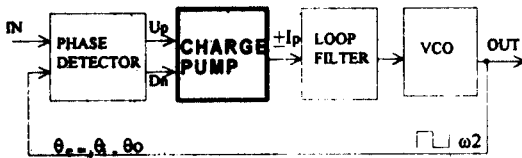


그림 1. Charge pump PLL의 구조  
Fig. 1. Block diagram of charge pump PLL

## II. Charge pump PLL의 구성과 동작 원리

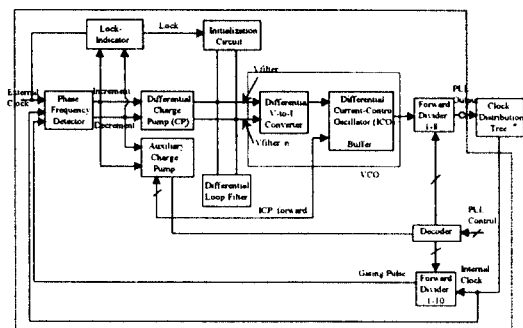
PLL설계에서 tracking 성능과 jitter가 낮은 특성을 갖기 위해서는 위상비교기와 루프 필터의 사이에

charge pump 회로를 추가할 수 있다. 그림 1은 charge pump PLL의 구조<sup>[11]</sup>로서 이 구조의 동작을 간단히 설명하면 다음과 같다.

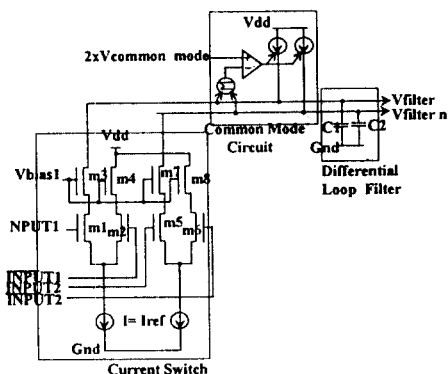
위상비교기는 기준신호와 출력신호의 위상을 비교하여 Up, Dn 신호를 출력한다. 위상비교기의 출력신호(Up, Dn)에 따라 charge pump 회로는 펌프전류인 +Ip, -Ip를 루프필터에 공급한다. 그러나 PLL이 안정된 동작상태에서는 고임피던스 상태로 되어 전류의 이동은 없게 된다.<sup>[11]</sup> 이러한 논리관계는 루프필터의 전압을 변화시키고 이 전압값은 VCO의 입력전압으로 인가되어 PLL을 동작시킨다.

## III. 기존의 Charge pump 회로<sup>[3]</sup>

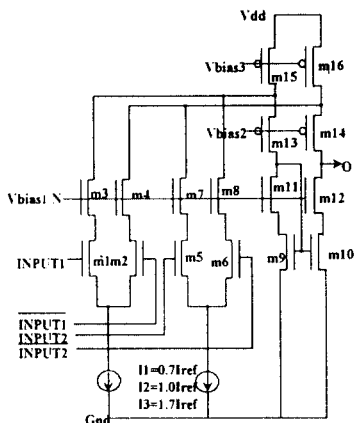
Charge pump PLL에 관한 연구는 지금까지 많이 진행되어져 왔으며 이에 따라 계속적으로 성능이 개선된 것을 볼 수 있었다. 그림 2는 가장 최근에 발표되어진 charge pump 회로를 나타내고 있다. 그림 2(b)는 차동 charge pump와 루프필터로서 이 charge pump 회로는 루프필터 커패시터에 일정한 common mode 전압을 유지함으로써 출력 동작 범위를 증가시키는 common mode 피드백을 가지고 있다. 또한 이 charge pump 회로의 부하전류는  $I = I_{REF} = 35\mu A$ 로 고정시켜 놓았다. 그림 2(c)는 보조 charge pump로서 PLL 루프의 안정도를 위해 common mode의 입력에 의해 조정되는 m1과 m2 그리고 m5와 m6는 전류미러인 m9, m10, m15, m16에 흐르는 전류에 의해 제어된다. 또한 병렬적으로 연결되어져 있는 m3, m4, m7, m8 그리고 m11~m14는 출력측의 임피던스를 증가시키기 위해 첨가되었다.<sup>[13]</sup> 이러한 charge pump회로는 두가지의 회로를 필요로 하지만 트랜지스터의 개수는 그다지 크지 않다. 또한 루프필터의 구조는 이러한 회로 구조에 따라 간단해진다. 그러나 차동 charge pump회로에는 임의의 V-I converter 회로가 연결되며 보조 charge pump회로에는 ICO로 연결되기 때문에 전체적인 PLL의 구성이 복잡해진다. 또한 회로에서 보면 입력과 출력이 모두 common mode를 이용하기 때문에 입출력의 지연이 전체적인 동작에 큰 문제점이 된다. 그러므로 이러한 charge pump회로를 이용하여 PLL의 성능을 평가하기 위해서는 위상 비교기와 charge pump, 루프필터 그리고 VCO를 동



(a) PLL 구조  
(a) The structure of PLL



(b) 차동 charge pump와 루프필터  
(b) Differential charge pump and loop filter



(c) 보조 charge pump

그림 2. 기존의 charge pump 회로<sup>[13]</sup>  
Fig. 2. Conventional charge pump

시에 동작시켜야 한다.

#### IV. 설계한 Charge pump 회로

그림 3은 본 논문에서 설계한 charge pump 회로이다. 이것은 그림 3에 있는 동작에 따라 스위칭 동작을 하도록 두 개의 차동 증폭기를 이용하여 설계되어졌다. 입력신호로는 위상비교기 출력(Up, Dn)의 common mode를 이용하므로 차동 증폭기 두 개를 연결하였다. 그러나 차동 증폭기만으로는 현재 사용되고 있는 통신기기들의 charge pump PLL에 적용하여 만족할 수 있을만큼 동작이 안정되지 못하므로 앞부분에 바이어스를 고정하기 위한 부하회로를 추가하였으며 출력측에는 charge pump 회로에서 발생한 출력이 루프필터로 입력되기 위한 신호를 dc 레벨로 천이하기 위한 회로가 있다. 그러므로 본 논문의 charge pump 회로는 부하회로, 차동증폭기, 출력회로로 구성된다. 그림 3의 회로에서 보면 부하회로, 차동증폭기 그리고 출력측 회로 모두 바이어스를 고정하기 위해 기준 입력(ref1, ref2)에 의해 영향을 받는다. 그러면 위의 같이 동작되는 본 논문의 charge pump 회로의 전달 함수는 아래와 같다.

$$\frac{V_o}{V_i} = \frac{g_m^2 + sD + s^2E}{(R_{39} + g_m R_{27}) + sA + s^2B + s^3C} \quad (2)$$

여기에서  $V_i$ 는 위상비교기의 출력을 입력받는 차동증폭기의 입력으로서 그림 4에서 보면 up1, up2, dn1, dn2이다. 그리고 위 식에서 A, B, C, D, E는 다음과 같다.(첨자로 붙은 숫자들은 트랜지스터 번호에 따라 결정했다.)

$$A = \left( \frac{1}{r_{027} // R_{39}} + g_m R_{27} \right) C_{gd39} + \left\{ (1 - R_{27}) C_{gd27} + C_{gs39} \right. \\ \left. + \left( \frac{R_{27}}{r_{01} // R_{39}} (C_{gs27} + C_{gd27}) \right) \right\} \frac{1}{r_{039}}$$

$$B = (C_{gs27} + C_{gd27}) \left( \frac{C_{gd27} R_{27}}{r_{039}} + \frac{C_{gd39} R_{27}}{r_{027} // R_{39}} \right) \\ + \frac{C_{gs39} R_{27}}{r_{039}} (C_{gs27} + C_{gd27}) \\ + C_{gd39} (C_{gd27} + C_{gs39}) - C_{gd27} C_{gd39} R_{27}$$

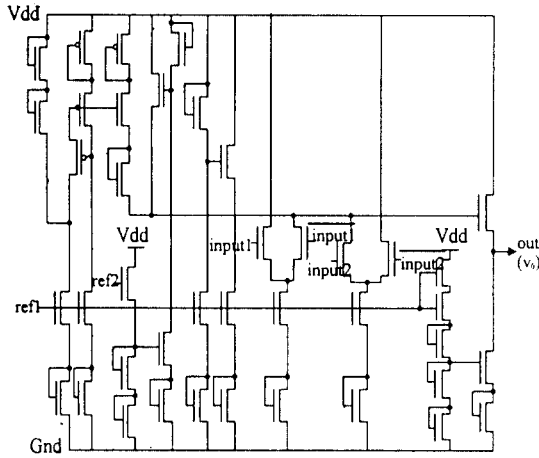


그림 3. 설계한 charge pump 회로도  
Fig. 3. 설계한 charge pump circuit

$$C = \{C_{gd27}(C_{gs27} + C_{gd27}) + C_{gs39}(C_{gs27} + C_{gd27})\} C_{gd39} R_{27}$$

$$D = C_{gd27} \cdot C_{gd39}$$

$$E = -g_m(C_{gs27} + C_{gd39})$$

전달함수를 통해서 보면 이 회로는 m27과 m30 그리고 m39에 의해 동작이 결정된다고 볼수 있다. 그러면 식(2)와 같은 전달함수를 가지는 회로의 각 부분을 분리하여 동작을 고려할수 있다.

#### 4.1 부하회로 및 바이어스 부분

그림 4는 charge pump회로중에서 차동 증폭기의 부하회로를 나타낸 것으로 이 회로는 바이어스를 조정하여 차동증폭기가 일정한 전압과 전류내에서 동작하도록 설계하였다. 그림 4에서 나타난 부하회로 부분의 전류  $I_A$ 는

$$I_A = i_{d11} + i_{d13} = k_n(V_{gs11} - V_{tn})^2 + k_n(V_{gs13} - V_{tn})^2 \quad (3)$$

이다.

식(3)에서 보면  $I_A$ 는 트랜지스터 m11과 m13의 입력인  $V_{gs11}$ 과  $V_{gs13}$ 에 의해 동작이 결정된다. 그러나 그

림 5에서 보면  $V_{gs13}$ 은 ref2 신호에 의한 고정바이어스로 동작이 되므로 실질적으로 이 부분은 트랜지스터 m13의 입력인  $V_{gs11}$ 이 전류  $I_A$ 를 결정한다고 볼수 있다.

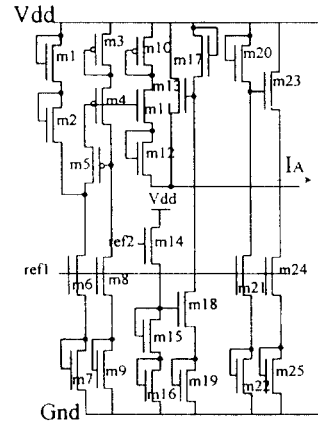


그림 4. Charge pump회로의 부하회로  
Fig. 4. Load of charge pump

그림 5는  $V_{gs11}$ 의 전압변화에 따른 부하회로부분의 출력전류  $I_A$ 의 변화를 나타낸 것이다. 본래  $V_{gs11}$ 은 1.5V~5V사이에서 선형적인 영역으로 동작할수 있지만 회로설계에서는  $V_{gs11}$ 의 전압을 3~4V 정도에서 동작하도록 조정하여 차동증폭기 부분을 안정되도록 하였다.

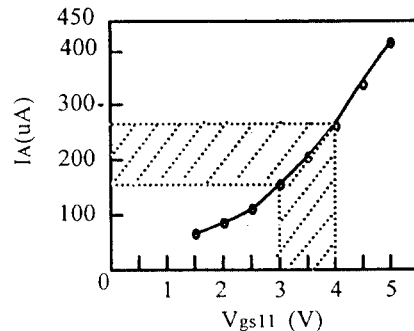


그림 5. 부하회로의 전류  
Fig. 5. Load current characteristic of circuit

### 4.2 차동 증폭기

그림 6은 charge pump 회로중에서 차동증폭기 부분을 나타낸 부분으로서 두 개의 차동증폭기를 연속적으로 연결하여 입력으로는 common mode를 이용하였다.

$$I_B = I_A - (i_{d27} + i_{d30})$$

$$i_{d27} + i_{d30} = k_n(V_{gs27} - V_{tn})^2 + k_n(V_{gs30} - V_{tn})^2 \quad (4)$$

이와 같은 식을 통해 차동증폭기부분의 출력전류값이 결정된다. 위 식(4)에 의하면  $I_B$ 는 트랜지스터 m27과 m30의 입력전압의 변화에 의해 값이 결정되며 또한 트랜지스터 m27과 m30의 입력인  $V_{gs27}$ 과  $V_{gs30}$ 이 전체적인 회로의 전달함수에도 큰 영향을 주게 된다. 식(4)에 의해  $i_{gs27}$ 과  $i_{gs30}$ 이 결정되면  $I_B$ 의 값은  $I_A$ 에 의해 결정됨을 알 수 있다. 그러므로 이와 같은 결과를 통해 위상비교기의 입력을 받는 차동증폭기는 부하회로의 바이어스 조절에 의해 동작의 특성이 결정된다는 것을 알 수 있다. 그림 8은 설계한 회로중에서 차동증폭기부분을 시뮬레이션 결과로서 바이어스를 고정한 부하회로의 영향에 의해 약 3V~5V내에서 전류가 변화하는 차동증폭기의 특성을 볼 수 있다.

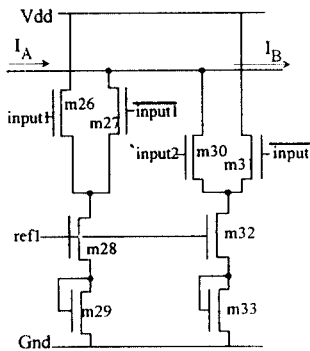


그림 6. Charge pump회로의 차동 증폭기  
Fig. 6. Differential amplifier of charge pump

### 4.3 출력 회로

그림 8은 출력안정회로이다. 이 부분은 부하회로의 영향을 받은 차동증폭기의 출력이 루프필터로 입력

되기 위한 적당한 dc레벨로 천이시키는 회로이다. 그림에서 보면 출력전류는  $i_{d39} = i_{d40}$ 이므로

$$k_n = (V_{gs39} - V_{tn})^2 = k_n(V_{gs40} - V_{tn})^2 \quad (5)$$

이다. 출력회로는 charge pump의 전압 swing폭과 출력전류를 결정하는 회로로서 식(5)는 출력회로의 동작을 나타내는 것으로 이것을 통해서 보면 차동증폭기의 출력전압인  $V_{gs39}$ 과 기준전압 ref1과 트랜지스터 m37의 동작상태에 따라서 영향을 받는  $V_{gs40}$ 의 전압이 이 부분의 출력값을 결정한다고 볼 수 있다. 그러므로 이러한 회로의 동작을 통해 볼때 출력회로는 차동증폭기의 출력을 루프필터로 입력되는 적당한 dc 레벨로 천이시켜주는 역할을 한다는 것을 알 수 있다.

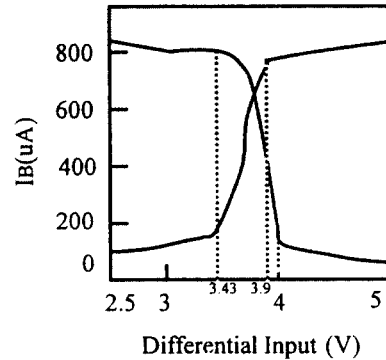


그림 7. 차동 증폭기 부분의 출력전류  
Fig. 7. Output current of differ-ential amplifier

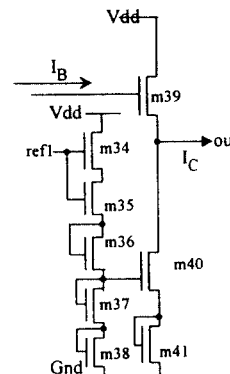
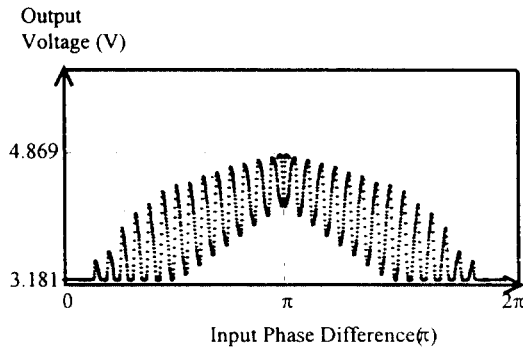


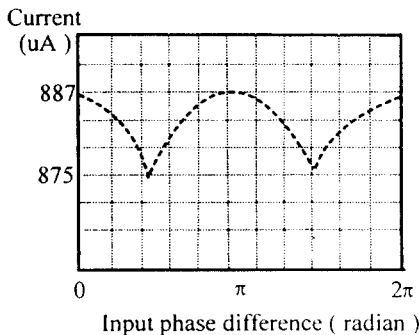
그림 8. 설계한 회로의 출력부분회로  
Fig. 8. Output part of charge pump

### V. 제작된 칩의 측정 결과

본 논문에서 설계한 charge pump 회로는 0.8 $\mu$ m 1-poly 2-metal CMOS 공정으로 제작되었으며 회로의 공급전압은 5V이다. 그림 9는 차동증폭기부분에 입력되는 Up, Dn입력의 변화율을 주기적으로 관찰하여 설계한 회로의 동작을 나타내는 것으로서 Up, Dn 신호의 변화에 따라 주기를 정하여 이에 따른 charge pump 회로의 출력파형을 관찰한 것이다. 출력전압 입력의 위상차가  $\pi$ 일때를 기준으로 하여 충전되고 방전되는 것을 볼 수 있으며 또한 출력전류도  $\pi$ 를 기준으로 동작됨을 볼 수 있다. 그림 9를 통해서 볼 때



(a) 입력의 변화에 따른 출력전압  
(a) Output Voltage



(b) 입력의 변화에 따른 출력전류  
(b) Output Current

그림 9. 한주기내에서 변화하는 출력 전압과 전류의 테스트 결과

Fig. 9. Test of output voltage and current in a period

논문의 회로가 선형성이 뛰어나함을 확인할 수 있다. 그림 9(a), (b)의 결과를 이용하여 charge pump 회로에 임의로 루프 필터를 연결하여 얻은 전압이득은

$$k_v = \frac{4.869 - 3.26}{\pi} \doteq 0.5122$$

이며 동일한 조건에서 전류를 측정하여 전류이득을 구해보면  $k_i = \frac{883}{\pi} \doteq 281.0676$

이다. 그림 10은 입력의 동작속도 변화에 따른 그래프로서 입력속도가 100Hz~100kHz까지 변화했을 때 전압이 swing되는 결과를 측정하였다. 그림 10을 통해서 볼 때 입력의 동작이 빨라짐에 따라 출력의 전압 swing 폭이 좁아지며 입력의 동작에 비례하여 동작됨을 볼 수 있다.

표 1은 제안한 회로와 기존의 회로의 성능을 비교한 표이다. 비교대상은 출력 전류와 누설 전류 그리고 전압의 swing 폭을 조사하였다. 출력전류는 기존의 회로에 비하여 약 5.9배 많으며 전류이득은 기존의 회로에 비하여 약 3.7배 증가하였다. 누설전류는 기존의 회로에 비하여 증가하였지만 출력전류의 증가를 고려하면 누설전류의 변화는 큰 영향을 주지 못한다. charge pump 자체의 스위치에서 off 상태의 전류누설로부터 발생하는 누설전류는 PLL을 구성하였을 때 심각한 위상오차를 일으킬 가능성이 매우 높고 또한 기존의 PLL이 charge pump PLL보다 누설전류에 의한 위상오차가 수십배 더 크다<sup>[3]</sup>는 사실을 통해

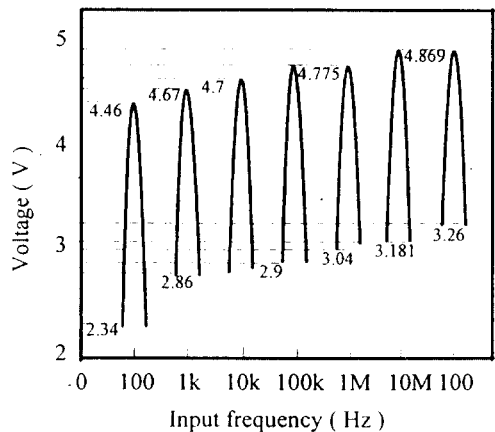


그림 10. 입력주파수의 변화에 따른 출력전압의 변화  
Fig. 10. Voltage swing output of frequency variance

표 1. 성능비교표

Table 1. Comparison of performance

|               | 기존의 charge pump <sup>[13]</sup> | 본 논문의 charge pump       |
|---------------|---------------------------------|-------------------------|
| 전류 이득 (Ip/2π) | (150)μA/2π<br>≒75               | 883μA/π<br>≒281.068     |
| 전압 Swing      | 0.7v~2.8v                       | 3.26v~4.869v            |
| 공급 전원         | 3.3V                            | 5V                      |
| 누설 전류         | 10μA<br>(출력 전류의 약 6.7%)         | 78μA<br>(출력 전류의 약 8.8%) |
| 공정 기술         | 0.5μm CMOS                      | 0.8μm CMOS              |

서 볼 때 표 1의 결과는 charge pump 자체의 동작뿐만 아니라 PLL을 구성하였을 때 동작의 안정도가 높으리라 기대할 수 있다. 또한 입력이 100kHz일 때를 기준으로 하여 출력전압의 swing폭을 측정하여 기존의 회로와 비교하였다.

기존의 PLL을 구성한 예를 보면 charge pump의 동작에 중점을 두고 루프필터의 동작은 간략화하는 경향이 많다. 그러므로 본 논문에서 설계한 charge pump는 표 1에서 보여지는 것처럼 기존의 회로와 비교하여 좋은 성능을 가지고 있기 때문에 저항이 필요 없는 루프필터를 구성할 수 있으며<sup>[13]</sup> 또한 누설전류가 출력전류의 증가에 비례하여 증가하지 않기 때문에 저항이 없는 루프필터를 구성한다 해도 적은 커패시턴스를 이용할 수 있을 것이다.

## VI. 결 론

본 논문에서 제안하는 PLL용 charge pump 회로는 CMOS로 설계하였으며 기존의 charge pump 회로와 비교하여 출력전류와 전류이득이 증가하였다. 그러나 기존의 회로에 비하여 누설전류가 증가함을 테스트를 통하여 확인할 수 있었다. 그렇지만 출력전류가 증가한 것에 비례하여 보면 누설전류는 동작에 큰 영향을 주지 않을 것이다. 그러므로 비교한 결과를 통

해서 볼 때 출력전류는 5.9배, 전류이득은 3.7배 개선되면서 누설전류의 변화는 적으므로 기존의 회로와 비교하여 설계한 회로의 동작 안정도가 높다는 것을 알 수 있다. 그리고 이 회로는 입력의 변화에 따라서 전압과 전류가 π를 주기로 하는 출력의 선형성이 다른 회로에 비하여 뛰어나며 전압의 swing 폭도 동작 속도에 비례하여 변화하는 것을 볼 수 있었다.

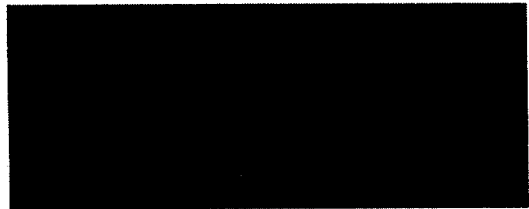


그림 11. 구현된 charge pump의 microphotograph  
Fig. 11. Microphotograph of the realized charge pump

## 참 고 문 헌

1. F.M.Gardner, "Charge Pump Phase-Lock Loop", *IEEE Trans. Communications*, vol. com-28, no. 11, pp. 1849-1858, Nov, 1980.
2. Mark Van Paemel, "Analysis of a Charge Pump PLL: A New Model", *IEEE Trans. Communications*, vol. 42, no. 7, pp. 2490-2498, July, 1994.
3. F.M.Gardner, "Phase Accuracy of Charge Pump PLLs", *IEEE Trans. Communications*, vol. com-30, pp. 2362-2363, Oct, 1982.
4. Roman S. Co, "Optimization of Phase-Locked Loop Performance in Data Recovery Systems", *IEEE Jour. Solid-State Circuits.*, vol. 29, pp. 1022-1035, Sep., 1994.
5. Dejan Mijuskovic, "Cell-Based Fully Integrated CMOS Frequency Synthesizers", *IEEE Jour. Solid-State Circuits.*, vol. 29, pp. 271-278, Mar., 1994.
6. Kurt M. Ware, "A 200MHz CMOS Phase-Locked Loop with Dual Phase Detector", *IEEE Jour. Solid-State Circuits.*, vol. 24, pp. 1560-1568, Dec., 1989.

7. Manop Thamsirianunt, "A 1.2 $\mu$ m CMOS Implementation of a Low-Power 900MHz Mobile RadioFrequency Synthesizer", *IEEE Jour. Custom Integrated Circuit Conference.*, pp. 383-386, 1994.
8. Ian A. Young, "A PLL Clock Generator with 5 to 110 MHz of Lock Range for Microprocessors", *IEEE Jour. Solid-State Circuits.*, vol. 27, pp. 1599-1606, Nov., 1992.
9. Jose Alvarez, "A Wide-Bandwidth Low-Voltage PLL for PowerPCTM Microprocessors", *IEEE Jour. Solid-State Circuits.*, vol. 30, pp. 383-390, Apr., 1995.
10. Yuichi Kado, "A 1GHz/0.9mW CMOS/SIMOX Divide-by-128/129 Dual-Modulus Prescaler Using a Divide-by-2/3 Synchronous Counter", *IEEE Jour. Solid-State Circuits.*, vol. 28, pp. 513-517, Apr., 1993.
11. F.M.Gardner, *Phase Lock Techniques, 2nd ed.*, New York; Wiley, 1979.
12. Ricky F. Bitting, William P. Repasky, "A 30-128 MHz Frequency, Synthesizer Standard Cell", *IEEE Custom Integrated Circuits Conference.*, 24.1.1~24.1.6, 1992.
13. Ilya I. Novof, "Fully Integrated CMOS Phase-Locked Loop with 15 to 240 MHz Locking Range and  $\pm 50$ ps Jitter", *IEEE Jour. Solid-State Circuits.*, vol. 30, pp. 1259-1266, Nov., 1995.
14. Howard C. Yang, Lance K. Lee, and Ramon S. Co, "A Low 0.3-165MHz CMOS PLL Frequency Synthesizer for 3V/5V Operation", *IEEE Jour. Solid-State Circuits.*, vol. 32, pp. 592-586, Apr., 1997.



최 은 주(Choi Eun Ju) 정회원  
1973년 11월 23일생.  
1996년 2월: 충북대학교 정보통신공학과 졸업(공학사)  
1996년 3월~현재: 충북대학교 정보통신공학과 대학원 재학중

※주관심분야: 통신용 ASIC 설계, 디지털/아날로그 회로 설계 등

최 은 창(Eun Chang Choi) 정회원  
한국통신학회 논문지 제21권 제12호 참조



김 정 범(Jung Bum Kim) 정회원  
1985년 2월: 인하대학교 전자공학과(공학사)  
1987년 2월: 인하대학교 대학원 전자공학과(공학석사)  
1997년 2월: 포항공과대학교 대학원 전자전기공학과(공학박사)

1987년 1월~1992년 5월: 금성반도체(현 LG반도체) 중앙연구소 선임연구원  
1994년 8월~1997년 9월: 현대전자 시스템 IC 연구소 책임연구원  
1997년 9월~현재: 충북대학교 전기 전자공학부  
※관심분야: VLSI 설계, CAD, Multi-Valued Logic



조 경 록(Kyoung Rok Cho) 정회원  
1977년 2월: 경북대학교 전자공학과(공학사)  
1989년 2월: 일본동경대학교 전자공학과(공학석사)  
1992년 2월: 일본동경대학교 전자공학과(공학박사)  
1979년 7월~1986년 7월: (주)LG

전자 TV연구소 선임연구원  
1992년 3월~1992년 8월: (재) 산업과학기술연구소 주임연구원  
1992년 8월~현재: 충북대학교 정보통신공학과 부교수  
※관심분야: 고속 VLSI 회로설계, 통신용 LSI개발, 컴퓨터 구조 및 마이크로 프로세서 설계 등