

공간 분할 방식과 공유 메모리 방식을 이용한 멀티캐스트 ATM 스위치 설계

正會員 이 병 천*, 정 재 일**, 박 섭 형***

Design of a Multicast ATM Switch Using Space Division and Shared Memory

Byung Chun Lee*, Jae Il Jung**, Seop Hyeong Park*** *Regular Members*

※이 논문은 1997년도 한양대학교 교내 연구비에 의하여 연구되었음.

요 약

본 논문에서는 배처 반얀망(Batcher banyan network)과 멀티캐스트 셀 버퍼 메모리(multicast cell buffer memory)를 이용한 새로운 멀티캐스트 ATM 스위치를 제안한다. 제안된 스위치는 유니캐스트 셀(unicast cell)과 멀티캐스트 셀에 따라 서로 다른 방식으로 전송한다. 즉, 유니캐스트 셀은 배처 반얀망으로 전송되고 멀티캐스트 셀은 멀티캐스트 셀 버퍼 메모리에 저장후 원하는 수만큼 출력단으로 전송된다. 기존의 멀티캐스트 ATM 스위치에서의 데드락(deadlock) 현상은 스위치의 스루풋(throughput)을 현격히 감소시킨다. 제안된 스위치는 유니캐스트 셀과 멀티캐스트 셀을 서로 다른 방식으로 전송함으로써 데드락 현상을 제거할 수 있다. 해석적인 분석 및 시뮬레이션을 통하여 제안된 스위치의 성능을 보여준다.

ABSTRACT

This paper proposes a new multicast ATM switch using Batcher banyan network and multicast cell buffer memory. The proposed switch provides different routes according to cell type. Unicast cells pass through the Batcher banyan network. On the other hand, multicast cells are stored in a multicast cell buffer memory and then replicated to multiple outputs. In general, the deadlock extremely reduces the throughput of multicast switch. The proposed

*LG 정보통신

**한양대학교 전자전기공학부

***한국통신 통신망연구소 초고속망연구실 네트워크서비스팀장

論文番號:97417-1120

接受日字:1997年 11月 20日

switch provides deadlock-free multicast by using Batcher banyan network and multicast cell buffer memory simultaneously. Analytic and simulation results are presented to evaluate the performance of the switch.

I. 서론

광대역 종합통신망(Broadband Integrated Services Digital Networks: B-ISDN)은 영상 통신, 고속 데이터 통신 등 광범위한 서비스를 지원해야 한다. 이러한 서비스를 효과적으로 지원하기 위해 비동기식 전송 모드(Asynchronous Transfer Mode: ATM)를 채택하고 있다. ATM 스위치는 유니캐스트 연결 뿐만 아니라 영상 원격회의(video teleconferencing), VOD(Video On Demand), LAN 브리징, 분산데이터 처리와 같은 네트워크 응용분야에서 요구되어지는 멀티캐스트 연결을 유동성 있게 제공하여야 한다. ATM 망의 멀티캐스팅 기능은 하나의 발신측(source)에서의 셀을 다수 목적지로 동시에 전송하는 것이며 이에 관한 연구가 활발히 진행되고 있다[1-4,6-10,12].

지금까지 제안된 다수의 멀티캐스트 스위치들은 셀 복사(replication) 및 라우팅(routing) 방식에 따라 크게 공유 메모리(shared memory), 공유 매체(shared medium) 및 공간 분할(space division)형 스위치로 구분된다. 메모리형 및 공유 매체형에서는 모든 입력 트래픽들이 입력 라인 속도의 N배인 단일 대역 스트림으로 멀티플렉싱 되어야 하며, 트래픽의 중앙 집중 제어가 요구되는 단점이 있으나 최근 메모리 액세스 속도의 증가로 이러한 점을 극복하고 있다. 이에 반해 공간 분할 스위치는 입출력간에 입력라인 속도와 동일한 다수의 동시 경로가 제공되며, 스위치 구조를 통해 트래픽의 분산 제어가 가능한 장점이 있다. 그러나 공간 분할 방식의 멀티캐스트 ATM 스위치인 경우 부가적인 하드웨어와 셀들의 내부 충돌로 인하여 스루풋이 감소되는 단점이 있다. 공간 분할 방식의 멀티캐스트 ATM 스위치 구조는 1)라우팅망 전단에서 셀을 복사 하는 방법[5], 2)라우팅망 내에서 셀의 복사와 동시에 목적지로 전송하는 방법[3], 3)라우팅망에서 충돌이 발생된 셀들을 다시 입력으로 순환시키면서 원하는 목적지로 전송하는 방법[8]으로 분류할 수 있다. 첫 번째 방법은 라우팅망 전단에 복사망을 부가하여 복사망에서 복사되어진 셀을 라우팅망

에서 목적지로 전송시키는 것으로써 하드웨어 오버헤드가 크다. 두 번째 방법은 하드웨어 오버헤드가 적은 반면 스루풋이 첫 번째 방법 보다 감소된다는 단점이 있다. 라우팅망에서 셀을 순환시키는 방법은 전송 지연(delay)이 문제가 된다. 멀티캐스트 ATM 스위치는 이미 많은 연구가 이루어져 있으나 가장 큰 문제점은 유니캐스트 셀과 멀티캐스트 셀을 복사망에 함께 전송시킴으로써 복사망에서의 멀티캐스트 셀이 다른 멀티캐스트 셀과의 충돌로 인하여 셀이 손실되는 데드락 현상[1]이다. 이러한 멀티캐스트 셀 하나의 손실은 결국 복사수 만큼의 손실을 초래하게 된다. 따라서 데드락 현상은 스위치의 스루풋을 현저히 감소시킨다. 지금까지 멀티캐스트 ATM 스위치 성능을 향상시키기 위해 다양한 패킷 복사망과 멀티캐스트 라우팅 알고리즘들이 제안되었다[8-9].

본 논문에서는 배치 방안망과 멀티캐스트 및 우선순위 제어(priority control)에 유리한 공유 메모리(shared buffer memory)형 스위치를 병렬로 사용하여, 유니캐스트 셀은 배치 방안망을 통해 원하는 목적지로 전송시키며 멀티캐스트 셀은 메모리형 스위치를 사용하여 하나의 소스 셀로부터 여러 목적지로 복사함으로써 스위치 성능을 향상 시켰다.

서론에 이어 II장에서는 제안한 스위치에 대해 설명한다. III장에서는 셀 손실률을 해석적으로 분석한다. IV장은 해석적 분석결과 및 컴퓨터 시뮬레이션을 통해 얻어진 결과를 비교 분석한다. 마지막으로 V장에서 본 논문에 대한 결론을 다룬다.

II. 제안한 멀티캐스트 ATM 스위치

본 논문에서는 그림 1에서 보는 바와 같이 유니캐스트 셀과 멀티캐스트 셀을 분리하여 각각 전송하는데, 이렇게 분리된 유니캐스트 셀은 P개의 병렬 배치 방안망으로 분산 전송하며 멀티캐스트 셀은 버퍼 메모리로 전송한다. 유니캐스트 셀과 멀티캐스트 셀이 각각 독립적으로 전송되어진 후 각각의 셀들은 원하는 출력단 OC의 버퍼로 전송한다. 멀티캐스트 셀을

유니캐스트 셀과 달리 멀티캐스트 버퍼 메모리로 전송함으로써 앞 절에서 언급한 데드락 현상을 제거할 수 있다. 따라서 제안한 스위치는 유니캐스트 셀과 멀티캐스트 셀의 손실을 감소시킬 수 있다.

1. 스위치 구조

그림 1은 제안된 멀티캐스트 ATM 스위치의 구조를 나타낸다. 이러한 멀티캐스트 ATM 스위치는 유니캐스트 셀 라우팅 부분(unicast cell routing part), 멀티캐스트 셀 버퍼 메모리 부분(multicast cell buffer memory part), IC(Input Controller), OC(Output Controller)들로 구성된다. 입력포트로부터 들어온 셀은 IC에서 유니캐스트 셀과 멀티캐스트 셀을 구분하며, 유니캐스트 셀은 배처 반양방향으로 진입하며 멀티캐스트 셀은 멀티캐스트 버퍼 메모리로 저장된다. 이때 그림 3에 설명되어 있는 각 셀의 ATM 스위칭 헤드를 비교한다. ATM 스위칭 헤드의 FAN이 "1" 이면 유니캐스트 셀로, "2" 이상이면 멀티캐스트 셀로 구분한다. 다음으로 제안한 멀티캐스트 스위치에서의 각 부분에 대한 설명이다.

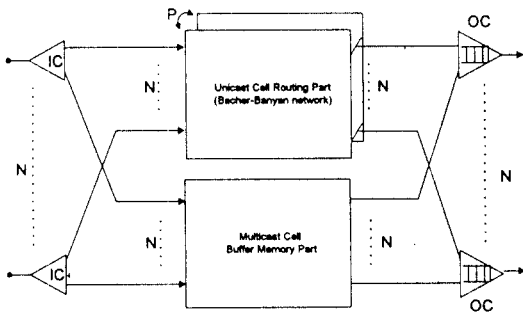


그림 1. 제안한 멀티캐스트 ATM 스위치 구조
Fig. 1 Proposed multicast ATM switch architecture

- IC: IC는 각각의 입력포트로부터 들어오는 셀을 유니캐스트 셀과 멀티 캐스트 셀로 구분 하는 디멀티플렉스 기능을 한다.
- OC: OC는 유니캐스트 셀 라우팅 스위치에서 나온 셀과 멀티캐스트 셀 메모리로부터 나온 셀을 최종적으로 출력단으로 전송시키는 역할을 한다. 출력단의 충돌을 해소하기 위해 OC 내부에

k 개의 FIFO 버퍼를 위치시킨다.

- URP(Unicast cell Routing Part): IC로부터 분리된 유니캐스트 셀을 전송시키는 기능을 가지고 있으며 내부 구조는 배처 반양방향으로 구성한다. 여기서 URP는 P 개의 평면으로 구성하며 각각의 평면은 병렬구조로 설계한다.
- MBMP(Multicast cell Buffer Memory Part): IC로부터 분리된 멀티캐스트 셀을 복사, 전송 하는 기능을 가지고 있으며 공유 메모리 방식의 구조를 가지고 있다.

그림 2는 멀티캐스트 셀 버퍼 메모리 부분에 대한 설명이다. 멀티캐스트 셀 버퍼 메모리 부분은 MUX (Multiplexer), DMUX (Demultiplexer), 멀티캐스트 셀 버퍼 메모리, 멀티캐스트 라우팅 테이블(MRT), 스위칭 프로세서(SP)로 구성된다. 입력단에서 IC를 통해 분리된 멀티캐스트 셀은 멀티캐스트 셀 버퍼 메모리에 저장된다.

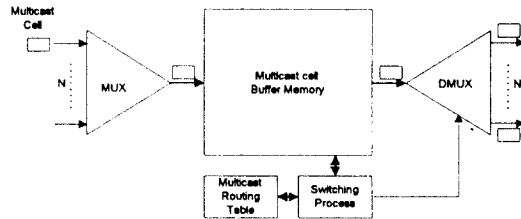


그림 2. 멀티캐스트 셀 버퍼 메모리 부분
Fig. 2 Multicast cell buffer memory part

- MRT: 멀티캐스트로 분류되어 들어오는 셀들에 대해 복사되어질 셀들의 목적지 주소에 대한 정보를 담고 있다. MRT는 SP에 의해서 매 사이클마다 갱신되어진다.
- SP: 매 사이클마다 멀티캐스트 라우팅 테이블을 갱신하며 멀티캐스트 라우팅 테이블을 참조하여 복사된 셀의 원하는 목적지 주소를 부여한다.

그림 2에서 입력포트 1에 복사수가 k 인 멀티캐스트 셀이 들어왔다고 했을 때 MUX를 통해 멀티캐스트 셀 버퍼 메모리에 저장된다. 저장된 멀티캐스트 셀은 MRT를 참조하여 복사 수에 따라 SP는 DMUX에 제어 신호를 보낸다. 제어 신호를 받은 DMUX는 원하는 만큼의 셀을 OC로 전송한다. 그리고 각 OC로 전

송되기 전에 복사되어진 멀티캐스트 셀은 SP에 의해서 실제 목적지 주소를 부여받게 된다. 본 논문에서 출력 부하(load)는 "1"로 가정했다. 따라서 셀의 복사율이 "1"로 가정한다면 유니캐스트 셀은 존재하지 않으며 멀티 캐스트 셀은 최대 $N/2$ 개를 넘지 않음을 알 수 있다. 그러므로 본 논문에서 요구되어지는 메모리 크기는 일반적인 공유 메모리형 스위치의 메모리 크기 보다 1/2 이상 줄어들게 됨을 알 수 있다. 구체적인 내용은 다음 절에서 언급하기로 한다. 이러한 멀티캐스트 ATM 스위치는 기존 연구의 높은 셀 손실률을 감소시킬 수 있었으며, 또한 메모리 크기를 1/2 이상으로 줄임으로써 하드웨어 오버헤드도 감소됨을 알 수 있다.

2. 스위칭 헤드 구조

스위치 내에서 전송되는 셀 구조는 그림 3과 같다. ATM 유효부하(payload) 부분은 스위치에 도달한 53 바이트의 ATM 셀을 의미하며 ATM 스위칭 헤드 부분은 스위치 내 셀 전송을 위한 정보를 담고 있는 공간이다. 그림 3에서와 같이 ATM 스위칭 헤드는 라우팅 정보를 나타내는 $D_0, \dots, D_1, D_2, D_3, \dots$, 셀의 복사 수를 나타내는 FAN(fanout field)으로 구성된다. 멀티캐스트 셀일 경우 FAN은 셀의 복사 수를 나타내므로 라우팅 정보영역처럼 스테이지 수와 동일한 비트를 갖는다. 따라서 FAN은 $\log_2 N$ 비트의 크기를 가진다. 유니캐스트 셀인 경우, FAN은 "1"이며 하나의 비트를 차지한다. 본 논문에서의 스위칭 헤드는 멀티캐스트 셀일 경우, $2\log_2 N$ 비트 크기와 유니캐스트 셀일 경우, $2\log_2 N + 1$ 비트를 갖는다.

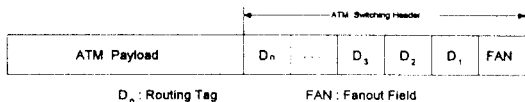


그림 3. ATM 스위칭 헤드 구조
Fig. 3 The structure of ATM switching header

III. 성능분석

제안된 스위치의 셀 도착은 각 입력포트에서 서로 독립적이며 베르누이(Bernoulli) 프로세스를 따른다.

전체 입력포트 N 에서 셀이 존재하는 포트의 비율 입력 부하(input load)라 한다. 입력포트로 들어오는 셀들은 모두 고정된 ATM 셀로 가정한다. 목적지 주소의 확률 분포는 균일 분포를 따른다. 본 논문에서 성능을 분석하기 위해 아래와 같이 변수가 정의되며 성능 분석의 편리함을 위해 스위칭과 출력 버퍼 부분을 나누어서 해석한다.

- L_{in} : 입력단에서 입력 부하
- C_{in} : 입력단에서 멀티캐스트 소스 셀 비율
- C_{out} : 출력단에서 복사되어진 멀티캐스트 셀 비율
- N : 스위치 크기
- λ_{in} : 입력단에서 셀 도착율
- λ_m : 멀티캐스트 셀 도착율
- λ_u : 유니캐스트 셀 도착율
- CLR : 스위치에서 전체 셀 손실률

입력단에서 유니캐스트 셀 수는 $N(1 - C_{out})$, 입력단에서 멀티캐스트 소스 셀 수는 NC_{in} , 출력단에서 멀티캐스트 셀 수는 NC_{out} 이며 스위치 입력단에서 멀티캐스트 셀 도착율 λ_m 과 유니캐스트 셀 도착율 λ_u 는 다음과 같다.

$$\lambda_m = \lambda_{in} C_{out} \tag{1}$$

$$\lambda_u = \lambda_{in} (1 - C_{out}) \tag{2}$$

제안한 논문은 유니캐스트 셀과 멀티캐스트 셀이 서로 독립적으로 전송되므로 단계 1부터-단계 3까지의 과정을 통해 성능을 분석할 수 있다.

단계 1. 유니캐스트 셀

유니캐스트 셀 스위치로 진입하는 셀 도착율은 λ_u 이다. 유니캐스트 셀 스위치의 분석을 위해 아래와 같이 정의한다.

- P : 스위치 평면 수
- n : 스위치 스테이지 수($\log_2 N$)
- $u_i(k)$: k 스테이지까지 SE의 입력단에 셀이 존재할 확률
- $q(k)$: 셀이 $k-1$ 스테이지에서 k 스테이지로 전송될 확률

- $\lambda_u(k)$ 스테이지로의 유니캐스트 셀 도착률
- CLR_u : 유니캐스트 셀 스위치에서의 셀 손실률

k 스테이지에서 SE의 입력단에 셀이 존재할 확률 $u_1(k)$ 와 k 스테이지에서의 도착률 $\lambda_u(k)$ 는 다음과 같다.

$$u_1(k) = \frac{1}{P} \lambda_u(k-1)u_1(k-1), \quad k \geq 1. \quad (3)$$

$$u_0(k) = 1 - u_1(k). \quad (4)$$

$$\lambda_u(k) = q(k)\lambda_u(0) \quad (5)$$

여기서 $u_1(k)$ 와 $\lambda_u(k)$ 의 초기값은

$$u_1(0) = L_{in} \quad (6)$$

$$\lambda_u(0) = \lambda_u \quad (7)$$

이다. 따라서 $k-1$ 스테이지에서 k 스테이지로 셀이 전송될 확률 $q(k)$ 는 다음과 같다.

$$q(k) = \sum_{j=0}^2 \binom{2}{j} u_1(k-1)^j u_0(k-1)^{2-j} [1 - (\frac{1}{2})^j]$$

$$= 1 - [1 - \frac{u_1(k-1)}{2}]^2 \quad (8)$$

여기서 $\sum_{j=0}^2 \binom{2}{j} u_1(k-1)^j u_0(k-1)^{2-j}$ 는 $k-1$ 스테이지에서 셀이 j 개 있을 확률이며 $1 - (\frac{1}{2})^j$ 는 j 개의

셀 중에서 적어도 하나의 셀이 다음 스테이지로 향한 확률이다. $k-1$ 스테이지에서 k 스테이지로 전송될 확률 $q(k)$ 는 $k-1$ 스테이지에서 셀이 j 개 존재할 확률에 j 개의 셀 중에서 적어도 하나의 셀이 k 스테이지로 전송될 확률의 곱과 같음을 알 수 있다. 다시 말해 k 스테이지에서 적어도 하나의 셀이 존재할 확률과 동일하다. 따라서 유니캐스트 스위치 부분의 출력단에서의 셀 개수는 $Nq(n)$ 임을 알 수 있다. 그러므로 유니캐스트 셀 스위치에서 셀 손실률 CLR_u 는 다음과 같다.

$$CLR_u = 1 - q(n). \quad (9)$$

유니캐스트 셀 스위치에서 스위치 평면 P 개로 병렬 전송할 때 OC로의 셀 도착률 λ'_u 은 다음과 같다.

$$\lambda'_u = Pq(n). \quad (10)$$

단계 2. 멀티캐스트 셀

멀티캐스트 셀 버퍼 메모리를 경유한 셀들은 입력 포트의 셀 수에 평균 복사수의 곱과 같다. 그러므로 멀티캐스트 셀은 멀티캐스트 셀 버퍼 메모리에서 λ'_m 의 비율로 빠져나간다. 여기서 C_{out}/C_{in} 는 멀티캐스트 소스 셀의 평균 복사 셀 수이다.

$$\lambda'_m = \lambda_m \frac{C_{out}}{C_{in}}. \quad (11)$$

단계 3. 출력 버퍼에서의 셀 전송

지금까지 유니캐스트 셀과 멀티캐스트 셀의 도착률과 OC에서의 도착률을 수식적으로 유도하였다. 단계 3에서는 유니캐스트 스위치 부분과 멀티캐스트 셀 버퍼 메모리 부분에서 독립적으로 전송된 셀들은 원하는 출력단으로 전송되며, 그림 4와 같이 OC 버퍼에 저장된다. 그림 4는 임의의 출력단에서의 OC를 보여주고 있다.

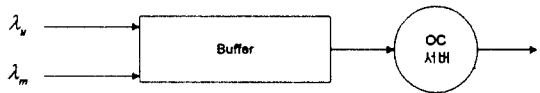


그림 4. OC 모델링
Fig. 4 OC Modeling

본 논문에서는 OC로 들어오는 $\lambda'_u + \lambda'_m$ 를 마코비안(Markovian)으로 가정하여, M/D/1으로 모델링한다. 여기서 출력 버퍼로 들어오는 셀 도착률은 $\lambda_0 = \lambda'_u + \lambda'_m$ 로 표현될 수 있다. 평균 서비스 시간을 s 라고 할 때, 시점 t 에 셀 개수가 m 개일 확률 $P_m(t)$ 는 아래와 같다.

$$P_m(t+s) = P_0(t) \frac{e^{-s\lambda_0} (s\lambda_0)^m}{m!} + P_1(t) \frac{e^{-s\lambda_0} (s\lambda_0)^m}{m!}$$

$$+ \sum_{k=2}^{m+1} P_k(t) \frac{e^{-s\lambda_0} (s\lambda_0)^{m-k+1}}{(m-k+1)!} \quad (12)$$

정상상태의 확률 P_m 은

$$P_m = a_m(P_0 + P_1) + \sum_{k=2}^{m+1} P_k a_{m-k+1}, \quad (13)$$

여기서 $a_m = \frac{e^{-s\lambda_u'} + s\lambda_m'}{m!}$ 으로 표현된다.

출력단의 평균 셀 수를 구하기 위해서

$$P(z) = \sum_{m=0}^{\infty} P_m z^m \quad (|z| \leq 1),$$

$$A(z) = \sum_{m=0}^{\infty} a_m z^m = e^{-s\lambda_u'(1-z)} \quad (14)$$

그러므로 식(14)는

$$P(z) = \frac{P_0(1-z)}{1 - \frac{z}{A(z)}}, \quad (15)$$

$$P_0 = 1 - s(\lambda_u' + \lambda_m') = 1 - \rho, \quad (16)$$

($\rho = \text{utilization}$)

로 표현할 수 있다. 따라서 임의의 시점에서 출력단의 셀 수는 다음과 같다.

$$P(z) = \frac{(1-\rho)(1-z)}{1 - ze^{\rho(1-z)}} \quad (17)$$

출력단에서 평균 셀 수 L 을 구하기 위해 식(17)을 z 에 대해 미분한 후 $z=1$ 을 대입한다.

$$\frac{dP(z)}{dz} \Big|_{z=1} = L = \rho + \frac{\rho^2}{2(1-\rho)} \quad (18)$$

버퍼에서 대기하는 평균 셀 수 L_q 는

$$L_q = L - \rho = \frac{\rho^2}{2(1-\rho)} \quad (19)$$

다음은 임의의 하나의 셀이 OC를 빠져나갈 때까지 기다리는 시간은

$$W = \frac{L}{\lambda_u' + \lambda_m'} \quad (20)$$

따라서 OC의 버퍼에 셀이 가득 차 있다면 다음에 오는 셀은 손실된다. 그러므로 OC에서의 셀 손실은 버퍼 크기에 좌우된다. 버퍼 크기 x 에 따른 셀 손실률 $CLR_{OC}(x)$ 는 다음과 같이 근사 시킬 수 있다[13].

$$CLR_{OC}(x) = e^{-\frac{1}{L}x} = e^{-\frac{\rho(2-\rho)}{2(1-\rho)}x} \quad (21)$$

스위치 전체 셀 손실률 CLR 은 다음과 같다.

$$CLR = CLR_u + CLR_{OC} - CLR_u CLR_{OC} \quad (22)$$

IV. 실험결과 및 분석

제안한 멀티캐스트 ATM 스위치의 성능 분석을 위한 시뮬레이션은 SUN SPARC W/S상에서 C언어로 구현하였다. 제안된 스위치의 성능평가를 위해 다음과 같은 가정과 정의를 한다.

- 셀이 스위치의 입력단에서 출력단까지 전송되는 시간을 스위칭 사이클(switching cycle)이라 정의한다.
- 한 스위칭 사이클 동안 유니캐스트 셀과 멀티캐스트 셀을 동시에 출력단까지 전송한다.
- 출력단에서 부하는 1이다.

- 복사율(C_{out}) = $\frac{\text{복사되어진 셀수}}{\text{출력포트 수}(N)}$

- 셀 손실률(CLR)

$$= \frac{\text{스위치내에서 손실된 셀 수의 합}}{\text{유니캐스트 셀 + 멀티캐스트 셀 복사 수의 합}}$$

그림 5-8은 제안한 스위치에 대한 상대적 성능평가의 객관성을 보장하기 위해 제안한 논문에서의 유니캐스트 셀 스위치 평면 수 P 를 "1"로, 출력단의 OC내 비퍼 수를 무한대, 출력단에서 셀 도착률 $\lambda_{out}=1$ 로 가정했다. 입력단에서 입력부하는 L_{in} , 출력단에서 복사되어진 멀티캐스트 셀 비율은 C_{out} 이다. 그림 5-8은 기존의 방법과 제안한 멀티캐스트 스위치의 셀 손실률을 비교한다. 그림에서 복사율이 증가함에 따라 스위치의 성능이 좋아짐을 알 수 있으며, BPS는 Broadcast Packet Switch[5], Balanced-tree는 Balanced-tree multicast ATM switch[1], Load-sharing는 Load-sharing banyan network[4]이다. 가로축은 스위치의 포트 수이며 세로축은 셀 손실률이다.

그림 5는 복사율 0.2, 입력부하 0.875일 때 스위치의 셀 손실률을 보여주고 있다. 복사율이 0.2이므로 멀티캐스트 셀 비퍼 메모리보다는 유니캐스트 셀 스위치에 부하가 상대적으로 많이 부과된다. 따라서 입력부하가 크고 멀티캐스트 입력부하가 적을 경우에

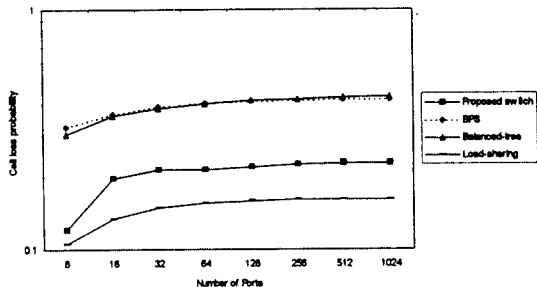


그림 5. 입력포트 수에 따른 셀 손실률(입력부하 = 0.875, 복사율 = 0.2)
 Fig. 5 Cell loss probability versus number of input ports ($L_{in} = 0.875, C_{out} = 0.2$)

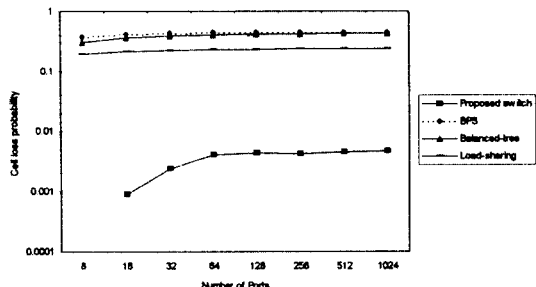


그림 8. 입력포트 수에 따른 셀 손실률(입력부하 = 0.5, 복사율 = 0.8)
 Fig. 8 Cell loss probability versus number of input ports ($L_{in} = 0.5, C_{out} = 0.8$)

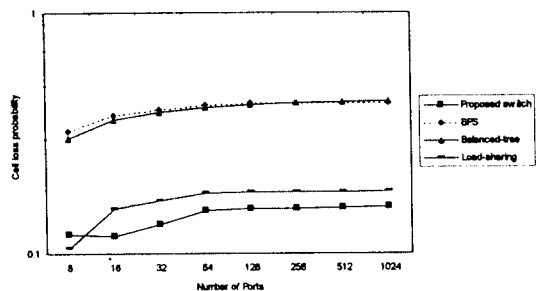


그림 6. 입력포트 수에 따른 셀 손실률(입력부하 = 0.8, 복사율 = 0.3)
 Fig. 6 Cell loss probability versus number of input ports ($L_{in} = 0.8, C_{out} = 0.3$)

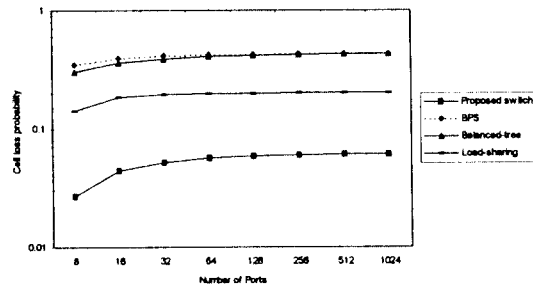


그림 7. 입력포트 수에 따른 셀 손실률(입력부하 = 0.7, 복사율 = 0.5)
 Fig. 7 Cell loss probability for versus input ports ($L_{in} = 0.7, C_{out} = 0.5$)

는 load-sharing 스위치 보다 셀 손실률 면에서 약간 높음을 알 수 있다. 그러나 복사율이 크거나 유니캐스트 셀 스위치 평면 수 P 를 증가시킴으로써 이 문제를 극복할 수 있다.

그림 9-12는 제한한 스위치의 컴퓨터 시뮬레이션 결과와 수학적인 모델링의 결과를 비교 분석하였다. 그림 9는 포트수에 따른 셀 손실률이다. 여기서 버퍼 수 20, 유니캐스트 셀 스위치 평면 수 7, 입력부하 0.8, 복사율 0.3에서의 결과이다. 스위치 크기(N)가 64-128 사이에서 셀 손실률이 10^{-6} 이하가 됨을 알 수 있다.

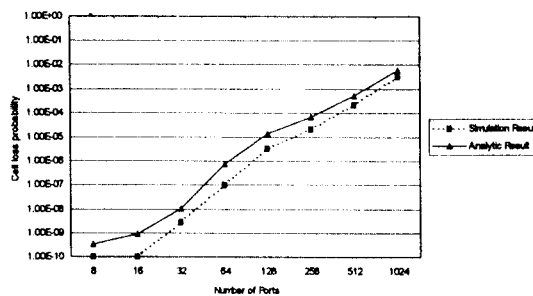


그림 9. 입력포트 수에 따른 셀 손실률
 Fig. 9 Cell loss probability versus number of input ports

그림 10은 출력 버퍼 크기에 따른 셀 손실률을 나타낸다. 여기서 스위치 평면 7, 스위치 크기 64, 입력부하 0.8일 때이다. 셀 손실률을 10^{-6} 을 기준으로 했을 때 버퍼 크기는 19-20임을 알 수 있다.

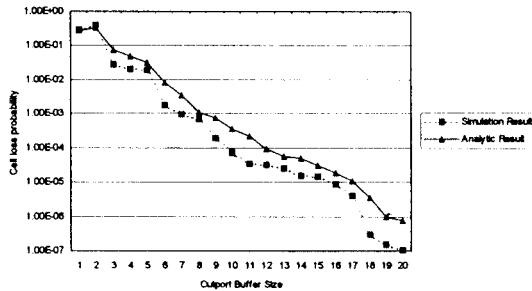


그림 10. 출력 버퍼 크기에 따른 셀 손실률
Fig. 10 Cell loss probability versus output buffer size

그림 11은 스위치 크기 64, 입력부하 0.8, 복사율 0.3 일 때 유니캐스트 셀 스위치 평면 수가 6-7에서 셀 손실률 10^{-6} 이하를 만족한다. 또한 그림 12는 복사율에 따른 셀 손실률을 보여 주며, 가로축은 복사율(C_{out})이고 괄호 안은 입력 부하(L_{in})를 나타낸다.

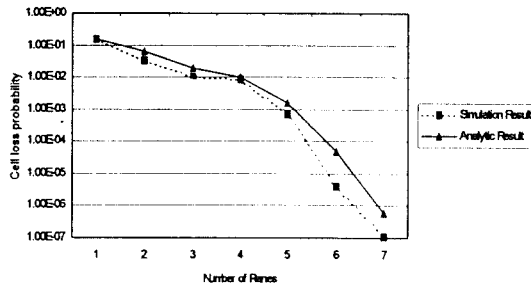


그림 11. 유니캐스트 스위치 평면 수에 따른 셀 손실률
Fig. 11 Cell loss probability versus number of unicast switch planes

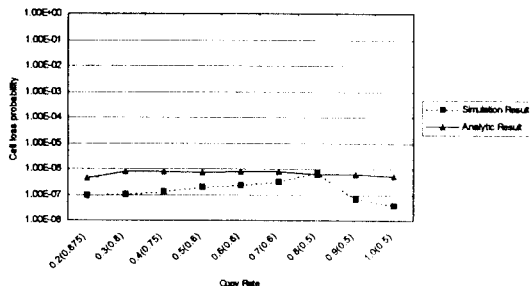


그림 12. 복사율에 따른 셀 손실률
Fig. 12 Cell loss probability versus copy rate

표 1에서 하드웨어 오버헤드를 기존의 스위치와 비교한다. 비교 기준으로 각 스위치의 SE 수를 비교하였다. N 은 포트 수를 나타내며 k 는 스테이지 수를 나타낸다. 그리고 M 은 메모리 크기를 나타내는데 제안된 스위치에서는 $N/2$ 개의 53 바이트 셀을 저장할 수 있는 크기로 할 경우 기존의 스위치를 보다 하드웨어 오버헤드가 감소됨을 알 수 있다. 또한 일반적인 공유 메모리 방식의 스위치 보다 제안이 간단하며 메모리 액세스 시간이 감소된다.

표 1. 하드웨어 복잡도 비교
Table 1. Comparison of the hardware complexity

구분	BPS	Load-sharing	Shuffle Exchange Net.	Proposed switch
SE 수	$\frac{3N}{2} \log_2 N$	$\frac{2N}{2} \log_2 N$	$\frac{3N}{2} (k + \log_2 N)$	$\frac{2N}{2} \log_2 N + M$

V. 결론 및 향후과제

본 논문에서는 공간 분할 방식인 배치 방안망과 공유 메모리 방식인 멀티캐스트 버퍼 메모리의 장점을 이용함으로써 스위치의 성능을 향상시킬 수 있는 멀티캐스트 ATM 스위치를 제안하였다. 기존의 공간 분할 스위치인 경우에 데드락 현상으로 인해 성능이 저하되며, 성능 향상을 위한 추가적인 하드웨어가 단점이다. 또한 기존의 공유 메모리 스위치에서는 메모리 액세스 시간과 유니캐스트와 멀티캐스트를 동시에 지원함에 따른 구현상의 복잡성이 단점이다. 제안된 멀티캐스트 ATM 스위치는 이들 두 가지 방식의 장점을 이용한 방식으로 셀 손실률이 크게 감소되며 하드웨어 오버헤드가 적어짐을 성능평가를 통해 알 수 있었다.

그러나 제안한 멀티캐스트 ATM 스위치는 복사율이 낮아질 때(입력부하=1, 복사율=0.1 이하), Load-sharing 멀티캐스트 스위치의 스루풋보다 약간 낮음을 알 수 있었다. 그 이유는 복사율이 낮아질 때 멀티캐스트 셀 버퍼 메모리의 사용이 적게 이루어지기 때문이다. 본 논문에서는 유니캐스트 셀 스위치 부분을 병렬로 P 개 연결함으로써 이 문제를 해결했다. 향후

에 하드웨어 오버헤드를 줄이기 위한 방법, 즉 복사율이 낮은 경우, 유니캐스트 셀을 공유 메모리 스위치로 전송시키는 것과 같은 스위치의 성능을 향상시키는 여러 가지 연구가 필요하다.

참 고 문 헌

1. Soung C. Liew, "A General Packet Replication Scheme for Multicasting with Application to Shuffle-Exchange Networks," *IEEE Trans. on Commun.*, Vol. 44, No. 8, pp. 1021-1033, Aug. 1996.
2. Chin-Tau Lea, "A Multicast Broadband Packet Switch," *IEEE Trans. on Commun.*, Vol. 41, No. 4, pp. 621-630, Apr. 1993.
3. Ka Lun Eddie LAW and Alberto Leon-Garcia, "Multicast and Self-Routing in ATM Radix Trees and Banyan Networks," *Proc. IEEE INFOCOM '95*, pp. 951-959, 1995.
4. Tony T. Lee, "Nonblocking Copy Networks for Multicast Packet Switching," *IEEE JSAC*, Vol. 6, No. 9, pp. 1455-1467, Dec. 1988.
5. Jonathan S. Turner, "Design of a Broadcast Packet Switching Network," *IEEE Trans. on Commun.*, Vol. 36, No. 6, pp. 734-743, Jun. 1988.
6. Jaehyung Park, Lillykutty Jacob and Hyunsoo Yoon, "Performance Analysis of a Multicast Switch based on Multistage Interconnection Networks," *Proc. IEEE INFOCOM '97*, pp. 941-948, 1997.
7. Yijun Xiong and Lorne Mason, "Multicast ATM Switches Using Buffered MIN Structure: A Performance Study," *Proc. IEEE INFOCOM '97*, pp. 926-933, 1997.
8. C. S. Raghavendra, Xiaoqiang Chen and Vijay P. Kumar, "A Two Phase Multicast Routing Algorithm in Self-Routing Multistage Networks," *IEEE International Conference on Communication*, Vol. 3, pp. 1612-1618, 1995.
9. H. Saito, H. Yamanaka, H. Yamada, M. Tuzuki, H. Kondoh, Y. Matsuda and K. Oshima, "Multicast Function and its LSI Implementation in Shared Multibuffer ATM Switch," *Proc. IEEE*

INFOCOM '94, pp. 315-322, 1994.

10. David X. Chen and Jon W. Mark, "Multicasting in the SCOQ Switch," *Proc. IEEE INFOCOM '94*, pp. 290-297, 1994.
11. Ra'ed Y. Awdeh and H. T. Mouftah, "Survey of ATM switch architectures," *Computer Networks and ISDN Systems 27*, pp. 1567-1613, 1995.
12. Xinyi Liu and H. T. Mouftah, "Queuing Performance of Copy Networks With Dynamic Cell Splitting for Multicast ATM Switching," *IEEE Trans. on Commun.*, Vol. 45, No. 4, pp. 464-472, Apr. 1997.
13. J M Pitts and J A Schormans, "Introduction to ATM Design and Performance with Application Analysis Software," *JOHN WILEY & SONS*, pp. 48-69, 1996.



이 병 천(Byung-chun Lee) 정회원
1969년 6월 16일생
1996년 2월: 동아대학교 공학사
(전자공학과)
1998년 2월: 한양대학교 공학석사
(전자공학과)
1998년 2월~현재: LG 정보통신
※주관심분야: ATM Switch, ATM Network, ATM Traffic Management



정 재 일(Jae-il Jung) 정회원
1959년 1월 14일생
1981년 2월: 한양대학교 공학사
(전자공학과)
1984년 2월: 한국과학기술원 공학석사
(전기 및 전자공학과)
1993년 6월: ENST Paris(프랑스 국립전기통신대학교) 공학박사
(네트워크공학과)
1984년 3월~1997년 2월: 한국통신 통신망연구소
1993년 1월~1993년 6월: CNET Lannion(프랑스국립 전기통신연구소) 연구원
1997년 3월~현재: 한양대학교 전자전기공학부 조교수
※주관심분야: ATM Network, Quality of Service/ Network Performance

박 섭 형(Seop-hyeong Park) 정회원
1961년 9월 21일생
한국통신학회 논문지 제 21권 제7호 참조