

완전 결합형 ATM 스위치의 성능분석 (I부:시뮬레이터 설계 및 구현)

正會員 전 용 희*, 박 정 숙**

Performance Evaluation of Fully Interconnected ATM Switch (Part I: The Simulator Design and Implementation)

Yong-Hee Jeon*, Jung-Sook Park** *Regular Members*

요 약

본 논문은 완전 결합형 ATM 스위치의 성능 분석에 관한 연구결과를 제시하고자 한 내용의 I부로서, 성능 분석을 위한 시뮬레이터 설계 및 구현에 대한 내용을 포함하고 있다. 개발된 시뮬레이터는 완전 결합형 구조를 가진 소규모 ATM 스위치에 대한 성능을 평가할 수 있도록 설계되었다. 시뮬레이터에서는 균일한 랜덤 트래픽뿐만 아니라 버스티한 트래픽과 같은 다양한 입력 트래픽 상황에서 성능을 평가할 수 있고, 또한 실제와 유사한 시뮬레이션 환경을 제공하기 위해 출력 포트 번지 설정에 균일 분포와 핫스팟 분포, 점대점 분포 등과 같은 비균일 분포를 사용하였다. 지금까지, 여러가지 ATM 스위치 구조 및 트래픽 제어 기법의 성능 해석을 위한 많은 논문들이 발표되었으나, 그러한 시스템이나 기법의 성능을 해석하기 위한 시뮬레이션 모델이나 도구에 대한 연구결과는 별로 발표된 바 없다. 그러므로, 본 논문은 ATM 노드의 효과적인 성능 분석을 위한 도구로 사용될 수 있고 시뮬레이터 개발의 참고자료로 사용될 수 있을 것으로 판단된다.

ABSTRACT

This paper is the part I of research results on the performance evaluation of fully interconnected ATM switch, and discusses the design and implementation of a simulator for the performance evaluation. The developed simulator was designed in order to evaluate the performance of a small-sized switch with the structure of fully interconnected ATM switch type. In the simulator we used bursty traffic model in order to incorporate the bursty nature of traffic carried in ATM networks and also used uniform random traffic model to evaluate performance in non-bursty and mixed environments. To provide various simulation environments, we considered both uniform and

*대구효성가톨릭대학교 공과대학 전자정보공학부

**대구효성가톨릭대학교 대학원 전산통계학과

論文番號:97005-0109

接受日字:1997年 1月 9日

nonuniform output distribution such as hot-spot distribution, point-to-point distribution etc. for output port address selection. So far, many papers were presented for the performance evaluation of several types of ATM switch structure and traffic control schemes. However, research results are rare with respect to the simulation models or tools for the performance evaluation of the system or the schemes. Therefore, it is expected that this paper can be used as a tool for the effective performance evaluation of ATM nodes and as a reference for the development of a simulator.

I. 서 론

일반적으로 통신 시스템의 성능 평가는 수학적 모델링에 의한 해석적 방법, 실제 시스템 상에서의 측정, 또는 시뮬레이션 등의 세가지 방법이 있다. 측정에 의한 평가는 가장 확실하지만, 시스템이 개발된 후에야 비로소 가능하므로 개발중인 ATM 망에는 적용할 수 없다. 그러므로 시스템 개발시에는 해석적 방법과 시뮬레이션 방법이 주로 사용된다. 수학적 모델링에 의한 해석적 성능 평가는 성능 분석시간이 빠르거나 장점은 있으나, 해석적으로 풀 수 있는 모델의 한계성으로 분석가능한 시스템 특성은 일부에 지나지 않으며, 모델링 자체가 비현실적인 가능성도 크다. 그러나 시뮬레이션 기법은 평가자가 원하는 수준까지의 상세한 시스템 모델링을 용이하게 해주며, 해석적 모델링보다 실제 시스템에 근접하는 모델링을 가능하게 한다. 특히 ATM 시스템과 같이 광대역화되고 복잡다양해진 서비스를 제공하는 망에서의 성능 평가는 컴퓨터 시뮬레이션 기법의 적용이 더욱 중요해지고 있다.

지금까지, 여러가지 ATM 스위치 구조 및 트래픽 제어 기법의 성능 해석을 위한 많은 논문들이 발표되었다. 그러나, 그러한 시스템이나 기법의 성능을 해석하기 위한 시뮬레이션 모델이나 도구에 대한 연구결과는 별로 발표된 바 없다. 따라서 본 논문에서는 ATM 노드의 성능을 평가하기 위한 시뮬레이터 설계 및 구현과 관련한 제반 사항들에 대해 기술한다. 개발된 시뮬레이터는 다중화기, 일반적인 Non-blocking 출력 버퍼형 ATM 스위치, 그리고 완전 결합형 구조를 가진 소규모 ATM 스위치에 대한 성능을 평가할 수 있도록 설계되었다. 시뮬레이터에서는 다양한 시나리오 구성을 위해 균일한 랜덤 트래픽뿐만 아니라 버스티한 트래픽과 같은 다양한 입력 트래픽 상황에

서 성능을 평가할 수 있고, 또한 출력 포트 번지 설정에 균일 분포와 비균일 분포 모두를 고려할 수 있게 하였다. [1]에서는 제한공유 버퍼형 ATM 스위치에 대하여 시뮬레이터를 제시하고 있다. 본 논문에서는 완전 결합형 ATM 스위치에 대한 시뮬레이터 설계 및 구현에 대하여 기술하고자 한다.

본 논문의 구성은 다음과 같다. 2절에서는 시뮬레이터 구축에 사용할 스위치 모델의 구조에 대해 간단히 기술하고, 3절에서는 시뮬레이터의 설계와 관련하여 여러 가지 입력 트래픽 모델, 출력분포 모델, 멀티캐스팅 기능 구현 등에 대해 설명한다. 4절에서는 시뮬레이터 구현시 적용되는 여러 가지 알고리즘들을 기술하고, 이어지는 5절에서는 시뮬레이션을 수행한 결과를 예를 통해 간략히 기술하며, 6절에서 결론으로 본 논문의 끝을 맺는다.

II. 시뮬레이션 모델

시뮬레이션에 사용한 ATM 노드의 모델로는 다중화기, 일반적인 Non-blocking 스위치 및 완전 결합형 ATM 스위치 등이 있지만 본 논문에서는 완전 결합형 ATM 스위치를 중심으로 기술한다.

1. 완전 결합형(Fully-Interconnected Type) ATM 스위치 모델

완전 결합형 ATM 스위치는 출력 버퍼형의 내부 블록킹이 없는 스위치이고, 각 입력 처리부와 각 출력 처리부는 전용 버스로 연결되어 있다. 그림 1은 완전 결합형 ATM 스위치의 모델을 보여준다.

버퍼의 크기는 IB(Internal Buffer)가 8셀, OB(Output Buffer)가 120 셀의 크기로 가정하였으며, 시뮬레이션에서 입력 파라미터로 값을 변경할 수 있다. 성능 향상을 위해 OB에서의 read 속도(R_r)를 IB에 쓰는 속도

(V_w)에 비해 높게 하는 방식을 사용하였다(즉, $V_r > V_w$). 실제 구현된 하드웨어와 동일하게 만들기 위하여 $V_r = V_w \times 2$ 로 가정하였다.

이 모델에서는 셀 손실이 두 곳에서 발생한다. 즉, IB에 인가되는 트래픽의 합이 과중하여 다중화 서비스의 한계로 인하여 IB 입력단에서 셀 손실이 발생하는 경우와 OB에서 입출력 속도 정합상에서($V_r = 2 \times V_w$) 트래픽이 과중하여 OB 입력단에서 셀 손실이 발생하는 경우가 그것이다. 스위치 구성 및 동작 특성에 대한 보다 자세한 사항은 제 II부에 기술하였다.

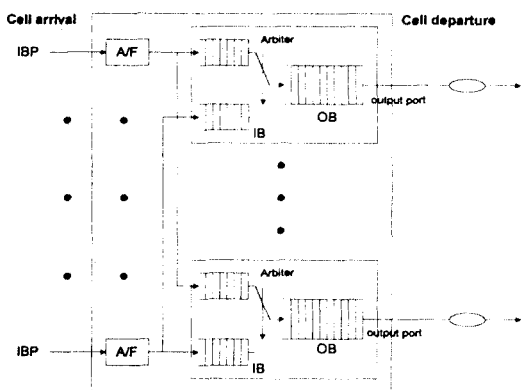


그림 1. 완전 결합형 ATM 스위치 모델
Fig 1. Fully-Interconnected ATM Switch Model

III. 시뮬레이터의 설계

1. 요구사항

ATM 통신망의 다양하고 역동적인 환경에서 시스템의 성능을 평가하기 위해서는 여러 가지 예측가능하고 실제 상황에 가까운 시나리오에 기준하여 시스템 성능 평가를 수행하여야 한다. 따라서, 개발된 시뮬레이터는 입력 트래픽의 특성을 고려하여 균일한 랜덤 트래픽 및 버스티 트래픽 모델을 사용하였다. 또 트래픽이 특정 출력 포트에 몰릴 경우도 있으므로 핫스팟, 점대점 등 어느 특정 포트에 출력이 과중하게 부과되는 비균일 트래픽 분포도 가정하여, 균일 및 비균일 입출력 분포 모두를 고려하였다.

그리고 ATM 망에 트래픽이 과중하게 부과될 수 있는 다른 경우는 멀티캐스팅(multicasting) 및 방송

(broadcasting)으로, 한 입력 포트에 입력되는 셀이 다수의 출력 포트를 목적지로 가지는 구성이다. 주요 시뮬레이션 대상으로 삼은 완전 결합형 ATM 스위치 구조는 소규모에 적합한 구조로서, 멀티캐스팅을 위한 별도의 제어 기법이나 전송 시설이 필요없도록 비트 어드레싱 방식(bit addressing mode)을 사용하므로 멀티캐스팅 기능을 쉽게 구현할 수 있다.

우선순위나 제어 측면도 ATM 망에서는 중요한 기능이지만 본 논문의 성능 평가 대상에서는 제외되었으므로, 본 논문에서는 비균일 트래픽과 균질적인 환경에서의 성능 평가를 주요 대상으로 삼았다.

일반적으로, ATM 망에서 요구되는 셀 손실률은 응용에 따라 $10^{-6} \sim 10^{-12}$ 범위에 있다. 이에 대한 적당한 통계적 신뢰를 얻기 위해서는 $10^7 \sim 10^{13}$ 개의 독립적인 셀이 시뮬레이션되어야 한다. 이것은 통상적인 시뮬레이션 기법을 사용하면 계산 비용이 매우 크게 된다. 따라서 본 논문에서는 이러한 요구사항은 고려하지 않고 다양한 환경에서의 셀 손실률을 비교하기 위한 시뮬레이션을 수행하기 위하여 시뮬레이터를 설계하였다.

2. 성능지수(Performance Parameters)

본 논문에서 사용된 성능지수로는 셀 레벨에서의 성능지수인 셀 손실률, 평균 셀 지연시간, 처리율(throughput) 등이다. 기타 시뮬레이터 출력으로는 평균 버퍼 점유(occupancy) 길이, 최대 버퍼 사용 크기, 최대 셀 지연 및 셀 지연 분포 등이다. 통계 데이터 수집 방법으로는 일괄 평균법(batch mean method)을 사용하였고, 워업 기간(warmup period)동안 모아진 통계치 들은 성능 평가시 제외시켰다. 각 성능지수의 계산 방법은 다음과 같다.

· 평균 셀 지연시간

$$\frac{\sum_{\text{배치수}} ((\sum_{\text{배치크기}} (\text{현재시간} - \text{셀발생시간})) / \text{배치크기})}{\text{배치수}} \cdot \text{셀서비스시간}$$

-95% 신뢰구간(C.I.: Confidence Interval)

$1.96 \times$

$$\sqrt{\frac{(\sum_{\text{배치수}} (\text{배치별 평균 셀지연} - \text{전체 평균 셀지연})^2)}{\text{배치수} - 1}} \times \text{셀서비스시간}^2$$

· 셀 손실률

$$\frac{\sum_{\text{배치수}} \text{배치별 셀 손실수}}{\text{배치별 셀 도착수}} \div \text{배치수}$$

-95% 신뢰구간

$$1.96 \times \sqrt{\frac{\left(\sum_{\text{배치수}} (\text{배치별 평균 셀지연} - \text{전체 평균 셀지연})^2 \right)}{\text{배치수} - 1}} \div \text{배치수}$$

· 처리율(throughput)(링크 이용률(link utilization))

$$\frac{\text{(워업기간 이후 시스템을 빠져나간 총 셀수)}}{\text{(총 시뮬레이션-워업기간 끝나는 시점에서의 시뮬레이션 시간)}}$$

· 평균 버퍼 점유 길이

$$\frac{\sum_{\text{시뮬레이션 시간}} (\text{배 타임슬롯에서의 버퍼길이})}{\text{워업기간 이후 시스템을 빠져나간 총 셀수}}$$

3. 성능 평가 환경

본 시뮬레이터에서는 ATM 노드 유형, 입력셀 발생 유형, 출력 포트 번지 분포, 멀티캐스트 셀 복제수 및 셀 비율을 조합하여 다양한 시나리오를 구성할 수 있다.

1) 입력 트래픽 모델

본 시뮬레이터에서는 비교를 위하여 기존의 전화망에서 사용되던 트래픽 모델인 랜덤 트래픽 모델과 ATM 트래픽의 버스트 특성을 효과적으로 포착할 수 있는 IBP 모델을 사용하였다.

(1) 랜덤 트래픽(random traffic)

랜덤 트래픽에서, 각 입력 포트에 대한 셀 도착은 파라미터 p 를 가지는 베르누리 프로세스(Bernoulli Process)에 의하여 생성된다. 여기서 p 는 사용자 입력 파라미터이며, 그 값은 $0 \leq p \leq 1$ 이다. p 는 임의의 타임 슬롯에 셀이 생성될 확률이고 $1-p$ 는 셀이 발생하지 않을 확률이다. 그러므로 p 는 도착률에 해당한다.

랜덤 트래픽을 위한 트래픽 발생 알고리즘은 그림 2와 같다.

```

For each input port,
  Generate a random number x;
  if(p>=x)
    Generate a cell;
    Include it in the arrival event;
    Determine the output port;
  else
    Return;
  end if.
    
```

그림 2. 랜덤 트래픽 발생 알고리즘

Fig 2. Random Traffic Generation Algorithm

(2) 버스티 트래픽(bursty traffic)

버스티 트래픽의 생성은 IBP(Interrupted Bernoulli Process)에 의하여 수행한다. 이 모델에서, 만약 활동기간 안에서의 모든 슬롯이 셀을 생성하는 것으로 가정하면($\alpha=1$), 평균 도착률(λ)은 (1)과 같다.

$$\lambda = \frac{1-q}{2-p-q} \tag{1}$$

활동기간동안 $\alpha \neq 1$ 이면 매번 트래픽 생성마다 발생 확률을 판별하여 셀 발생을 수행하게 된다. 이 경우 α 값에 따라 링크 이용률, 셀 손실률, 셀 지연 등이 달라지게 된다. 그리고, 버스티니스의 척도로는 IBP 프로세스의 도착간 시간의 제곱 변화 계수(squared coefficient of variation of interarrival times), C^2 를 이용하였다[2].

IBP 프로세스에서의 사용자 입력 파라미터는 각 입력 포트의 평균 도착률과 버스티니스의 값, 또 활동기간 중에 있는 각 시간 슬롯마다 셀을 포함할 확률인 α 와 한 버스트 내의 셀들이 동일한 목적지를 가질지 아닌지를 결정하는 변수 등이다.

버스티 트래픽의 출력 포트를 결정하는데 있어서는 동일 버스트 내의 셀들의 목적지가 같은 경우와 다른 경우 두 가지가 있다 [3-4]. 즉, 동일 버스트내의 셀의 목적지가 같은 경우는 버스트를 하나의 가상채널에 속한 것으로 모델링하는 것이고, 목적지가 다른 경우는 여러 개의 가상채널의 다중화에 의해 버스트가 생성된 것으로 모델링하는 것이다. 본 연구에서도 두 가지 경우 모두에 대해서 시뮬레이션을 수행하고 성능 분석을 하였다.

본 논문에서는 어떤 입력 포트의 트래픽 상황, 즉 도착률과 C^2 의 값이 주어진다고 가정한다. 도착 프로세스에 대한 도착률 λ 와 C^2 이 주어지면, 다음의 식에 의해 p 와 q 의 값을 결정할 수 있다.

$$p = \frac{C^2 - 1 + 3\lambda - 2\lambda^2}{1 - \lambda + C^2} = \frac{C^2 - (2\lambda - 1)(1 - \lambda)}{1 - \lambda + C^2} \quad (2)$$

$$q = \frac{1 - 2\lambda - p\lambda}{1 - \lambda}$$

IBP 프로세스에 의한 트래픽 발생 알고리즘은 그림 3과 같다.

```

For each input port,
  Calculate a rate (i.e., the value of p and q);
  Generate a random number x;
  if (x < rate)
    Stay in the same state;
  else
    Move to the other state;
  end if
  If in the idle state, no cell generation;
  Else /* active state */
    Generate a random number gen_rate;
    if (active state && (gen_rate <= a))
      Generate a cell;
      Include it in the arrival event;
      Determine the output port;
    end if
  End if.
    
```

그림 3. 버스티 트래픽 발생 알고리즘
Fig 3. Bursty Traffic Generation Algorithm

2) 출력 포트 번지 설정

출력 포트의 다양한 번지 설정을 위하여 균일 분포, 핫스팟 분포 및 점대점 분포 등을 사용하며, 각각의 특성은 다음과 같다[5-6].

(1) 균일 분포(Uniform Distribution)

입력 포트 i 로 들어온 셀이 출력 포트 j 를 선택할 확률을 q_{ij} , 스위치의 크기를 N 이라 하면, 균일 분포를 가지고 번지를 설정하는 경우, 셀은 각 출력 포트에 (2)와 같은 확률을 가지고 균일하게 보내진다.

$$q_{ij} = \frac{1}{N} \quad (3)$$

N : 출력 포트의 수

트래픽 분포 매트릭스 T_D 는 (4)와 같이 표현된다.

$$T_D = \begin{bmatrix} \frac{1}{N} & \dots & \frac{1}{N} & \frac{1}{N} \\ \vdots & \dots & \vdots & \vdots \\ \frac{1}{N} & \dots & \frac{1}{N} & \frac{1}{N} \end{bmatrix} \quad (4)$$

(2) 핫스팟 분포(hot-spot distribution)

입력 포트 i 로 들어온 셀이 특정 핫스팟 출력 포트 j_H 로 핫스팟 비율 h 만큼 더해져서, 일정 비율의 입력 셀들이 특정 출력 포트에 집중되는 경우이다. 이 경우에 q_{ij} 와 T_D 는 다음과 같이 된다.

$$q_{ij} = \begin{cases} h + \frac{1-h}{N}, & \text{if } j = j_H \\ \frac{1-h}{N}, & \text{if } j \neq j_H \end{cases} \quad (5)$$

j_H : 핫스팟 출력 포트

$$T_D = \begin{bmatrix} \frac{(1-h)}{N} & \dots & \frac{(1-h)}{N} & h + \frac{(1-h)}{N} \\ \vdots & \dots & \vdots & \vdots \\ \frac{(1-h)}{N} & \dots & \frac{(1-h)}{N} & h + \frac{(1-h)}{N} \end{bmatrix} \quad (6)$$

핫스팟 기능을 구현하기 위한 알고리즘은 그림 4와 같다.

```

Get a prob, a random number between 0.0 and 1.0;
if(prob <= hot_spot_ratio) then
  Destination port is the last port;
Otherwise
  Select one port at random;

Return the port;
    
```

그림 4. 핫스팟 분포 발생 알고리즘
Fig 4. Hot-Spot Distribution Generation Algorithm

(3) 점대점 분포(Point-to-Point Distribution)와 균일 분포의 혼합형

점대점(point-to-point)이란 몇몇 소스들이 그들의 패킷 중 대부분이나 모두를 특정 출력 포트에 보내는 경우를 말한다. 이런 유형에서는 점대점 비율이 1이라 하면 해당되는 목적지가 입력부하 0.5에서도 과부하 현상이 발생하므로 그 비율을 적절히 조절해 줄 필요가 있다. 그래서 본 논문에서는 [5-6]에서 제시된 것과

같은 방법으로 한 포트에만 점대점 트래픽이 점대점 비율만큼 걸리고 나머지 포트에는 균일분하가 걸리는 혼합형을 사용하였다. 시뮬레이션에서는 입력 포트 0에서 출력 포트 (N-1)로 나가는 트래픽을 점대점 트래픽으로 설정하였다. 점대점 비율을 q_{pp} 라 하면, q_{ij} 및 트래픽 분포 매트릭스 T_D 는 다음과 같다.

$$q_{ij} = \begin{cases} \frac{1-q_{pp}}{N-1}, & \text{if } j \neq j_p \\ q_{pp}, & \text{if } j = j_p \end{cases} \quad \text{- 점대점 출력 포트}$$

$$q_{ij} = \frac{1}{N} \quad \text{- 균일 출력 포트} \quad (7)$$

j_p : 점대점 출력 포트

$$T_D = \begin{bmatrix} \frac{(1-q_{pp})}{N-1} & \dots & \frac{(1-q_{pp})}{N-1} & q_{pp} \\ \frac{1}{N} & \dots & \dots & \frac{1}{N} \\ \vdots & \dots & \dots & \vdots \\ \frac{1}{N} & \dots & \frac{1}{N} & \frac{1}{N} \end{bmatrix} \quad (8)$$

3) 멀티캐스팅 기능 구현

[7]에는 너아웃 스위치에서 멀티캐스팅 기능을 구현하기 위해 멀티캐스트 셀 전용 복사모듈을 구현하는 방법 등을 제안하였다. 그러나 본 논문에서 사용한 완전 결합형 ATM 스위치는 8×8, 16×16 등 비교적 소규모 스위치 구조에 적합하므로, 스위치가 큰 경우에 제대로 된 성능을 발휘할 수 있는 너아웃 구조와는 달리 비트 어드레싱 방식을 사용하면 부가적

인 모듈 구성없이도 멀티캐스팅 기능을 수행할 수 있는 장점이 있다.

완전 결합형 ATM 스위치 구조는 비트 어드레싱 방식을 사용하여 53바이트의 셀 앞단에 출력 포트 주소를 나타내는 라우팅 태그를 구성하며, 라우팅 태그는 스위칭의 기능에 따라 일대일 및 일대다의 스위칭 서비스가 이루어질 수 있다[8]. 소규모의 스위치에서는 적은 수의 비트만으로 어드레싱이 가능하므로, 비트 어드레싱 방식은 전송효율을 크게 약화시키지 않는 범위 내에서는 멀티캐스팅을 위한 부가적인 모듈의 구성 없이도 용이하게 구현할 수 있고 자기 경로 배정(self-routing) 기능을 수행할 수 있는 방식이다.

사용한 라우팅 태그의 구조는 그림 5와 같다. 해당 포트위치의 비트는 0으로 세팅되고 그렇지 않은 경우는 1로 세팅되어 있다. 그림 (a)는 일대일 스위칭 요구시의 구조로서, 출력포트 4를 요구하는 경우이다. 그림 (b)는 일대다의 멀티캐스팅 또는 브로드캐스팅 스위칭 기능을 요구할 때의 구성으로서, 보인 예는 출력 포트 1, 2, 3을 요구한 경우이다[8].

본 논문에서는 멀티캐스팅 성능 시뮬레이션 시에 사용되는 변수로 멀티캐스트 셀 비율과 멀티캐스트 셀의 목적지 갯수를 고려하였다. 멀티캐스트 셀 비율은 사용자가 0에서 1 사이의 값을 임의로 입력할 수 있다. 그러나 멀티캐스트 셀 비율에 따른 셀의 복제 수를 고려해 볼 때 0.1보다 훨씬 작아야 한다. 멀티캐스트 셀 복제수(목적지 수)를 구하기 위한 모델로는 다음과 같은 두 가지가 있다[3-4].

(1) 고정된 복사수 모델(Constant Copy Number Model)

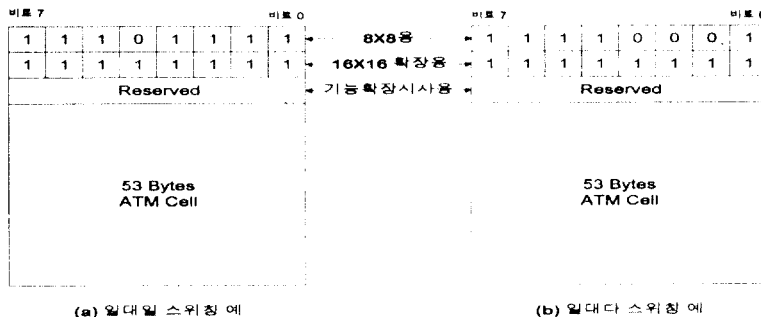


그림 5. 라우팅 태그 구조
Fig. 5. Routing Tag Structure

모든 멀티캐스트 셀의 복제수 k 가 2 이상의 상수인 경우이다. 즉, 복제수는 $2 \leq k \leq N$ 이고 이때 N 은 스위치의 크기이다. 여기서 복제수의 의미는 원래 마스터(master) 셀을 포함한 갯수이다.

② 절단된 기하분포 모델(Truncated Geometric Distribution Model)

각 멀티캐스트 셀은 1 이상 $N-1$ 이하의 복제셀 수를 다음과 같은 절단된 기하분포 모델에 의해 구해진 식에 의해 할당받는다.

$$\Pr(\text{복사셀의 수} = k) = \frac{(1-q)q^{k-1}}{1-q^N} \quad (9)$$

$$E(k) = \frac{1}{(1-q)} \cdot \frac{Nq^N}{1-q^N} \quad (10)$$

단, $1 \leq k \leq N-1$, N :스위치의 크기

그러므로 마스터 셀을 포함한 복제셀 수는 $2 \leq E(k) \leq N$ 이다.

IV. 시뮬레이터의 구현

1. 시뮬레이터 구조

본 연구에서는 액세스망에 존재하는 ATM 노드의 시뮬레이션을 위하여 크게 다중화기, 일반적인 Non-Blocking 스위치 및 완전 결합형 ATM 스위치로 나누어 구성하였다. 시뮬레이터는 3개의 주요한 모듈들-트래픽 생성 모듈, 메인 모듈 및 통계 모듈-로 구성된다. 전체적으로 시뮬레이션을 위한 가정은 다음과 같다.

- 스위치의 경우 입력 포트의 수와 출력 포트의 수는 동일하다.
- 시스템은 동기적으로 운영되며, 슬롯 시간은 하나의 셀 전송시간에 해당한다.
- 입력 포트와 출력 포트의 전송 속도는 동일하다.

그림 6에 시뮬레이터의 구조를 보여주는 기능 블록 다이어그램이 있다. 사용자로부터 시뮬레이션에 사용되는 변수값들을 입력받아 트래픽 유형 및 ATM 노드 구조 등을 설정하여 시스템을 구성한 후, 시뮬레이션을 수행하고 통계치들을 계산하여 화일에 저장하는 과정을 거치고 있다.

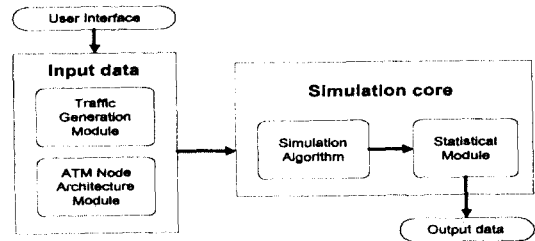


그림 6. 시뮬레이터 기능 블록 다이어그램
Fig 6. Simulator Functional Block Diagram

2. 시뮬레이션 알고리즘

성능 평가를 위한 시뮬레이션 프로그램은 cc 컴파일러를 사용하여 작성하였으며, 워크스테이션에서 시뮬레이션을 수행하였다. 시뮬레이션 프로그램은 트래픽 생성, 스위치의 동작 및 성능 결과 부분을 모듈화하여 앞으로의 수정이나, 추가적인 사용이 용이하도록 하였다. 본 절에서는 주요 시뮬레이션 대상인 완전 결합형 ATM 스위치 구조를 대상으로 시뮬레이터 구현시 필요한 알고리즘들을 기술한다. 우선, 개략적으로 메인 알고리즘을 기술하면 그림 7과 같다.

```

Input simulation parameters;
Initialize system variables;
do-loop(for the required no. of batches)
{
    Generate new cell for the corresponding input port;
    Store the cell(s) at the corresponding IB(s);
    Sort all IBs of each OB in a descending order
    based on the no. of cells waiting in IB;
    /* Level Multiplexing */
    Switch cells from IB to OB as many as arbiter read speed;
    For the corresponding output port,
        Remove one cell from OB
        and Collect statistics;
    Process the collected statistics for each batch;
}
Save them in a result file;
    
```

그림 7. 메인 모듈 알고리즘
Fig 7. Main Module Algorithm

각 함수별 구현 기법을 기술하면 다음과 같다.

1) 멀티캐스트 룩업 테이블 구성

ATM 망은 다자간 연결, 멀티캐스팅 등을 지원하며, 멀티캐스팅 시는 임의의 시점에서 그룹 멤버들을 동적으로 바꿀 수 있어야 한다. 그러나 일단 특정한 멤버들의 그룹이 설정되면 비교적 긴 시간동안 그대

로 유지되는 것으로 가정할 수 있다[6]. 본 논문에서도 이 점을 고려하여 시스템 변수 입력시에 멀티캐스팅 기능을 수행하게 되면 멀티캐스팅 룩업 테이블을 만들어 두고 시뮬레이션이 끝나는 시점까지 목적지 포트들이 변하지 않는 것으로 가정하였다. 또 완전 결합형 스위치 구조에서는 비트 어드레싱 방식을 사용하므로 목적지 주소들을 비트 위치별로 배열하는 과정이 필요하다. 멀티캐스트 룩업 테이블을 구성하는 과정은 그림 8과 같다.

```

For each input port i
{
  Initialize variables;
  Initialize variable for multicast output port no. to ∞;
  Decide copy_no according to multicast copy no. model;
  do-loop(until the no. of selected ports is equal to copy_no)
  {
    Select one port at random;
    Compare it with the previously selected port numbers;
    if(different) then
      Choose it as a multicast port no. of input port i;
      Increment the no. of selected ports;
    end if;
  }
  Sort them in a descending order;
  Compose the bit address;
  Save it in the Multicast Lookup Table;
}
    
```

그림 8. 멀티캐스트 룩업 테이블의 구성 알고리즘
Fig 8. Multicast Look-Up Table Composition Algorithm

2) 트래픽 생성 및 IB 입력

이 함수에서는 크게 트래픽 생성, 출력포트 결정 및 해당 출력포트의 해당 IB(Internal Buffer)에 셀을 넣는 과정을 수행하며 알고리즘은 그림 9와 같다.

```

Decide port state;
/* Decide that current state is in active or idle period;
Decide with a if one cell is generated or not; */
if((active period) && (Cell generation is allowed)) then
  if(multicast_yn=='yes') then
    Decide that the generated cell is multicast cell or not;
    if(multicast cell) then
      Copy the address from the Multicast Lookup Table
      and Transmit it to broadcast bus;
    else if(not multicast cell)
      Decide one port according to output distribution
      and Transmit it to broadcast bus;
    end if
  else if(multicast_yn=='no')
    Decide one port according to output distribution
    and Transmit it to broadcast bus;
  end if
end if.
    
```

그림 9. 트래픽 생성 및 IB 입력 알고리즘
Fig 9. Traffic Generation and IB Input Algorithm

완전 결합형 스위치는 각 입력 포트와 출력 처리부가 방송형 버스로 연결되어 있어서 도착셀은 방송 버스를 통해 모든 출력 포트에 보내지며 해당 출력포트에서는 필터링을 통하여 셀을 받아들이거나 거절하게 된다. 이 과정을 시뮬레이션 구현상 실제 제작된 칩과 동일한 위리를 사용할 수는 없고 그림 10과 같은 알고리즘을 만들어 사용하였다.

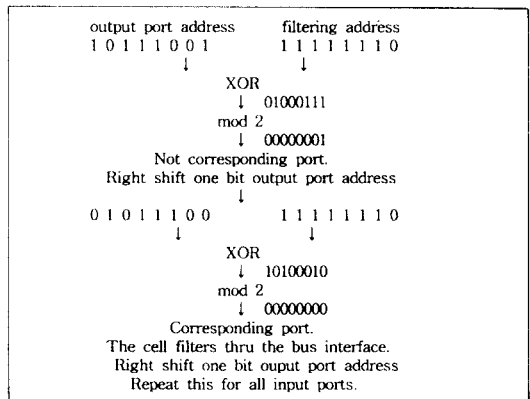


그림 10. 어드레스 필터링 알고리즘
Fig 10. Address Filtering Algorithm

3) IB 정렬 알고리즘

[8]에서 허브폴링 기법과 레벨 멀티플렉싱과의 비교 후 레벨 멀티플렉싱의 성능이 더 우수함을 증명하였기 때문에 본 실험에서는 레벨 멀티플렉싱 기법만을 사용하여 실험하였다. 레벨 멀티플렉싱을 위해서는 각 OB에 연결된 IB들을 버퍼에 남아 있는 셀 수를 기준으로 내림차순으로 정렬시킬 필요가 있다. 시뮬레이션에서는 정렬 기법으로 버블 정렬(bubble sorting)을 사용하였다.

V. 시뮬레이션 결과 예

시뮬레이션에서 얻을 수 있는 결과는 텍스트로 파일에 저장된다. 성능 통계치는 출력 포트별로 모아지므로, 다중화기는 한 결과만을, 스위치는 출력 포트 수만큼의 결과를 얻을 수 있으며, 그 예를 그림 11에서 보이고 있다. 그림 11은 멀티캐스팅이 없을 때의 결과이고, 멀티캐스팅 기능이 고려되었을 때의 통계치는 멀티캐스트 셀과 유니캐스트 셀이 따로 모아진다.


```

&&&& Results at output port 0 &&&&
No. of departure at output 0 : 3000000
No. of arrival of IB 0 : 2999997
No. of loss of IB 0 : 0
Loss probability of IB 0 : 0.000000
No. of arrival of OB 0 : 2999997
No. of loss of OB 0 : 0
Loss probability of OB 0 : 0.000000
Mean delay of output 0 : 5.244102 95% C.I. : 0.034244
Mean loss of IB 0 : 0.000000e+00 95% C.I. : 0.000000e+00
Mean loss of OB 0 : 0.000000e+00 95% C.I. : 0.000000e+00
Maximum queue length of output 0 : 27
No. in queue of output 0 : 0
Average buffer occupancy of output 0 : 0.913003
Maximum delay (ussec) of output 0 : 73.980000
--- Delay Distribution of output 0 ---
--- (Delay Unit : 12) ---
p0 = 2996710 0.997796
p1 = 6577 0.002190
p2 = 36 0.000012
p3 = 0 0.000000
p4 = 0 0.000000
p5 = 0 0.000000
p6 = 0 0.000000
p7 = 0 0.000000
p8 = 0 0.000000
p9 = 0 0.000000
p10 = 0 0.000000
Link utilization : 0.679388
    
```

그림 11. 멀티캐스트 기능이 없을 때의 스위치 실험 결과의 예

Fig 11. An example of switch experiment result without multicast function

이들 결과 화일로부터 얻어진 결과들을 모아 셀 손실이나 평균 셀지연같은 그래프를 그릴 수 있다. 그림 12는 버스티 트래픽에 랜덤 트래픽을 혼합했을 경우의 평균 셀 지연을 보여준다. 입력 트래픽이 전부 랜덤인 경우(random=8) 평균 셀지연이 가장 낮게 나타났으며, 입력 트래픽이 전부 버스티인 경우(random=0) 평균 셀지연이 가장 높은 것을 알 수 있다. 랜덤 트래픽 포트수를 늘려감에 따라 전체적인 성능이 랜덤 트래픽의 성능에 가까워짐을 확인할 수 있다. 입력 포트의 셀 도착 과정을 랜덤 트래픽과 버스티 트래픽을 동시에 고려할 때 버스티 트래픽이 증가할수록(즉, 랜덤 트래픽 포트수가 감소할수록) 셀 지연 및

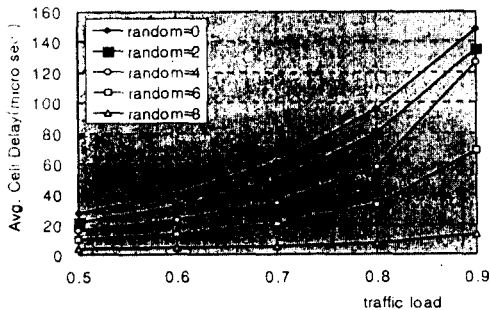


그림 12. 혼합 입력 트래픽 경우의 평균 셀지연($c^2=20$)
Fig 12. Average cell delay in case of mixed input traffic

손실 성능이 저하되었다. 이러한 점을 고려해 볼 때, 입력 트래픽 버스티니스의 정도가 서비스 품질에 지대한 영향이 있음을 알 수 있다.

VI. 결 론

본 논문에서는 완전 결합형 ATM 스위치 구조를 대상으로 한 시뮬레이터 설계 및 구현에 대하여 기술하였다. 개발된 시뮬레이터는 완전 결합형 구조를 가진 소규모 ATM 스위치 외에도 다중화기, 일반적인 Non-blocking 출력 버퍼형 ATM 스위치에 대한 성능을 평가할 수 있도록 설계되었다. 시뮬레이터에서는 균일한 랜덤 트래픽뿐만 아니라 버스티 트래픽과 같은 다양한 입력 트래픽 상황에서 성능을 평가할 수 있고, 또한 실제와 유사한 시뮬레이션 환경을 제공하기 위해 출력 포트 번지 설정에 균일 분포와 핫스팟 분포 및 집대집 분포 등의 비균일 분포를 사용하였다.

지금까지, 여러가지 ATM 스위치 구조 및 트래픽 제어 기법의 성능 해석을 위한 많은 논문들이 발표되었으나, 그러한 시스템이나 기법의 성능을 해석하기 위한 시뮬레이션 모델이나 도구에 대한 연구결과는 별로 발표된 바 없다. 그러므로, 본 논문은 ATM 노드의 효과적인 성능 분석을 위한 도구로 사용될 수 있고 시뮬레이터 개발의 참고자료로도 사용될 수 있을 것으로 판단된다.

향후 연구계획으로는 트래픽 제어 측면을 고려하거나, 셀 손실이 발생했을 때 백프레셔(backpressure) 신호를 스위치 입력으로 보내어 셀 입력을 잠시 중지할 수 있게 했을 경우 성능에 어떤 영향을 주는지 검토해 볼 필요가 있다고 본다. 또 B-ISDN에서 수용할 트래픽 중 대역폭을 가장 많이 요구하는 서비스인 비디오 트래픽 특성화에 관한 연구를 바탕으로 노드의 성능을 테스트할 수 있도록 시뮬레이터를 구현하는 것도 고려할 수 있는 일이다. 또한 시뮬레이터를 GUI 환경에서 구현하는 작업도 향후 연구과제이다.

참 고 문 헌

1. 변성혁 외 5인, "ATM 스위치 시뮬레이터의 개발", 전자공학회논문지, 제32권, 제9호, 43-51쪽, 1995.
2. Raif O. Onvural, Asynchronous Transfer Mode

Networks, Performance Issues, Artech House, 1995.

3. J. Garcia-Haro, R. Marin-Sillue, and J. L. Melus-Moreno, "Description of a Simulation Environment to Evaluate High Performance ATM Fast Packet Switches", 5th IFIP Conf. on High Performance Networking, pp. 421-436, June 27-July 1, 1994. Grenoble(France).
4. J. Garcia-Haro, R. Marin-Sillue, and J. L. Melus-Moreno, "ATMSWSIM An Efficient, Portable and Expandable ATM Switch SIMulator Tool", 7th Conf. of Computer Performance Evaluation, Austria, May 1994.
5. David X. Chen and Jon W. Mark, "A Buffer Management Scheme for the SCOQ Switch Under Nonuniform Traffic Loading", Proc. INFOCOM '92, pp. 132-140, 1992.
6. H. Y. Ming, T. Liu, and K. Y. Lee, "The Knock-out Switch Under Nonuniform Traffic", Proc. GLOBECOM'88, pp. 1623-1634, 1988.
7. K. Y. Eng, M. G. Hluchyj, and Y. S. Yeh, "Multicast and Broadcast Services in a Knockout Packet Switch", Proc. INFOCOM '88, pp.1A.4.1-1A.4.6, 1988.
8. 김근배, 김경수, 김협중, "완전 결합형 ATM 스위치 구조 및 구현(I부: 구조 설정 및 성능 분석에 대하여)", 한국통신학회논문지, 119-130쪽, 제26권 제1호, 1996년 1월.



전 용 희(Yong-Hee Jeon)정회원

1953년 4월 27일생
1978년 2월: 고려대학교 전기공학
학과(공학사)
1985년 8월~1987년 8월: 미국 플로리
다공대 대학원
컴퓨터공학과 수학
1989년 8월: 미국 노스캐롤라이

나주립대 Elec. and Comp. Eng. 석사(MS)
1992년 12월: 미국 노스캐롤라이나주립대 Elec. and
Comp. Eng. 박사(Ph.D)

1978년 1월~1978년 11월: 삼성중공업(주) 근무
1978년 11월~1985년 7월: 한국전력기술(주) 근무
1989년 1월~1989년 6월: 미국 노스캐롤라이나주립대
Elec. & Comp. Eng. TA.
1989년 7월~1992년 9월: 미국 노스캐롤라이나주립대
부설 CCSP(Center For Comm. & Signal
Processing), RA

1992년 10월~1994년 2월: 한국전자통신연구소 통신
시스템연구단 선임연구원

1994년 3월~현재: 대구효성가톨릭대학교 공과대학
전자정보공학부, 조교수
※주관심 분야: 멀티미디어 통신, 통신망 성능분석,
컴퓨터 네트워크



박 정 숙(Jung-Sook, Park) 학생회원

1972년 2월 2일생
1994년 2월: 효성여자대학교 전
자계산학과(이학사)
1996년 8월: 대구효성가톨릭대학
교 전산통계학과, 석
사

1989년 8월~현재: 대구효성가톨
릭대학교 전산통계학과 박사과정 재학
※주관심 분야: 멀티미디어 통신, 통신망 성능분석,
컴퓨터 네트워크