DBpia

論文 98-23-5-1

제어 가능한 자체검사 특성 검사기 설계

正會員 양 성 현*, 이 기 서**

The Design for Controllable Self-Checking Checker

Sung Hyun Yang*, Key Seo Lee** *Regular Members*

※본 연구는 한국과학재단 지원(Post-Doc : 1996. 9~1997. 8)에 의해 수행되었음.

요 약

본 논문에서는 여분을 갖는 결함허용 시스템에 이용할 수 있는 자체검사 특성을 갖는 검사기를 제안한다. 특히 시스템이 출력의 정확성을 요하는 바이탈(Vital) 정보와 일반적인 정보를 동시에 취급할 때 정보의 중요성에 따라 선택적으로 검사할 수 있는 제어 가능한 자체검사 특성 검사기(Controllable Self-Checking Checker)를 설계하였다. On-Line 모드에서 결함을 검출할 수 있기 위해서 최소 입력 벡터로 시험할 수 있는 결정적 시험 방법을 이용하였다. 실험 결과 설계한 패리티 2-레일 검사기는 기존의 검사기 보다 더 간단한 구조로 동일한 자체검사 기능을 유지할 수 있었다. 또한 패리티 2-레일 검사기를 이용하여 설계한 제어 가능한 자체검사 특성 검사기 역시 정의된 결함에 대해서 높은 결함 커버리지를 나타냈다.

ABSTRACT

This Paper presents the Controllable Self-Checking(CSC) Checker at which can be used the Fault-Tolerant System with the redundancy. According to the critical level of output(of system), especially, it can be instructed the time if it has to check the output or not. We adopt the deterministic test, performed on-line, to detect the faults with a minimal test set. The results show the Parity 2-rail checker(P-TRC) which is designed much simpler than the conventional checker has the same self-checking property as that checker. It is also shown the presented CSC checker has the higher fault coverage than the existent checker.

Ⅰ. 서 론

고신뢰성을 요구하는 결함 허용 시스템 설계시 결함 검출은 가장 기본적인 시스템 기능이며, 결함 검출 기능의 커버리지에 따라 시스템의 신뢰성 및 가용성, 유지보수성이 결정된다. 이를 위한 기존의 검출방식으로는 소프트웨어 기법을 이용하여 주기적으로 결함 발생을 시험할 수 있는 진단 프로그램, 위치독 타이머(Watchdog-Timer)를 이용하는 방법, 회로에 자체시험(Self-Testing)기능을 부가하여 구현하는 방법

*광운대학교 전자공학부
**광운대학교 제어계측공학과
論文番號:98067-0217
接受日字:1998年 2月 17日

www.dbpia.co.kr

등이 이용되고 있다.[1]

주기적인 시험(Test) 방법에서는 기능 모듈이 정상 동작을 일시적으로 정지하고 모듈에 결함이 있는지를 확인하기 위해서 검사 루틴을 수행하는 방법으로 검사되는 기간동안에 결함이 재 발생하지 않는 한 일시적인 결함, 즉 과도결함을 검지 할 수 없다.

또한 워치독 타이머를 이용한 결함 검출 방식은 동작 원리가 간단하기 때문에 흔히 이용되고 있으나, 소프트웨어 버그나 하드웨어 결함이 타이머의 재설정(Resetting)을 방해할 수 있다는 문제점이 발생한다.

자체 시험 기능을 회로 또는 보드 및 시스템에 계층적으로 부가하는 기술적 방법으로는 대표적으로 BIST (Built-In-Self-Test) 기법을 말할 수 있으나 BIST 기술의 응용은 아직 Off-Line 시험에 한정되고 있다.[2,3]

본 논문에서는 칩 또는 보드, 시스템 레벨에서 논리적 결함이 존재하는지를 외적인 장비 없이 자동적으로 검증할 수 있는 자체 검사(Self-Checking)기능 회로를 설계하고자 한다.

자체검사 회로는 정상적인 회로 입력에 대해서 정확한 정보를 출력 하게 하고 모듈에 존재하는 결함을 표시해주게 설계함으로써 매우 효과적인 방법으로 평가되고 있는 기술이다.

지금까지 여러 종류의 검사기의 설계가 연구되어 왔고 이들은 각각의 응용영역에 적합하게 구현 되어 왔다.[4]

일반적으로 자체검사 또는 자체시험 시스템은 기능회로, 정해진 코드에 속하는 출력 워드, 기능회로의 출력을 감시하고 출력이 정상 코드워드 인지 아닌지를 지시하는 검사기로 구성된다. RAM, PLA 또는 FPGA와 같은 정규회로는 발생하는 결함의 형태를 가정할 수 있지만 ASIC과 같이 임의성을 갖는 회로에 대해서 그러한 가정된 결함의 형태는 의미가 없다.

즉 기능회로에서 발생 가능성이 있는 결함과 일반적으로 사용할 수 있는 오류검출 코드 사이에는 일정한 관계가 존재하지 않는다.

따라서 완전한 자기검사(Totally Self-Checking) 특성을 만족하기 위해서는 검사기에 대해 가능성 있는 모든 입력코드를 적용 해야한다. 이때 실제 입력코드가 가능성 있는 전체 입력 코드가 되지 못할 때 검사기가 검출하지 못하는 결함이 존재함으로써 완전한 자체검사 회로가 될 수 없다.[5]

이러한 문제를 해결하는 방법으로 Off-Line 시험 모드에서 손실 가능성 입력 벡터를 내부 시험패턴발생기(Test Pattern Generator, TPG)를 통해 제공할 수 있는 UBIST 구조[6], 코드에 따른 검사기 배열 방식[7,8], 예상치 않은 코드를 준비 하기 위해 검사기내에 플립플롭을 삽입하는 방법[9]이 연구 발표되었다.

본 논문에서는 모델화한 결함의 집합을 검출하기 위한 최소 입력 벡터의 집합은 최소 시험 집합 T와 같고, 이때 입력 집합 T에 대해 출력만을 검사한다고 하면 On-Line 모드로 이루어지는 결정적 시험 방법을 채택할 수 있다는 것을 근거로 병렬 검사(Concurrent Checking) 구조로 기능회로의 출력 F와 같은 기능을 하는 회로의 출력 F′를 비교하는 중복 검사 구조(Duplication check Scheme)에 적용할 수 있는 검사기를 제시한다. 만약 입력 워드의 집합중 일부만을 시험한다면 F′는 이 입력 워드에 대해서만 F와 똑같은 기능을 수행하고 나머지 입력워드에 대해서는 임의대로 동작한다. 이러한 입력 워드에 대한 각각의 무정의 조건은 F′를 최소화하는데 이용하여 한정된 이중 회로(Reduced Duplicated Circuit) Fred가 되게 했다. 본 논문의 결과로 시스템이 정확한 출력을 요구하는 바이탈 정보(Vital Information)와 일반적인 정보(Non-vital Information)를 동시에 취급할 때 시스템의 성능과 출력의 안전성을 위해 선택적으로 결함 검출을 수행할 수 있는 조건적 자체 검사 기능이 있는 검사기를 설계할 수 있었다. 이는 결함허용을 위해 여분(Redundancy)을 이용하는 중복 시스템 또는 3중화 시스템의 비교기 및 투표기(Voter)로 이용을 목적으로 했다.[10,11]

Ⅱ. 자체검사 회로 정의 및 2-레일 코드

결함검출을 위한 일반적인 방법은 여분을 이용한 코딩 기법과 기능 모듈의 중복에 의한 비교기 설계에 의해서 수행되고 있다. 그러나 이 경우에 디코더 또는 검출기 및 비교기에서 발생하는 결함은 아무런 취급 대책없이 전파될 수밖에 없다. 이러한 단일점고장(Single Point Failure)은 자체검사와 고장안전 논리에 의한 회로를 설계 함으로써 피할 수 있다.

본 장에서는 자체검사 회로의 정의와 2-레일 코드에 대해서 논한다.

www.dbpia.co.kr

2.1 자체검사(Self-Checking) 회로

자체검사 회로 설계는 입력과 출력이 동일한 코드일 필요는 없지만 회로의 입력이 이미 일정한 코드로 엔코드 되었고 출력 역시 엔코드 되었다는 전제를 근거로 한다.

다음은 자체검사 회로에 이용되는 정의들이다.[5]

정의 1. 자체보안(Self-Secure): 결함 집합이 정의되고, 이들중 임의의 결함이 발생할 때 회로가 입력 코드 공간에 대해서 부정확한 코드워드(Incorrect Code Word)를 출력하지 않는 회로이다.

정의 2. 자체시험(Self-Testing): 결함 집합이 정의되고, 이들중 임의의 결함이 발생할 때 최소한 하나의 입력 코드에 대해서 회로가 비코드워드(Noncode Word)를 발생하는 회로이다.

정의 3. 완전한 자체 검사(Totally Self-Checking): 회로가 정의된 결함에 대해서 자체보안과 자체시험 특성을 지닌다면 완전한 자체검사 회로이다.

정의 4. 코드 비결합(Code Disjoint): 입력에서 코드워드를 출력에서의 코드워드로, 입력에서 비코드 워드를 출력에서 비코드워드로 배치(Map)하는 것을 의미한다.

위의 정의에서 알 수 있듯이 회로의 정상동작과 함께 정의된 모든 결함이 오류 출력을 발생하게 함으로써 결함검출이 가능한 완전한 자체검사(TSC) 회로는 고신뢰성 디지털 시스템 설계에 대단히 유용하다. TSC 회로의 장점은 영구 결함뿐만 아니라 일시적 결함을 검출할 수 있고, 결함 발생에 따라 즉시 검출 가능하기 때문에 정보 손실을 최소화 할 수 있다. 아울러 TSC 회로를 응용한 하드웨어 시스템에서는 소프트웨어의 진단 프로그램을 간단하게 할 수 있거나 경우에 따라서 생략 할 수 있는 장점을 갖는다.

TSC 회로는 기능회로와 기능회로를 검사하는 검사기로 구성하며, 기능회로와 검사기는 각각 TSC 특성을 갖는다. 그림 1은 TSC 회로의 블록 선도이다.

그림 1에서 알 수 있듯이 완전한 자기검사 검사기는 두 개의 출력을 갖고 동작 해야하기 때문에 4개의 출력 조합을 고려할 수 있다. 이들중 두 개의 출력 조합중(01, 10)을 검증된 출력으로 받아들고 나머지 출력(00, 11)에 대해서는 비검증 출력으로 처리한다. 출력이 입력 코드에 대해서 상수 값, 즉 1의 값을 취하지 않는 이유는 정상 동작 동안에 출력이 1로의 고착결함(Stuck-at-1) 발생시 그 결함을 시험할 수 없기 때문이다. 비검증 검사기 출력은 검사기 입력에서 비코드 워드 또는 검사기 자체 결함을 지시한다.

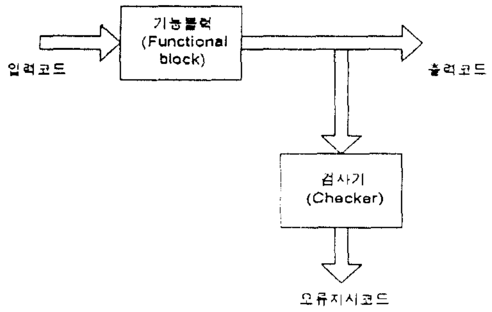


그림 1. 종합적 자체검사회로
Fig. 1 A Totally Self-Checking Circuit

2.2 2-레일 검사기

자체시험 회로가 되기 위해서 회로는 기본적으로 미리 정해진 집합내의 모든 결함을 시험할 수 있는 입력 조합을 정상 동작동안 회로의 입력으로 받아들여야 한다. 만약 전체 입력 조합이 회로의 입력으로 인가되는 것을 보장할 수 없다면 그 회로는 인가된 입력에 의해서 검출할 수 있는 결함들에 대해서만 자체 시험 특성을 만족한다. 이와 같은 제약 조건은 TSC 회로에도 적용된다. 이 정의는 TSC 비교 모듈에 의해서 설명되며, 회로의 입력이 2-레일 신호로 엔코드 된다면 더 적은 수의 입력 조합에 의해서 회로의 완전한 자체 검사성을 만족 할 수 있다.[12]

2-레일 신호 체계에서 각 신호 X는 쌍(C, C')으로 표현되며, 이때 C는 정상상태에서 (C, C') {(0, 1), (1, 0)}인 C'의 보수를 나타낸다. n-tuple 신호 (X1, X2, ..., Xn)는 2n 비트 2-레일 코드워드(C1, C1', C2, C2', ..., Cn, Cn')로 표현할 수 있으며, 이때 Ci = Ci', (i=1, 2, ..., n)의 등가성이 유지되어야 한다. 따라서 2-레일 신호는 그 비트가 언제나 보수로 코드화된 신호로 1/2 (1-out-of-2) 코드와 같다.

www.dbpia.co.kr

만약 입력들이 동등하고 알맞게 엔코드 되었다면, 비교 요소는 입력에서 2개의 2-레일 신호의 등가성(Equality)을 검사하고, 2-레일 코드(01, 또는 10)를 출력한다. 그렇지 않으면 비코드워드(Noncode Word) (0, 0) or (1, 1)을 출력한다.

부가적으로 비교 요소는 임의의 내부 결함에 대해서 자체 시험 특성을 만족하고 모든 4개의 가능한 코드 입력 집합이 정상동작 동안에 인가되는 한 TSC특성을 만족한다.

그림 2는 AND-OR 2레벨로 설계한 TSC 비교 모듈이고, 표 1에서 이 모듈에 대한 고착 결함(Stuck-at)의 해석을 보여준다.

이러한 TSC비교 모듈은 n입력(n<2) TSC비교 모듈을 설계하는데 있어서 빌딩블럭으로 이용될 수 있고, 자체검사 시스템에서 최종 검사기로 이용될 때 2레일 코드로 엔코드된 부회로의 오류지시 신호를 모아서 하나의 2-레일 신호로 변형한다. 또한 2레일 검사기는 중복 시스템에서 자체시험 비교기로써 이용할 수 있다.

단일 TSC 기능회로의 장점은 회로망으로부터 정확한 검사기 출력이 회로망의 기능 출력의 정확성을 보장한다는 것이다.

개념적으로 가장 간단한 TSC 기능 회로의 형태는 여분의 기능회로를 이용한 중복(Duplication) 구조이다. 아울러 전체 입력과 출력도 중복코드화 된다.

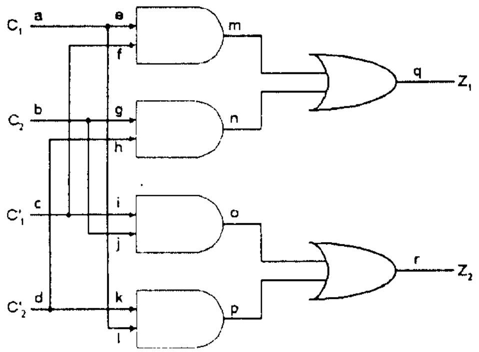


그림 2. TSC 비교모듈의 논리회로

Fig. 2 TSC Comparator module's Logic Circuit

여분(Redundancy)을 근거로한 중복 시스템(Duplicated System) 필요로 하는 회로는 TSC 비교기이고, TSC 시스템을 구성하는 모듈의 기능적 출력검사를 수행한다.

가장 효과적인 검사기 형태는 출력을 비교 요소에 입력하기 전에 기능 회로 출력중 하나를 보수화 한다. 이때에 임의의 입력 수에 대한 검사기는 기본 블럭으로 그림 1의 2-레일 비교기를 이용하여 m입력쌍을 갖는 검사기를 $\lceil (m-1)/(x-1) \rceil$ 모듈과 $\lceil \log_2 m \rceil$ 모듈 레벨을 필요로 하는 다단 회로로 구성할 수 있다.

그림 3은 중복 코드를 이용한 TSC 비교기의 응용을 블록선도로 보여준다.

표 1. 고착 결함에 대한 TSC 비교 모듈의 응답

Table 1. TSC Comparator Module's response for the stuck at fault.

입 력		정상	고착결함 1에 대한 z1 z2의 출력																	
C1C2	C1′C2′	출력	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r
01	01	10	11	10	11	10	10	10	10	10	10	11	11	10	10	00	10	10	10	11
01	10	01	11	01	01	11	11	01	01	11	01	01	01	01	01	01	00	01	11	01
10	01	01	01	11	11	01	01	11	11	01	01	01	01	01	01	01	01	00	11	01
10	10	10	10	11	10	11	10	10	10	10	11	10	10	11	00	10	10	10	10	11
입 력		정상	고착결함 0에 대한 z1 z2의 출력																	
C1C2	C1′C2′	출력	a	b	c	d	e	f	g	h	i	j	k	l	m	n	o	p	q	r
01	01	10	10	00	10	00	10	10	00	00	10	10	10	10	10	10	11	11	00	10
01	10	01	01	00	00	01	01	01	01	01	00	00	01	01	11	11	01	01	01	00
10	01	01	00	01	01	00	01	01	01	01	01	01	00	00	11	11	01	01	01	00
10	10	10	00	10	00	10	00	00	10	10	10	10	10	10	10	10	11	11	00	10

www.dbpia.co.kr

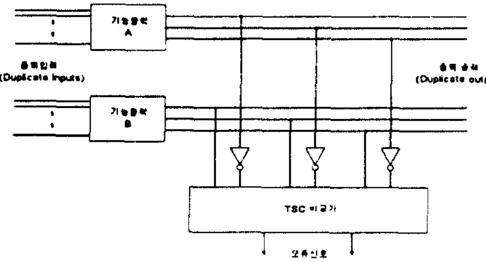


그림 3. 중복코드를 이용한 TSC 비교기 구조.
Fig. 3 TSC Comparator's Structure Using Duplicated Code

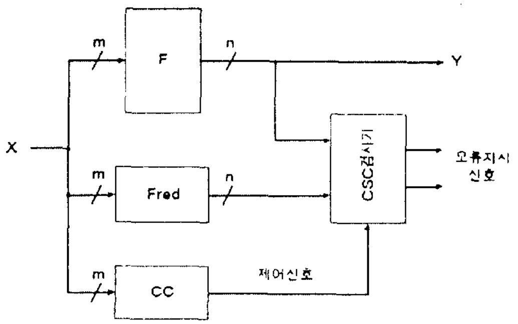


그림 4. 중복검사구조
Fig. 4 Duplication Check Scheme

Ⅲ. 제어 가능한 검사기(Controllable Checker) 설계

3.1 병렬 검사 구조 개념

조건적 병렬 검사를 수행하기 위해서는 제어 가능한 자체검사 기능을 갖는 검사기를 필요로 한다.

제어 가능한 자체검사 검사기의 기능은 검사기가 검사 명령을 받았을 때 검사기의 일반적 기능을 수행해야하고 그렇지 않은 경우 입력 신호에 관계없이 출력에 무결함(Fault Free)임을 표시하는 것으로 정의한다.

제어 가능한 자체검사 특성을 갖는 검사기는 하나의 제어 입력을 갖게될 경우 "CHECK-OFF"로의 고착 결함을 검출할 수 없기 때문에 최소한 두 개의 제어 입력을 필요로 한다.

가장 간단한 병렬 검사 구조는 기능회로의 출력 F와 같은 기능을 하는 회로의 출력 F'를 비교하는 중복 검사 구조(Duplication Check Scheme) 이다. 만약 입력 워드의 집합중 일부만을 시험한다면 F'는 이 입력 워드에 대해서만 F와 똑같은 기능을 수행하고 나머지 입력워드에 대해서는 임의대로 동작한다. 이러한 입력 워드에 대한 각각의 무정의 조건은 F'를 최소화하는데 이용하여 한정된 이중 회로(Reduced Duplicated Circuit) Fred가 되게 한다.

이는 결함의 집합에 따라 코드워드의 검사 비트를 발생하는 회로부는 최소화 될 수 있다는 것을 의미한다. 전체적인 구조는 그림 4와 같으며, 여기에서 CC는 검사기의 검사 시기를 제어할 수 있는 제어회로를 나타낸다.

3.2 제어 가능한 자체검사(Controllable Self-Checking) 검사기 설계

제어 가능한 자체검사 특성을 갖는 검사기는 하나의 제어입력을 갖게될 경우 "CHECK-OFF"로의 고착결함을 검출할 수 없기 때문에 최소한 두 개의 제어입력을 필요로 한다. 본 논문에서 설계하고자 하는 검사기는 각기 다른 코드를 사용하는 기존의 자체검사 기능을 갖는 검사기와 제어 유닛을 이용한 CSC 검사기를 설계한다.

앞의 2.2절에서 논한 2-레일 검사기(Two-Rail Checker: TRC)에서 두 입력 쌍에 대한 2-레일 코드 C_{TRC}는 워드$(a_1, b_1, a_2, b_2) \in \{(0101), (0110), (1001), (1010)\}$로 구성된다. 이때 모든 C_{TRC}의 워드가 검사기의 입력으로 이용 가능하다면 검사기는 단일선에서 발생하는 고착 결함에 대해서 자체검사 특성을 갖는다.(표 1)

2-레일 코드의 특성과 그림 2로부터 TRC에 대한 입력쌍(x, y)는 함수 $f(x, y) = x \oplus y$에 의한 AND 게이트 출력 신호로 식 1과 같이 맵 할 수 있다는 것을 알 수 있다.

이것은 TRC의 함수적 기능이 논리 AND 함수에 준동형(Homomorphic)임을 설명한다.

$$h(TRC(a_1, b_1, \cdots, a_n, b_n)) = AND(h(a_1, b_1), \cdots, h(a_n, b_n)) \quad \text{(식 1)}$$

2 입력 AND 게이트와 유사한 확장 방법으로 2-입력 쌍을 갖는 TRC를 연결 하여 2n 입력 TRC를 구성할 수 있으며, 같은 방법으로 최소한 하나의 입력 쌍 ((a, b), (i = 1, 2, ..., n)이 2-레일 코드에 속할 때, 무결

www.dbpia.co.kr

함 동작을 지시할 수 있는 검사기를 설계 할 수 있다.

이와 같은 두 개의 입력 쌍을 갖는 검사기는 그림 5와 같다.

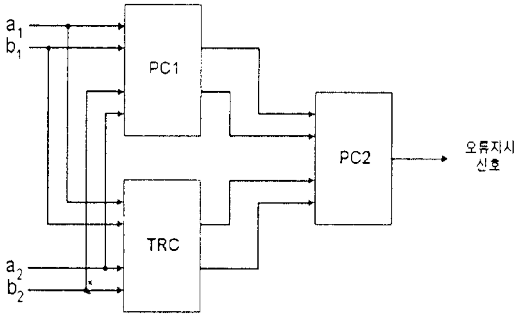


그림 5. 홀수패리티와 2-레일 코드워드로 구성한 검사기
Fig. 5 Checker for Odd Parity and Two-rail Code words

위의 그림에서 검사기는 2개의 4 비트 패리트 검사기(PC)와 두 개의 입력 쌍을 갖는 TRC로 구성한다. 이때 하나 이상의 입력 쌍(a, b)(i=1, 2)이 2-레일 코드에 속한다면 검사기는 무결함 동작을 하는 것으로 표시한다. 위의 경우를 제외하고는 검사기는 비코드워드를 출력한다. 이를 증명하기 위해 그림 5에 대한 검사기의 코드 즉 패리티 2-레일코드($C_{P\text{-}TRC}$)를 표 2에 나타낸다.

표 2. 그림 5의 검사기 출력
Table 2. Output Code of Checker

a_1	b_1	a_2	b_2	
0	0	0	1	홀수 패리티 코드워드
0	0	1	0	
0	1	0	0	
1	0	0	0	
1	1	1	0	
1	1	0	1	
1	0	1	1	
0	1	1	1	
0	1	0	1	2-레일 코드워드
1	0	1	0	
0	1	1	0	
1	0	0	1	

표 2에서 알 수 있듯이 이 검사기에 대한 코드는 두 개의 비결합 부코드(Disjoint Subcode) 즉 홀수 패리티 코드와 2-레일 코드로 구성되었다.

코드워드 $C_{P\text{-}TRC}$에 따라서 PC1 또는 TRC중 하나는 코드워드를 나타낼 것이고 이 코드워드는 패리티 코드워드가 되는 비코드워드와 함께 PC2의 입력으로 작용 할 것이다.

일반적으로 시스템을 구성하는 각 부분들이 자체검사 기능을 가지게 설계되었다고 하면, 전체적인 시스템도 자체검사 기능을 가지고 있다고 할 수 있다. 따라서 설계하는 검사기에 대해서 TRC와 두 개의 PC 회로를 일반적인 자체검사기 설계방법을 채택하여 설계하였때, TRC와 PC1은 각각의 코드워드를 가지므로, 전체 검사기는 자체검사 기능을 갖게된다.

PC1에서의 하나의 XOR-게이트 입력으로 a_1과 a_2를 또다른 XOR-게이트는 b_1과 b_2를 입력으로가질때 PC2에서 두개의 XOR-게이트 입력은 각각 TRC 또는 PC1의 출력이 되며 이때 PC2는 자체검사 기능을 가진다고 볼 수 있고 PC2에서의 각 XOR-게이트는 철저한 검증(exhaustive testing)이 수행된다.

이 결과를 다음과 같은 이론으로 정립할 수 있다.

정리 1. $C=\cup_{i=1}^{n} C_i$, $C_i \cap C_j = \Phi$라고 두면, 코드는 n개의 비결합 부코드(disjoint subcode) $C_i(i=1, ..., n)$로 구성된다. 각 부코드(subcode) C_i에 대해 자체검사 검사기가 존재한다고 하면, 워드 $x \in C \backslash C_i$, $j \neq i$에 의해서 비코드 워드 (0, 0)과 (1, 1)는 발생되고, 코드C에 대해 자체검사 기능을 갖는 검사기가 존재한다.

증명) C의 부코드 C_i은 비결합이기 때문에, 코드워드 $x \in C$는 하나의 $C_i(i=1, ..., n)$ 코드 검사기의 출력에서 무결함 표시와 나머지 $C_j(j \neq i)$ 코드 검사기의 출력에서 오류 표시를 출력한다.

각 C_i 코드 검사기에서 두 개의 출력은 그림 6과 같이 XOR-게이트에 연결할 수 있다.

XOR-게이트는 C_i 코드 검사기의 출력을 1-out-of-n 코드로 변환 한다. 이때 모든 C_i 코드 검사기는 모든 출력 조합을 발생할 수 있고, 각 XOR-게이트는 완전하게 시험될 수 있기 때문에 이 코드 변환기는 자

www.dbpia.co.kr

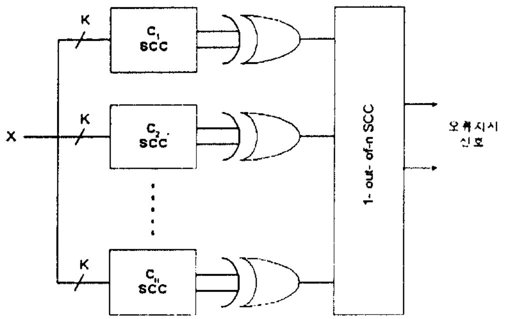


그림 6. 코드C에대한 자체검사기능이 있는 검사
Fig. 6 Self-Checking Checker for Code C

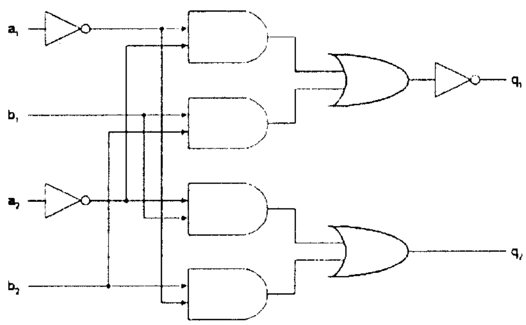


그림 7. 패리티 2-레일 검사기
Fig. 7 Parity Two-Rail Checker

체검사 기능을 가진다고 할 수 있다. 또한 모든 n에 대하여 1-out-of-n 코드에 대한 자체검사 기능을 갖는 검사기가 존재하기 때문에[14], 그림 6의 전체 검사기는 자체검사 기능을 가진다고 할 수 있다. 그림 6의 검사기에서 각각의 C_i 코드 부검사기는 입력으로 각 검사기들의 코드워드의 범위를 넘어서 $C \backslash C_i$로 부터 비코드 워드도 입력으로 받기 때문에 비코드워드에 대해서도 검사 받게되는 방법을 취한다.

Ⅳ. 제안된 제어가능한 자체검사 검사기

4.1 패리티 2-레일 검사기

자체검사 기능이 있는 M-out-of-N 검사기를 설계할 때 M이 3인 코드에 대해서는 조합논리에 의한 자체검사 기능을 갖는 검사기 설계가 불가능하기 때문에 David는 완전한 자체검사 기능을 갖는 순차회로에 의한 1-out-of-3 코드를 1-out-of-4 코드로 변환하여 설계하는 방법을 제시하였다.[15] 그러나 많은 코드에 대해서 그림 6 보다 더 간단한 자체검사 검사기를 설계할 수 있다. 테이블 2에서 비트 a_1, a_2를 인버터하면, 비코드 워드가 2-레일 코드 워드로 바꾸어 질 것이다. 그러므로, 입력 a_1, a_2과 한 개의 반전된 출력을 갖는 TRC는 테이블 2의 코드에 대한 검사기가 될 수 있다.

테이블 1의 코드에 따라서, 이 검사기를 패리티 2-레일 검사기 또는 P-TRC로 나타낸다.

정리 1에서 패리티 2-레일 검사기의 함수적 기능이 논리 AND 함수에 준동형(Homomorphism)이듯이 P-TRC 검사기 기능 역시 논리적 OR 함수에 준동형이다. 따라서 P-TRC 는 n 입력의 OR-게이트와 같은 방법으로 2n 입력에 대해서 연결될 수 있다.

P-TRC는 일반적으로 비코드워드를 입력으로 받는다. 비록 2-레일 코드워드가 검사기에 대한 코드워드이지만, 2-레일 코드워드의 발생은 예외적일 것이다.

정리 2. 모든 패리티 코드워드가 검사기의 입력으로 가능하다면, 모든 단일 고착결함에 대해서 패리티 2-레일 검사기는 자체검사 기능를 갖는다.

증명) 정리 2는 Ⅳ장의 실험 결과로 검증 할 수 있다.

4.2 OR 타입 CSC 검사기 설계

앞절에서 논한 P-TRC를 이용하여, CSC 검사기를 구성할 수 있다. 자체검사 제어 신호가 “CHECK ON”를 나타내면, 검사기는 일반적인 방법으로 입력을 감시(minitor)해야 한다.

“CHECK OFF” 신호에 대해서는 검사기 출력은 입력에 상관없이 2-레일 코드워드를 발생해야 한다. 이러한 기능은 그림 8과 같은 회로에 의해서 될 수 있으며, 이 회로는 P-TRC 검사기가 논리 OR 함수에 준동형이라는 것을 근거로 해서 설계되었으므로 이 CSC 검사기를 OR 타입 CSC 검사기라고 한다.

제어 신호$(c_1, c_2) \in \{(0, 0), (1, 1)\}$(CHECK ON)은 검사기가 SCC의 입력 워드 y를 검사하도록 명령하며, 이때. P-TRC의 출력은 SCC의 출력에 따라 종속된다. 제어신호가$(c_1, c_2) \in \{(0, 1), (1, 0)\}$(CHECK OFF)

www.dbpia.co.kr

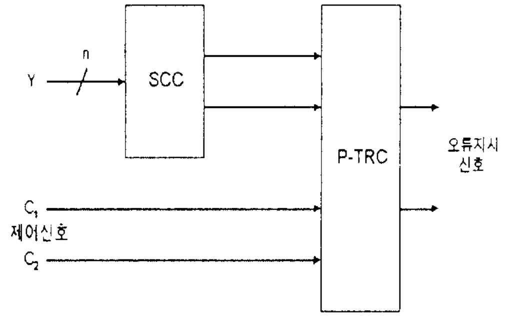


그림 8. OR 타입 CSC검사기의 코드워드
Fig. 8 CSC Checker (OR Type)

에 대해서는, P-TRC의 출력은 자동적으로 입력 워드의 정확성에 관계없이 무결함 동작을 표시한다.

이 검사기에 대한 코드워드는 표 3에서와 같이 'c'는 SCC의 코드워드를 나타내고, '−'는 임의의 워드를 표시한다(Don't Care).

표 3. OR타입 CSC검사기의 코드워드
Table 3. Code Words of OR-TYPE CSC Checker

Y	C_1	C_2	
C	0	0	CEHCK ON
C	1	1	
−	0	1	CHECK OFF
−	1	0	

이 검사기 내의 두 부품이 자체검사 기능을 갖는다면, 제어 가능한 검사기 역시 자체검사 기능을 갖는다. 이러한 요구는 CSC 검사기의 SCC 부분에서 입력워드중 일부만이 SCC의 코드워드가 되는 문제점이 발생할 수 있으나, 이것은 SCC의 나머지 입력에 대한 SCC의 출력에 대해서는 제어 입력이 CSC 검사기에 무결함 동작을 표시하도록 명령하기 때문에 문제되지 않는다.

4.3 XOR 타입 CSC 검사기

만약 SCC가 충분한 코드워드를 갖지 못한다면, 그림 9와 같이, P-TRC를 패리티 검사기(PC)로 대체하여 CSC 검사기를 변형할 수 있으며, 이때 패리티 검사기는 P-TRC와 유사하게 논리 XOR 함수에 준동형이다. 따라서 그림 9의 검사기를 XOR 타입 CSC 검사기로 부른다.

XOR 타입 검사기와 이전의 OR 타입 CSC 검사기와 차이점은 XOR 타입 CSC 검사기의 제어 입력으로 2-레일 코드가 더 이상 이용되지 않는다는 것이다. 이것은 CSC 검사기가 검사하지 않을 명령을 받는다면 SCC의 정확한 출력은 CSC 검사기의 오류 출력을 유도한다는 것을 의미한다.

XOR 타입 검사기의 코드 워드를 테이블 4에 나타내었고, 여기서 'c'의 의미는 SCC의 코드 워드, '$\bar{c}$'는 비코드 워드를 표시한다.

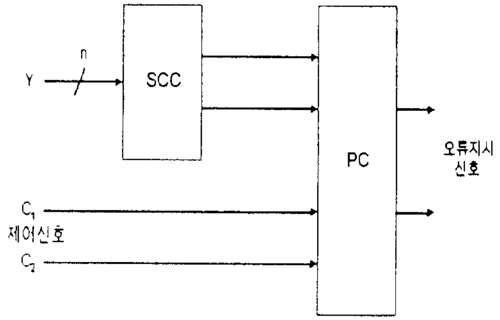


그림 9. XOR타입 CSC 검사기
Fig. 9 CSC Checker(XOR Type)

표 4. XOR 타입 CSC검사기의 코드워드
Table 4. Code Words of XOR-TYPE CSC Checker

Y	C_1	C_2	
C	0	0	CEHCK ON
C	1	1	
$\bar{c}$	0	1	CHECK OFF
$\bar{c}$	1	0	

역시 CSC 검사기의 출력은 SCC를 통해서 코드 워드를 비코드 워드로 맵핑시키는 오류에 대해서 민감하다. 따라서, SCC는 비코드 워드에 의해서도 검사될 것이고, 그것들중 대부분 SCC의 결함을 검출할 수 있다. CSC 검사기에서 PC는 가장 발생하기 쉬운 4개의 코드워드로 완벽한 실험을 수행할 수 있다.

www.dbpia.co.kr

V. 실험 및 결과 고찰

5.1 제안된 검사기 응답

제안된 제어 가능한 자체검사 기능이 있는 검사기 실험에 앞서 CSC 검사기의 기본 빌딩블럭이 되는 그림 7의 회로에 대한 고착결함 발생 응답을 실험한다. 이때 기존의 TSC 비교모듈(그림 2의 회로)의 자체 검사성과 설계한 P-TRC의 자체 검사성을 비교하기 위해서 시험 입력은 표 2와 동일한 코드를 적용했다. 실험을 위한 툴은 ALTERA MAX +PLUS II를 이용하였다.

그림 10-a와 10-b는 고착결함에 대한 P-TRC의 응답을 보여주고 있으며, 이 결과는 P-TRC 회로가 완전한 자체 검사 회로의 정의에 만족한 자체검사 기능을 유지한다는 것을 보여 주고있다.

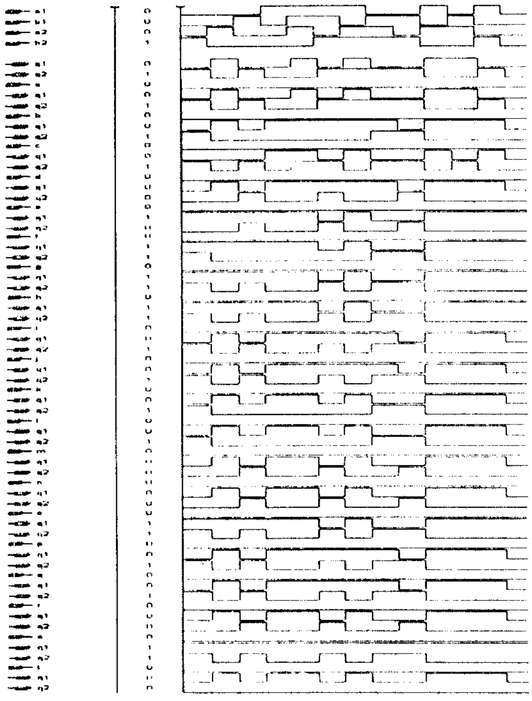


그림 10-a. 고착결함 0에 대한 P-TRC 응답
Fig. 10-a P-TRC response for the stuck at 0 fault

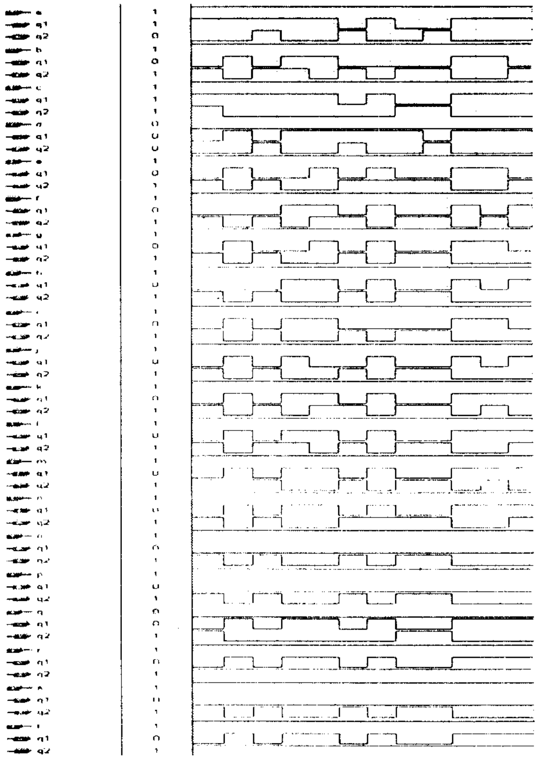


그림 10-b. 고착결함 1에 대한 P-TRC 응답
Fig. 10-b P-TRC response for the stuck at 1 fault

5.2 제안된 검사기의 응용 예

제안된 검사기를 가산기 회로의 검사기로 응용했을 경우에 대한 시뮬레이션이다.

시험 벡터 abc_{000, 010, 101, 111}=:T는 32개의 단일 고착결함중 30개의 고착결함을 검출할 수 있다. 이러한 벡터들에 대해서 s=b이고 c+=a를 갖는다.

벡터 T에 대해서 모든 나머지 벡터 a⊕c_=1이 성립되는 반면 역시 a⊕c_=0이다. 따라서 a와 c_에 의해서 제어되는 자체검사 특성 검사기에 의해서 가산기를 검사할 수 있다.

벡터 T에 속하지 않는 벡터(a=c_)가 등가 검사기를 디스에이블(Disable)하게 하는 반면 벡터 T(a=c_)는 등가 검사기를 인에이블(Enable) 한다.

실험을 위해서 가산 기능중 위에서 정의한 입력 벡터에 대해서만 검사하는 것으로 했으며, 이때 회로 Fred는 이 입력 벡터에 대해서만 동일한 기능을 하는

www.dbpia.co.kr

것으로 한다. 따라서 Fred 회로는 b와 c_선으로 구성할 수 있고, CC는 a와 c_선으로 나타 낸다.

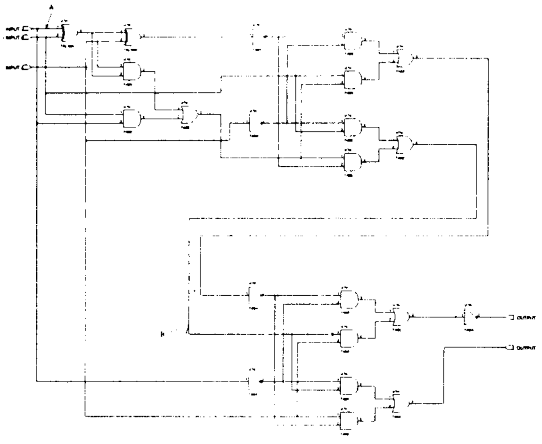


그림 11. 가산기에 대한 자체검사 특성 검사기
Fig. 11 Controllable Self-checking checker for a Full Adder

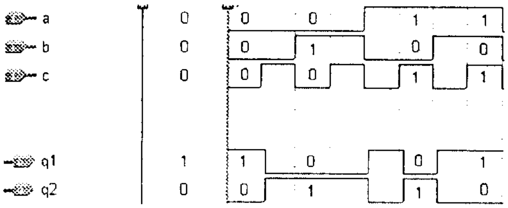


그림 12. 무결함시 CSC 검사기 응답
Fig. 12 CSC Checker's response for the fault free state.

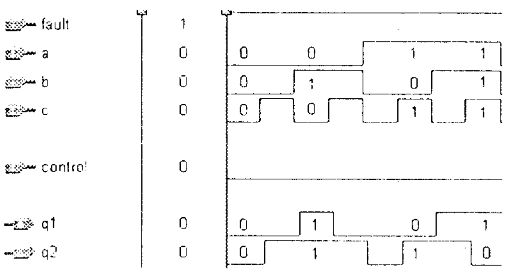


그림 13-a. 입력 A에서 고착결함 1이 생긴 경우의 결과
Fig. 13-a Result of output in the case of the stuck at 1 fault in input a node

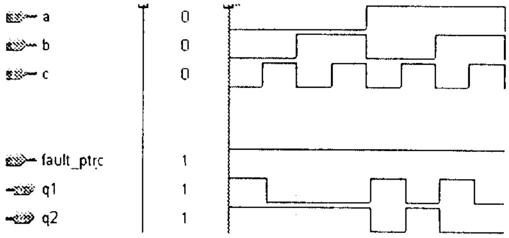


그림 13-b. 입력 B에서 고착결함 1이 생긴 경우의 결과
Fig. 13-b Result of output in the case of the stuck at 1 fault in input B node

위의 실험 결과 설계한 자체검사 특성 검사기는 정의된 입력 벡터에 대해 결함 발생을 검출할 수 있었을뿐(그림 13-a) 아니라 검사기 자체에 대한 결함 발생시(그림 13-b)에도 비코드워드를 발생함으로써 기능회로 및 검사기 자체에 대한 검사기능을 유지할 수 있음을 보여 주었다.

Ⅵ. 결 론

결함 허용 시스템에서 그 신뢰성과 유지보수성을 향상하기 위해서 결함 검출 기능은 필수적이며, 하드웨어 및 소프트웨어 방법을 통한 여러 방안이 제시되고 있다. 그러나 언제나 발생할 수 있는 문제점은 검사를 수행하는 회로 및 알고리듬에 대한 자체 검사기능에 대한 신뢰성이다. 또한 시스템이 처리하는 모든 정보가 시스템의 성능을 희생하면서 그 보안성을 유지해야 하는가 이다. 이러한 문제점을 해결할 수 있는 방법으로 시스템이 처리하는 정보의 부정확성이 시스템 및 그 환경에 위험을 초래할 수 있는 정보와 그렇지 않는 정보를 구별하여 전자의 정보에 대해서만 여분(Redundancy)을 이용한 시스템 동작 방식을 취한다면 시스템 성능의 희생을 최소화 하면서 목적하는 시스템을 구성할 수 있을 것이다.

이러한 목적하에 본 논문에서는 On-Line 모드에서 결함 발생시 비코드워드를 발생 함으로써 결함을 검출할 수 있는 자체검사 특성 검사기를 설계하였다. 이는 기존의 2-레일 검사기에서 2-레일 신호로 제한되었던 시험 입력 신호를 패리티 신호까지 시험 입력 벡터로 확장할 수 있음으로써 결함 커버리지를 향상

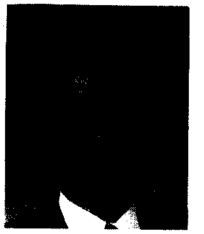
www.dbpia.co.kr

할 수 있었다. 또한 검사기의 입력 일부를 시스템의 출력판단(현재 출력에 대해 보안성을 유지해야하는 가)정보로 이용하여 조건적으로 시스템을 동작함으로써 시스템의 성능 희생을 최소화 할 수 있었다.

본 논문에 대한 향후 연구는 현재 제한된 시험 입력으로 인해 손실되고 있는 결함 커버리지를 보상할 수 있는 방법이 연구 되어야 할것이며, 이는 BIST(Built-in Self-Test) 기술과 접목하여 새로운 검사기 설계가 연구되어야 할것이다.

참 고 문 헌

1. Paray K. Lala, Fault Tolerant and Fault Testable Hardware Design, Prentic Hall International, Inc., London, 1985.
2. Vishwanid. Agrawal, Charles P. Kime, Kewalk. Saluja, "A Tutorial on Built-In Self-test Part Ⅰ," IEEE Design&Test of Computer Vol. 10, No. 3, pp. 73~82, March, 1993.
3. Vishwanid. Agrawal, Charles P. Kime, Kewalk. Saluja, "A Tutorial on Built-In Self-test Part Ⅱ," IEEE Design & Test of Computer Vol. 10, No. 3, pp. 69~77. June, 1993.
4. Dhiraj K. Pradhan, Fault-Tolerant Computer System Design, Prentic Hall PTR, 1996.
5. Anderson, and G. Metze, "Design of totally Self-check circuits for m-out-of-n codes," IEEE Trans. on Computer, Vol. 22, No. 3, pp. 263-269, 1973.
6. M. Nicolaidis, "A Unified Built-In Self-Test Scheme : UBIST, Proc. Int. Symposium on Fault-Tolerant Computing," FTCS 18, Tokyo, pp. 157-163, June, 1988.
7. J.P. Khakbaz, E.J. McCluskey, "self-Testing Embeded Parity Checkers-Exhaustive XOR Gate Testing," Stanford Univ., CRC Rep. 82-10/CSL TN 207, June, 1982.
8. J.P. Khakbaz, "Totally Self-Checking Checker for 1 out of n Code Using Two-Rail Codes," IEEE Tran. on Computer, Vol. C-31, No. 7, pp. 677-681, July, 1982.
9. S. Kundu, S.M. Reddy, "Embeded Totally Self-Checking Checkers : A Practical Design," IEEE Design & Test of Computer, pp. 5-12, August, 1990.
10. 양성현, 이기서, "Fault-Tolerance를 위한 시스템 동작 방식에 대한 비교연구," 한국통신학회 논문지, 제17권, 제11호, pp. 1297~1289, 1992.
11. 양성현, 이기서, "TMR 시스템의 설계 및 신뢰도 측정 알고리즘," 대한 전기 학회 논문지 제43권, 제3호, pp. 515~527, 1994.
12. Wakerly, Error Detecting-Codes, Self-Checking Circuit and Applications, New York, North-Holland, 1978.
13. Man Young Rhee, Error-Correcting Coding Theory, McGraw Hill Inc, 1989.
14. Javad Khakhaz, "Totally Self-Checking Checker for 1-out-of-n Code using Two-Rail codes," IEEE Tran. on Computers, Vol. C-31, No. 7, pp. 677~681, July. 1982.
15. Rene David, "A Totally Self-Checking 1-out-of-3 Checker," IEEE Trans. on Computer, Vol. C-27, No. 6, pp. 570-572, 1978.



양 성 현(Sung-Hyun Yang) 정회원
1958년 2월 1일생
1985년 2월 : 광운대학교 전기공학과 졸업(공학사)
1988년 2월 : 광운대학교 대학원 전기공학과 졸업(공학석사)
1993년 2월 : 광운대학교 대학원 전기공학과 졸업(공학박사)
1996년~1998년 : Research Lab. on Reliable Computing Boston University, Research scientist.
1990년~현재 : 광운대학교 전자공학부 부교수
e-mail : shyang@daisy.kwangwoon.ac.kr

이 기 서(Kee-Seo Lee) 정회원
1951년 1월 18일생
1977년 2월 : 연세대학교 공과대학 전기공학과 졸업(공학사)
1979년 2월 : 연세대학교 공과대학 전기공학과 졸업(공학석사)
1986년 2월 : 연세대학교 공과대학 전기공학과 졸업(공학박사)
1988년~1989년 : Yale University 교환교수
1981년~현재 : 광운대학교 제어계측공학과 교수

www.dbpia.co.kr