DBpia

論文 98-23-6-22

CDMA방식의 PCS 전화기를 위한 새로운 방식의 고주파 전위회로에 관한 연구

정회원 윤 기 호*, 박 한 규**

Novel RF Front-end Circuit for CDMA Based PCS Phone

Gi Ho Yun*, Han Kyu Park* *Regular Members*

요 약

본 논문은 CDMA 방식의 PCS 전화기용 고주파 전위회로에 관한 것으로 전력증폭기와 듀플렉서를 결합하여 하나의 모듈로 구성하였다. 기존의 듀플렉서를 구성하고 있는 유전체 여파기들이 서로 분리되어 전력증폭기내에서 재배치되며 특히 송신용 대역저지여파기가 전력증폭기의 구동증폭기 이후에 위치된다. 결합모듈은 크기가 1.5CC에 불과하여 전화기 소형화에 크게 기여할 것으로 기대된다. 출력 24dBm에서 IS-95에 준하는 CDMA 선형특성을 만족하였으며 PCS 송수신 주파수대역에서 필요한 감쇠특성을 나타내어 듀플렉서로서 역할도 수행하였다. 결합모듈의 출력단자가 곧바로 안테나에 연결되므로 결합전보다 출력이 줄어들게 되어 이에 상응하는 동작전류가 줄어들었으며, CDMA 전화기가 실제 환경에서 동작시 출력크기의 대부분이 선형영역에 있는 점을 감안하여 전력증폭기의 동작점을 B급으로 제한하여 전류소모를 줄였다. 이 결과 약 95mA 의 드레인 전류를 절약할 수 있었다.

ABSTRACT

In this paper, the design and implementation of the novel RF front end circuit for CDMA based PCS phone is described. This novel scheme is realized by building the power amplifier module combined with duplexer. The dielectric filters which are parts of duplexer are broken up and relocated into the module. Electromagnetic analysis for via holes and coupling between narrow transmission lines is included to design a circuit. The combined module has been miniaturized to be as small as 1.5CC. It has satisfied IS-95 requirements for linearity performances of CDMA signal at 24dBm output power as well as played a part as a duplexer. The operating current of about 95mA has been saved owing to both rearranging dielectric filters and limiting operating point to class-B by considering real working power range of CDMA phones.

* 호남대학교 전파공학과
** 연세대학교 전파공학과
論文番號 : 98091-0302
接受日字 : 1998年 3月 2日

www.dbpia.co.kr

Ⅰ. 서 론

새롭게 서비스되고 있는 CDMA based PCS 전화기는 기존의 이동전화와 경쟁함에 따라 가격, 제품크기, 재충전 사용시간등에서 비교우위를 가져야하는 부담을 갖게되었다. 이러한 PCS 전화기의 성능을 개선하기 위해 전력효율향상과 제품의 크기를 줄이는 측면에서 전력증폭기, 듀플렉서등에 대한 논문들이 발표[1,2,3]되었고 관련제품이 출시되었다. 그러나 전력증폭기나 듀플렉서등의 부품자체에 한정되어 그 효과는 크지 않았다.

본 논문에서는 RF Front-end 회로크기를 최소화하고 배터리 재충전시간을 연장하기 위해 듀플렉서(duplexer)와 전력증폭기를 결합한다. 듀플렉서를 구성하는 유전체여파기들중 송신용 대역저지여파기는 전력증폭기의 두 개의 GaAs FET 사이에 그림 1과 같이 위치시킨다. 이러한 구성은 전력증폭기 출력이 곧바로 안테나에 연결되므로 전력증폭기의 출력이 적어지며 그만큼 직류전원의 소모가 적게되어 배터리 사용시간을 연장시킬 뿐 아니라 흔히 전력증폭기와 듀플렉서간의 정합을 위해 사용되고 있는 isolator를 없앨 수있어 Front-end 구조는 훨씬 간단해진다. 한편 전력제어가 중요한 CDMA 방식의 이동통신 전화기가 실제 동작환경에서 주로사용하는 전력크기의 통계를 토대로 동작점의 전류의 소모를 줄이는 방향으로 전력증폭기의 동작점을 설정하여 CDMA에서 요구하는 선형성(ACPR, Adjacent Channel Power Rejection 이하 ACPR 이라 칭함)을 만족하도록 한다[4].

전력증폭기는 Load/source-pull 방법으로 IS-95에서 기준으로 하는 선형성인 ACPR을 만족하고 이외의

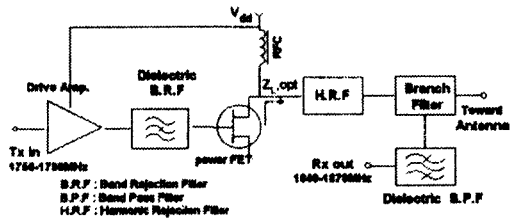


그림 1. 여파기들과 결합된 전력증폭기의 개략도
Fig.1 The block diagram of power amplifier module combined with dielectric filters.

전기적인 성능과 trade-off되는 최적 임피던스를 측정하고 이를 이용하여 설계한다. 모듈소형화로 인한 전송선로간 , via hole 등을 전자기 해석을 통해 설계에 반영하였다. 특히 종단 전력증폭소자는 F-급 동작을 할 수 있도록 입출력 임피던스가 고려되어 설계되었다. 또한 회로의 크기를 줄이기 위해 다층기판을 사용하였다.

Ⅱ. 제안된 구조의 동작

국내에서 서비스되고 있는 PCS 전화기의 송신 및 수신주파수 대역은 기존의 800MHz 이동전화기들에 비해 훨씬 넓은 주파수간격인 60MHz를 갖는다. 이로부터 송수신 신호를 분리하기 위한 듀플렉서 구조가 간단해지므로 구현이 훨씬 용이하며 생산과정에서도 튜닝작업이 간소화해지는 것을 의미한다. 따라서 듀플렉서를 구성하고 있는 유전체여파기들, 즉, 송신용 대역저지여파기와 수신용 대역통과여파기 그리고 분기회로(Branch circuit) 을 그림 1과 같이 별도로 분리하여 전력증폭기내에 배치시켜 두 개의 부품을 하나의 결합된 모듈로 구현하여도 듀플렉서 기능을 수행할 수있다.

종래의 듀플렉서를 구성하는 송신측 대역저지 여파기는 그 통과대역의 신호에 대한 삽입손실이 통상 2~3dB 정도이며 이 때문에 전력증폭기 출력을 삽입손실에 해당하는 만큼 높히므로서 배터리 전력소모가 컸다. 그러나 그림 1과 같은 구조에서는 대역저지여파기의 삽입손실을 전력증폭기 이득으로 보상하므로 서 전력증폭기 모듈 출력이 곧 안테나 출력이 되기 때문에 전력증폭기 출력을 기존보다 낮출 수 있는 장점을 갖는다. 즉, 이것은 전력증폭기의 전류소모를 줄여 배터리 사용시간을 연장시킬 수 있다.

한편, CDMA 이동전화 시스템은 가입자 수용용량을 늘리기 위해 시스템 전력제어가 이루어진다. 따라서 국내의 PCS 전화기는 CDMA 방식을 근간으로 하기 때문에 실제 동작환경에서 전화기 출력은 5dBm 이하가 대부분이다. 이는 전력증폭기가 대부분의 시간을 선형영역에서 동작하고 있는 것을 의미하며 이때 전력소모는 전력증폭기를 구성하는 power FET 의 직류 동작점의 전류(idle current)에 의해 결정되므로 동작

www.dbpia.co.kr

점을 AB급으로 낮출 경우 전류소모가 현저히 줄어든다. 통상 효율을 개선하기 위해 최대 출력에서 전력부가효율(PAE, Power Added Efficiency)을 개선하기 위한 방법들[1,2,3,6]보다 실제적인 방안인 셈이다. 그러나 AB급 동작점으로 접근할수록 전력증폭기의 선형특성은 악화되며 더구나 디지털 방식인 CDMA 이동통신 전화기는 전력증폭기의 입출력에서 높은 선형성이 요구된다. 이러한 선형성을 나타내는 지표로서 안테나 송신 출력에서 신호의 왜곡정도에 따라 정해지는 ACPR이 있으며 이 값은 CDMA 규격인 IS-95에서 정의되어 있다. 따라서 power FET 부품차원에서 그리고 회로 적으로 선형특성을 개선하기 위한 설계를 해야한다.

본 논문에서는 SMS(Samsung Microwave Semiconductor Corps.)사에서 개발된 12mm n-channel 게이트 폭을 가진 Power MESFET을 사용하였으며 이는 AB급의 동작점에서도 높은 선형성을 확보하기 위해 넓은 게이트 전압 범위에서 평탄한 전달컨덕턴스(Trans- conductance, G_m)특성을 갖고있어 대신호의 동작에서도 G_m 의 고차성분이 영의 값에 근접하여 왜곡을 최소화 할 수 있다[5]. 선형특성을 개선하기 위한 다른 방법으로서 power FET의 입출력 단에서 고조파 임피던스를 제어하는 F급 동작이론을 적용한다. 이 이론은 본디 최대출력을 갖는 전력증폭기의 전력효율을 개선하기 위한 방법이나 최근 선형특성도 개선시킬 수 있음이 입증되었다[4,6,7]. 즉, 1dB 이득 감소전력 점인 P_{1dB}가 상승하며 결과적으로 CDMA 디지털방식 전화기에 사용되는 전력증폭기의 선형성을 나타내는 ACPR을 개선할 수 있다. 구체적인 회로 설계 방법으로 고조파들 중에서 상대적으로 전력크기가 큰 2번째, 3번째 고조파들을 제어하며 이를 위해 각기 고조파에 대해 임피던스 구현을 위한 하모닉튜닝이 필요하다.

Ⅲ. 결합모들의 설계

유전체 여파기는 여러 가지 형태의 동축형 유전체 여파기들이 있으나 외부구조가 사각형이고 내부 단면이 원통형 형상을 갖는 $\lambda_g/4$ 유전체 공진기가 가장 많이 사용되고 있다. 이는 단위체적당 가장 우수한 무부하 Q_u값을 제공하며 전기적으로 기구적 으로 안정한 구조를 가지고 있다[8,9]. 동축형 유전체 공진기의 무부하 Q_u는 도체표면상의 도체손실($1/Q_c$)과 공진기의 내부를 채우고 있는 유전체 손실($1/Q_d$)에 의해 결정되고 식(1) 와 같은 방정식으로 주어진다.

$$\frac{1}{Q_u}=\frac{1}{Q_c}+\frac{1}{Q_d} \tag{1}$$

유전율이 높아감에 따라 무부하 Q_u 는 도체손실에 의해 악화되고 Q_u 개선시키기 위해서는 도체손실이 작아야한다. 여기에서 Q_c는 공진기의 크기를 나타내는 값들에 의해 다음과 같이 표현된다[8].

$$Q_c=(l/\delta)\frac{1}{1+(l/b)F} \tag{2}$$

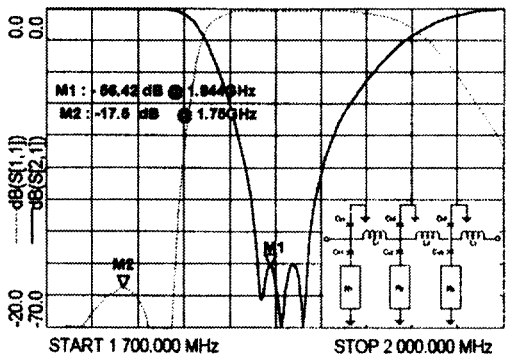
여기에서 δ는 skin depth 이고 b 는 공진기의 외경, 그리고 l은 공진기의 길이이다. F는 공진기의 구조를 나타내는 내부와 외부원통의 직경 a 와 b의 비(a/b)로 결정된다. 공진기의 외부형태가 사각형이고 내부가 원통형일 때 가장 적은 F 값을 가지며 특히 a/b가 약 1/3인 경우 F는 최소값을 가진다. 이때 식(2)으로부터 도체손실($1/Q_c$) 이 최소가 된다[8].

본 논문에서 유전체 여파기에 사용되는 공진기는 유전율이 37이고 3×3mm2 의 크기와 $\lambda_g/4$ 길이를 갖는다. 송신용 대역저지여파기의 주된 기능은 수신대역 신호와의 간섭을 줄이고 고조파나 spurious 신호를 억제하는 것이다. 대역저지 여파기는 고역통과 원형(proto type)을 기초로 주파수 변환하여 설계되며 3차의 elliptic 함수 형태를 갖는다. 그림 2(a)는 Hp사의 MDS를 이용한 모의 실험결과 및 등가회로를 보여주고 있다. 등가회로에서 $\lambda_g/4$ 공진기(R_1~R_3)와 캐패시터(C_{c1}~C_{c4}) 는 감쇠극(attenuation pole)들로 작용하고 air coil로 구현되는 인덕터(L1~L3)들과 선로와 접지(ground)사이의 기생캐패시턴스들이 위상천이기로서 역할을 한다. 이들은 일종의 저역통과여파기로도 동작하며 송신계통에서 발생하는 고조파 신호를 억제한다. 수신대역에서 50dB 이상의 감쇠를 목표로 하며 모의실험결과에서 이를 확인할 수 있다. 결과적으로 송신용 여파기는 대역저지여파기와 저역통과여파기로서 구성되며 본 논문에서는 대역저지 여파기는 전력증폭기의 drive FET 과 power FET 사이에 위치한다. 저역통과 여파기는 power FET 의 출력 단에서

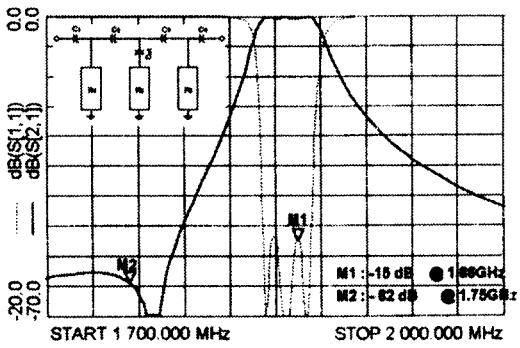
www.dbpia.co.kr

기존의 고조파제거를 위한 여파기회로를 보다 강화시켜 구현된다.

수신경로상에 위치한 대역통과여파기의 주된 기능은 고출력 송신신호로부터 미약한 수신신호를 보호하며 고조파들이나 기생 신호들을 제거한다. 그림 2 (b) 내의 등가회로로부터 50dB이상의 송신신호의 감쇠를 얻기 위해 감쇠극(attenuation pole)을 송신주파수에 맞춰 추가한 Tchebyscheff 함수형태로 구현된다. 이것의 모의 실험결과가 같은 그림 상에 보여진다. 등가회로상의 결합캐패시터(C1~C4)들은 세라믹 기판에 은도금 처리되어 높은 Q값을 제공하는 평판 캐패시터(parallel plate capacitor)들로 구현된다.



(a)



(b)

그림 2. 유전체여파기의 모의실험결과및 등가회로대역저지 여파기(a)및 대역통과여파기(b)

Fig.2. The simulation result of dielectric filters and their equivalent circuits

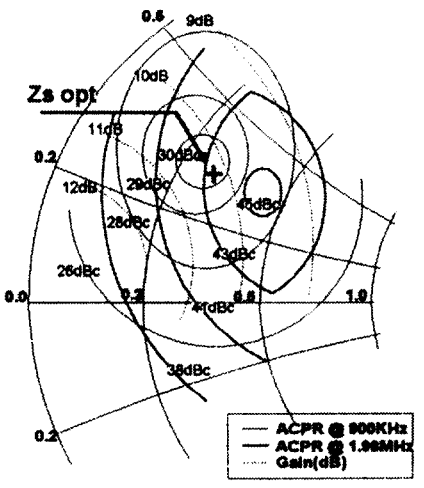
구동증폭기는 선형영역에서 동작하므로 주어진 산란계수를 이용하여 설계한다. 반면에 power MESFET을 사용하는 종단증폭기 설계는 중심주파수에서 Load/source-pull 방법에 따른다. 이때 실제의 IS-95에서 제시하는 CDMA 신호원을 인가하고 power FET 역시 B급(V_{dsQ}=3.6V, I_{dsQ}=55mA)으로 설정한다. 사용된 Auto Tuner는 Focus사에서 제작한 1808 모델이다. 출력신호의 일부를 분기하여 스펙트럼 분석기로서 소자의 발진상태 및 ACPR 성능을 확인한다. 먼저 입력단에서 이득과 중심주파수에서 ACPR 성능을 확인하면서 적당한 입력임피던스를 찾은 다음 출력단의 tuning을 한다. 출력 임피던스 변화에 따른 출력레벨과 효율, ACPR을 고려하여 출력임피던스를 찾은 다음 다시 한번 입출력 단을 tuning 하여 최적 임피던스를 찾는다. 이때 출력은 24Bm 으로 한다.

그림 3에는 중심주파수에서의 Load/source-pull 결과를 보여준다. 선정된 최적 입출력 임피던스들과 이

표 1. 최적 입출력 임피던스 및 전기적 특성

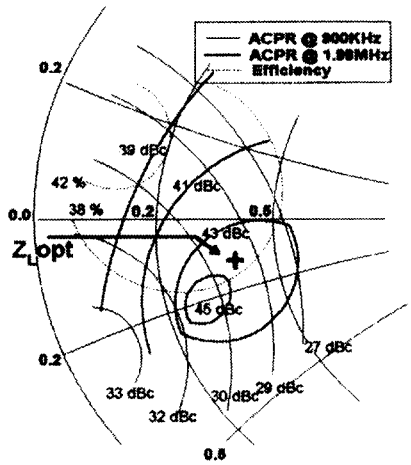
Table 1. Optimum impedances and electrical performances.

Test items		Measured results
Optimum impedances	$Z_{s,opt}$	0.616∠140°
	$Z_{l,opt}$	0.462∠-165°
Gain		12dB
ACPR		28dBc @900KHz 41dBc@1.98MHz



(a) 입력 임피던스 tuning

www.dbpia.co.kr



(b) 출력 임피던스 tuning

그림 3. 임피던스 변화에 따른 이득, ACPR, 효율의 궤적
Fig.3. The locus of efficiencies, gain and ACPR

들 부하조건으로부터 측정된 전기적인 특성들이 표 1에 요약되었고 ACPR 성능이 그림 4에서 보여준다. 중심주파수 1765MHz에서 출력은 24dBm 이며 900KHz 떨어진 지점은 28dBC 이고 1.98MHz 지점은 41dBc 이다. 이값들은 IS-95에서 요구하는 성능과 비교해서 여유가 없으며 출력단에서 고조파 임피던스 제어에 의해 개선된다.

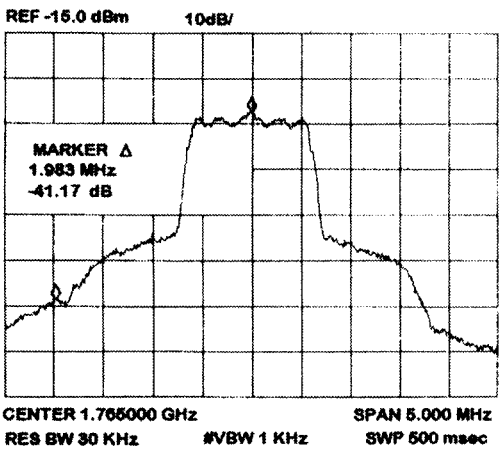
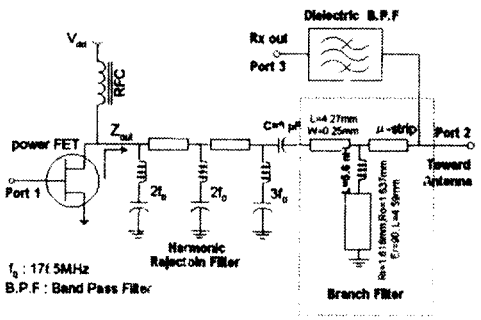
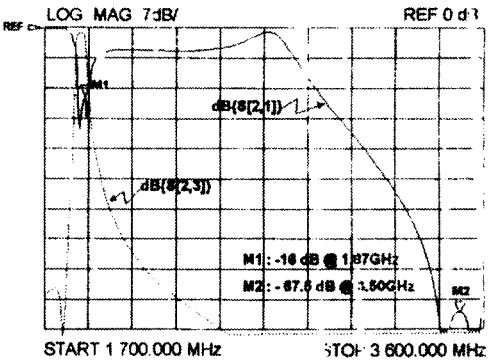


그림 4 최적임피던스에서 측정된 CDMA 신호의 ACPR 성능
Fig.4. ACPR performances measured under optimum impedances.

그림 5 (a)는 종단 전력증폭기의 출력단 개략도로서 최적 출력 임피던스들에 대한 정합회로가 구현돼 있다. 출력임피던스(Zout)는 기본파에 대해서는 표 1에서 주어지는 출력 최적임피던스(0.462∠-165°)값을 가지며 F급 동작이론에 따라 제2고조파에 대해서는 zero 임피던스를 가져야한다. 그리고 송신계통에서 발생하는 고조파 신호들을 억제해야 하므로 고조파 신호들중 상대적으로 신호크기가 큰 제2고조파($2f_0$)와 제3고조파($3f_0$)를 직렬공진회로를 통해 제거하며 제2고조파의 zero 임피던스는 이들 직렬공진회로로서 실



(a) 결합모듈의 출력단 개략도



(b) 출력단의 모의 실험 결과

그림 5. 출력단회로의 개략도 및 모의 실험결과
Fig.5. The schematic diagram and simulation results of output circuit

www.dbpia.co.kr

현된다. 그림 5 (a)의 분기회로는 결합모듈과 직접 연결되는 안테나와 송수신 경로간을 서로 분리한다. 유전율 90을 갖는 하나의 λg/4 공진기와 직렬로 연결된 인덕터로서 감쇠극을 형성하여 송신경로로 입력되는 수신신호에 높은 임피던스 벽을 만든다. 그림 5(b)는 출력단회로와 수신용 대역통과여파기에 대해 3단자 회로망으로 간주한 모의 실험 결과를 보여준다. 포트 1과 포트 2간의 전송특성(S[2,1]) 으로부터 송신대역에서는 손실이 거의 없고 수신대역에서 송수신 주파대역의 분리를 위해 약15dB 의 감쇠와 제2고조파 주파수 대역에서 60dB 이상의 감쇠를 보여주고 있다.

이동통신 제품 특성상 좁은 공간에 많은 부품을 집적화 시키므로 전송선로들 사이의 전자기적 결합특성이 성능에 영향을 미친다. 또한 다층기판을 이용하는 경우 각 층간을 연결하는 via hole 에 대한 특성 측정이 필요하며 내층의 스트립선로들 사이의 결합특성도 고려하여야 한다. 전자기 해석은 모멘트 방법을 이용하는 Zeland s/w사의 IE3D를 활용하였다. 특히 결합부분에 대한 해석의 정확성을 위해 전송선로의 가장자리에 edge cell을 두었다. 그림 6에서 볼 수 있는 구조와 같이 다층기판의 최상위층과 내층을 연결하는 via hole 과 내층에 있는 스트립 선로로 구성되는 전송선로를 선정하여 전송특성(S21)의 모의실험결과(그림 6의 LINE 곡선)를 보여주고 있으며 아울러 via hole 자체만의 결과(그림 6의 VIA 곡선)도 나타나 있다. 모의 실험을 통해 전송선로의 폭에 비해 선로간의 간격이 좁아짐에 따라 선로의 전기적인 길이가 짧아지는 것을 확인하였고 이를 회로 설계에 반영하였다.

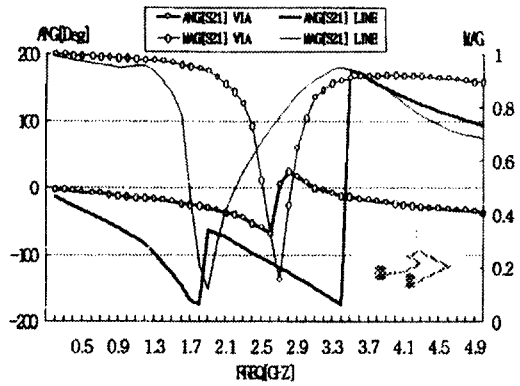
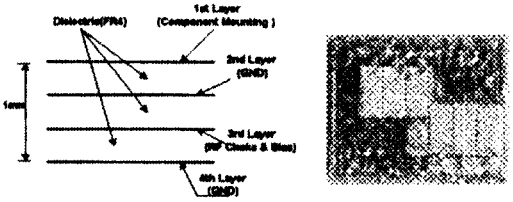


그림 6. 전자기해석에 대한 모의 실험결과
Fig.6. Simulation results of electro-magnetic analysis

Ⅳ. 실험 및 결과 분석

제작된 모듈의 측정시스템은 Load/source-pull 방식의 그것과 동일하다. 사용된 기판은 유전율 4.7을 갖는 Glass-based Epoxy(FR4)가 이용되었으며 모듈의 크기를 줄이기 위해 그림 7(a)와 같이 4층기판을 사용하였다. 2층과 4층은 접지면 이고 최상위 층은 모든 부품이 탑재되며 원하는 성능을 얻기 위해 조정이 필요한 회로들이 위치한다. 3번째 층은 스트립 선로 구조이며 전원공급을 위한 고주파 쵸크(RFC) 및 선로 길이가 긴 부분을 위치시킨다. 또한 최상위층에 탑재되는 저항과 캐패시터들은 1005 type으로 모듈크기를 줄일 수 있게 하였다. 제작된 모듈은 그림 7(b)에서 보여주며 크기는 1.5CC (22×17×4mm3)이다.



(a) (b)

그림 7. 제작된 모듈의 단면도 및 사진
Fig.7. The cross section (a) and photograph(b) of an implemented module.

제작된 모듈의 공급전압은 3.6V 이다. drive FET과 power FET 에 흐르는 드레인 동작전류는 각기 40mA와 52mA이다. 즉, power FET은 AB급으로 동작하고 있음을 알 수 있다. 그림 8은 결합모듈을 통과한 CDMA 파형에 대한 ACPR 성능을 보여준다. 이때의 출력크기는 24dBm이다. Load/source-pull 방법에 의해 최적 입출력 부하임피던스로 부터 얻어낸 그림 4의 ACPR 특성보다 개선된 것을 볼 수 있으며 요구사양에 비해 중심주파수에서 900KHz와 1.98MHz 떨어진 지점에서 약 2~3dB 우수한 성능을 갖는다. 또한

www.dbpia.co.kr

IS -95 에서 안테나 출력단자에서 규정한 ACPR 보다 4~5dB 여유를 갖는다.

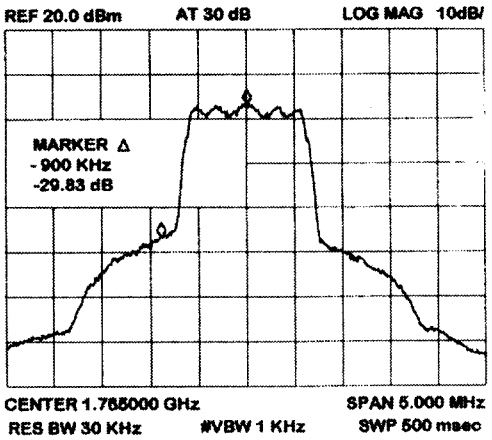


그림 8. 제작된 모듈의 ACPR 성능
Fig.8. ACPR performances of an implemented module.

그림 9는 결합모듈의 소신호 이득특성을 네트워분석기로 측정한 것이다. 송신대역에서 22dB의 이득이 얻어졌으며 수신대역신호(1840~1870MHz)에서 27dB의 감쇠를 보여준다. 제2고조파 주파수대역에서는 63dB의 감쇠가 이뤄졌다. 표 2에는 측정된 결과가 요구사양과 함께 정리되었다. 표 2의 감쇠(atten.)와 격리도(isolation) 성능들을 볼 때 요구사양에 대비한 측정결과는 결합모듈이 듀플렉서의 역할을 수행하고 있음을 확인 할 수 있다. 표 2로부터 선형영역에서 결합모듈의 총 동작전류는 두 개 FET의 동작점 전류의 합과 유사한 95mA에 불과하다. 이는 동작점을 AB급으로 제한하므로 서 전화기의 idle 전류의 소모를 줄였다. 따라서 실제 환경에서 전화기 출력은 대부분 선형영역에서 동작하므로 배터리 수명을 연장시키는 데 크게 도움이 될 것이다. 또한 결합모듈은 안테나와 직접 연결되므로 종래의 구조보다 출력이 적어도 되므로 이에 따른 출력감소분(약 2~3dB)만 큼 전류소모를 줄일 수있게 되었다. 즉, 종래의 front-end 구조를 갖는 상용제품들에 비해 약 50mA 정도의 전류가 절약되는 것으로 예측된다.

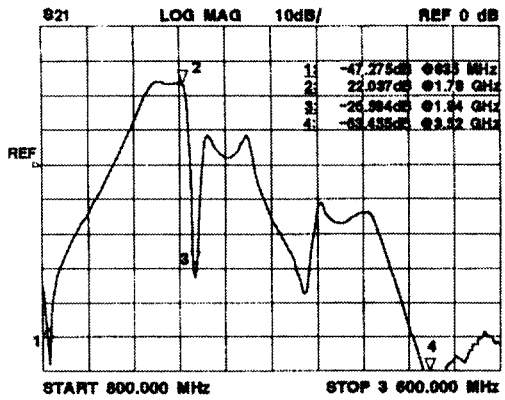


그림 9. 송신경로의 전송특성
Fig.9. The transmission characteristic of Tx path.

표 2. 측정결과 요약
Table 2. Summary of a test results

Items	Test condition		Specs.	Results
ACPR	P_{out} = 24dBm	@900KHz	28dBc	30dBc
		@1.98MHz	42dBc	45dBc
Gain	Liner Gain		21dB	22dB
Harm (fo: 1765 MHz)	P_{out} = 24dBm	@ 2fo	60dBc	70dBc
		@ 3fo	70dBc	65dBc
I_{DSQ}	P_{out} =5dBm		110mA	95mA
Atten	Rx 840~1870MHz		40dB$_{min}$	47dB
	Tx	1750~1780MHz	50dB$_{min}$	52dB
		824~985MHz	55dB$_{min}$	60dB
Isolation	Tx 1750~1780MHz		45dB$_{min}$	47dB
Eff(η)	P_{out} =24dBm		35%	33%

※DC Bias Condition : Vdd=3.6V, Vgg=-3.5V
I_{DSQ1}=40mA, I_{DSQ2}=52mA

V. 결 론

본 논문에서는 국내향 PCS 전화기의 RF front-end 구성 회로중 핵심부품인 전력증폭기와 듀플렉서의 결합을 통해 크기를 축소하고 전기적 성능을 개선시켰다. 결합된 모듈은 크기를 줄이기 위해 다층(4층)기판과 소형 수동부품(1005type)을 사용하여 집적화 한 결과 전체크기는 1.5CC (22×17×4mm3)가 되었다. 제작된 모듈에 대해 CDMA 방식의 전화기에 대한 선형성 성능지수인 ACPR을 측정한 결과 IS-95에서 요구하는 수준보다 2~3dB 여유를 가진다. 또한 표2의

www.dbpia.co.kr

감쇠(atten.) 특성결과들로부터 결합모듈이 듀플렉서로도 기능을 성공적으로 수행하고 있음을 알 수 있다. 특히 종래 듀플렉서의 구성회로였던 송신측 대역저지 여파기를 전력증폭기내로 흡수하므로 서 결합모듈이 안테나와 직접 연결되므로 모듈의 최대출력이 2~3dB 줄어들었고 이에 상응하는 동작전류를 절약할 수있었다. 또한 전화기가 실제환경에서 주로 사용하는 출력범위가 선형영역인 점을 감안하여 동작점을 AB급으로 제한하므로 서 소모전류가 줄어들었다. 결과적으로 상용제품에 비해 약 95mA 정도에 해당하는 배터리 사용시간을 연장시킬 수 있었다.

향후 유전체여파기를 기판에 직접 인쇄하여 RF front-end 회로의 크기축소 및 전기적 성능을 개선하기 위한 연구가 추진 중이다.

참 고 문 헌

1. K.Chiba and N.Kanmuri,"GaAs FET power amplifier module with high efficiency," Electron Lett., vol.19, No.24, pp.1025-1026, Nov.1983.
2. T.Nojima et al, "High efficiency microwave reaction amplifier," in IEEE MTT-S Int. Microwave Symp. Dig., 1988, pp.1007-1010.
3. M. Maeda,Y. Ota, "저 전압, 고효율 GaAs power amplifier 의 최적설계," 전자정보통신 학회논문지 C-I, Vol.j76-C-I, No.11, pp.399-406, Nov. 1993.
4. 윤기호, 유태훈, 유재호, 박한규,"CDMA 방식의 이중대역 전력증폭기의 설계 및 제작", 한국통신학회 논문지, 제22권 12호, pp 2674-2685, 1997. 12
5. M. Nagaoka,T.Inoue, et al,"A monolithic GaAs linear power amplifier operating with a single voltage low 2.7V supply for 1.9GHz digital mobile communication applications," IEEE Trans. Electron., Vol.E78-C, No.4, pp424-428, April 1995.
6. Maeda M., masato H., Takehara H., "Source second harmonic control for high efficiency power amplifiers," IEEE Trans. MTT.,Vol.43, No.12, pp.2952-2957, Dec.1995.
7. Staudinger J.,Norris G., "The effect of harmonic load terminations on RF power amp. linearity for Sinusoidal and /4 DQPSK stimuli",1997 IEEE MTT-S International Topical Symposium on Tech. for wireless Application, Vancouver, BC, Canada.
8. Matsumoto H., Yorita T., et al," Miniaturized duplexer using rectangular coaxial dielectric resonator for cellular telephone", IEICE Trans., Vol. E 74, No.5, May, 1991
9. Sagawa M., makimoto M. and Eguchi K., "Miniaturized antenna duplexer for portable radio telephone terminals," IEICE Trans., Vol. E74., No.5, May 1991

윤 기 호 (Gi-Ho Yun) 정회원

한국통신학회논문지 제22권 12호

현재 : 호남대학교 전파공학과 전임강사

※주관심분야 : 이동통신 수동 및 능동부품, 초고주파 모듈설계

박 한 규 (Han-Kyu Park) 정회원

한국통신학회 논문지 제22권 9호

현재 : 연세대학교 전파공학과 교수

※주관심분야 : 이동통신, 안테나, 마이크로파 통신 및 전파전파

www.dbpia.co.kr