

# 가중치 함수를 이용한 위상 검출 알고리즘과 위상 추적 루프의 설계

정회원 이 명 환\*

## An Algorithm for Phase Detection Using Weighting Function and the Design of a Phase Tracking Loop

Myeong-Hwan Lee\* *Regular Member*

### 요 약

GA (Grand Alliance) HDTV 수신기에서는 지표 반송파 (pilot carrier)에 대해 동작하는 FPLL (frequency and phase locked loop)에 의하여 VSB (vestigial side-band) 신호의 동기식 복조가 수행된다. 또한, GA 방식에서는 FPLL에 의해 제거되지 못한 위상 잡음을 추적하여 제거하는 추가적인 제한 루프로 위상 추적 루프 (phase tracking loop: PTL)를 사용한다.

이 논문에서는 가중치 함수를 이용한 새로운 위상 검출 알고리즘을 제안한다. 제안된 알고리즘은 위상 검출 이득을 루프이득에 반영함으로써 추정된 Q 채널 성분의 부호를 이용하는 가장 간단한 형태로 구현이 가능하며, 위상 검출의 성능이 Q 채널 성분의 추정에 이용되는 디지털 필터의 성능에 크게 영향을 받지 않는 특징을 갖는다. 또한, 이 논문에서는 제안된 위상 검출 알고리즘의 효과적인 구현을 위한 PTL의 이득 조정 알고리즘을 제안하고, 하드웨어의 복잡도를 줄이기 위한 디지털 필터의 구현을 통해 PTL을 설계한다. 제안된 알고리즘들과 이에 따라 설계된 PTL은 모의 실험을 통해 그 성능을 평가하였다. 모의실험 결과 제안된 알고리즘들은 간단한 구조이면서도 기존의 PTL 알고리즘들에 비해 위상검출 특성과 위상 추적성능에서 개선된 결과를 보였다.

### ABSTRACT

In the Grand Alliance (GA) HDTV receiver, a coherent detection is employed for coherent demodulation of vestigial side-band (VSB) signal by using frequency and phase locked loop (FPLL) operating on the pilot carrier. Additional phase tracking loop (PTL) employed to track out phase noise that has not been removed by the FPLL in the GA system.

In this paper, we propose an algorithm for phase detection which utilizes a weighting function. The simplest implementation of the proposed algorithm using the sign of the Q channel component can be tractable by imposing a phase detection gain to the loop gain. It is observed that the proposed algorithm has a robust characteristic

\* 삼성전자 기술총괄 멀티미디어연구소  
論文番號 : 97013-0113  
接受日字 : 1997年 1月 13日

against the performance of the digital filters used for Q channel estimation. A second goal of this paper is to introduce a gain control algorithm for the PTL in order to provide an effective implementation of the proposed phase detection algorithm. And we design the PTL through the realization of the simplified digital filter for H/W reduction. The proposed algorithms and the designed PTL are evaluated by computer simulation. In spite of using the simplified H/W structure, simulation results show that the proposed algorithms outperform the conventional PTL algorithms in the phase detection and tracking performance.

## I. 서 론

최근 미국의 기업체 및 연구소 등의 연합체인 GA에서는 디지털 전송방식인 VSB 방식을 HDTV시스템의 표준 변조 기법으로 채택하였다 [1]. 기존 TV 방송에서 아날로그 TV 방송의 변조 기법으로 이미 사용되고 있는 VSB 방식은 GA-HDTV에서 디지털 신호의 변조에 이용된다. 이러한 VSB 신호를 복조하기 위하여 GA에서는 수신기의 개략적인 구조를 [1]에서 제안했으며, 제안된 수신 시스템은 그림 1과 같다. 제안된 수신 시스템은 fractional rate로 처리되는 QAM (quadrature amplitude modulation) 방식의 복조 시스템 [2]와 달리 심볼 레이트로 I (inphase) 채널의 신호만을 이용하도록 함으로써 상대적으로 하드웨어 구현의 복잡도가 감소한다는 장점이 있다. 또한, VSB 수신 시스템은 반송파를 복원하여 복조하는 동기식 검출 방식 (coherent detection)을 사용한다. 수신기에서 동기식 검출을 위한 송신 신호의 위상 검출은 FPLL (frequency and phase locked loop)과 PTL (phase tracking loop)를 이용하여 2 단계로 구성되며, FPLL은 VSB 신호에 포함된 지표반송파 (pilot carrier) 신호를 이용한다. 이러한 FPLL은 PLL의 주파수 에러 검출 회로를 이용하여 쉽게 구현될 수 있으며, FPLL에 대한 구조 및 성능 분석은 참고문헌 [1], [4]에 발표된 바 있다.

PTL에서는 FPLL에서 제거되지 않은 위상잡음인 위상에러를 제거하는 기능을 한다. 이것은 VSB 신호가 가지는 신호점과 입력된 I 채널의 표본화된 데이터를 이용하여 신호점들의 회전성분을 추정하고 이를 이용하여 위상에러를 보상한다. [1]에서도 지적되었듯이 이미 FPLL에서 주파수 록 (frequency lock)이 이루어졌으므로 PTL에서는 1차 루프에 의한 위상에러 보정만을 수행한다. 따라서, PTL의 주된 관점은 위상에러를 어떻게 검출하느냐에 의하며, 대부분의 제안

된 알고리즘이 [1]에서 제시한 하드웨어 구성을 따르고 있다. 이러한 PTL의 위상검출 (phase detection : PD) 방법에 관한 많은 연구가 있었는데, [5]에서는 수학적 해석에 의한 PD 알고리즘을 제시했으며, [6]에서는 위상에러의 누적값을 이용한 기울기를 갖는 판정방법에 의한 PD 알고리즘을 제시했다. 또한, 최근 [7]에서는 루프의 갱신을 단속하는 방법으로 위상 에러 검출의 판정오류를 줄이는 PD 알고리즘을 제시했다. 그러나, 제시된 모든 알고리즘들은 위상에러를 검출하기 위해 I 채널 신호에서 추정된 Q 채널 신호 성분이 주요한 작용을 하며 나눗셈 연산이나 atan 함수 연산, 근을 구해야 하는 등 여전히 하드웨어가 복잡하다. 또한, [7]에서 제시한 방법은 문턱값 설정에 의한 PD 값의 단속을 의미하므로 문턱값 (threshold value)의 설정에 따라 갱신에 사용되어야 할 많은 정보를 손실하는 단점이 있다.

이 논문에서는 이러한 이전의 연구들의 문제점을 해결하기 위한 새로운 PD 방법인 가중치 함수 (weighting function)를 이용한 새로운 PD 알고리즘을 제안한다. 제안된 알고리즘은 위상검출 이득을 루프이득에 반영함으로써 추정된 Q 성분의 부호를 이용하는 가장 간단한 형태로 구현이 가능하며, PD의 성능이 Q 성분의 추정에 이용되는 디지털 필터의 성능에 크게 영향받지 않는 등 하드웨어가 간단하게 된다.

이 논문의 구성은 다음과 같다. 먼저 II 장에서는 기본적인 PTL의 구조와 위상에러 검출을 위한 기존의 PD 알고리즘들을 간략하게 기술한다. III 장에서는 기존의 알고리즘들의 문제점과 개선된 제안 - 가중치를 이용한 PD 알고리즘에 대해 설명하고, IV 장에서는 제안된 방법의 효과적인 구현을 위한 PTL의 이득조정 알고리즘과 하드웨어를 줄이기 위한 디지털 필터의 구현에 대해서 설명한다. 또한, 이를 이용한 PTL을 설계한다. V 장에서는 제안된 PD 알고리즘과 이득조정 알고리즘, 간략화된 디지털 필터에 의해 구

현된 PTL의 모의실험의 결과를 보인다. 마지막으로 VI 장에서 결론을 내린다.

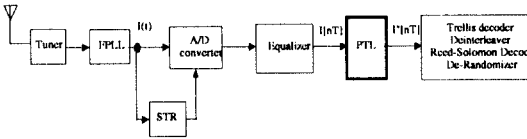


그림 1. GA-VSB 방식의 수신기 구조도  
Fig. 1 Block diagram for GA-HDTV receiver

## II. PTL의 구조와 기존의 PD 알고리즘

### 2.1 PTL의 구조

PTL은 채널등화기에 잔류하는 위상에러  $\theta(n)$ 를 추정하여 이 값을 보상시켜주는 기능을 한다. 실제 전송신호를  $t(n) = x_r(n) + j x_i(n)$ , 위상에러가 포함된 신호를  $r(n) = I(n) + jQ(n)$ 이라고 하고, 그림 1의 수신기에서 등화기가 위상에러  $\theta(n)$ 에 영향을 미치지 않는다고 가정하면, 그림 2에 PTL의 구조도에서 처럼 PTL의 입력은  $I(n)$ 이 된다.

VSB변조방식에서는  $x_r(n)$  및  $x_i(n)$ 의 값이 모두 0이 아닌 값을 가지므로, I 채널 신호만으로 위상에러  $\theta(n)$ 를 추정할 수 없다. 따라서, 직교 (quadrature) 성분인 Q 채널값이 필요한데 실제 시스템에서 PTL의 입력은 I 채널 신호만 존재하므로 직교성분인 Q 채널 값을 I 채널 신호로부터 추정하여 사용한다. Q 채널의 추정값은 힐버트 변환 (Hilbert transform)과 고역 통과필터 (High-pass filter)를 직렬 연결한 필터 응답의 디지털 필터를 통하여 I 채널 신호로부터 구한다. 실제 저역통과 VSB 신호의 I 채널 성분과 Q 채널 성분은 다음과 같은 관계를 가진다.

$$x_r(n) * h_{vsb}(n) = x_i(n) \tag{1}$$

여기에서  $h_{vsb}(n)$ 는 힐버트변환과 고역통과필터를 직렬 연결한 필터 응답이다. 고역통과필터는 VSB 변조 신호의 스펙트럼에서 잔류 (vestigial) 대역이 존재하도록 하는 기능을 한다. GA-VSB 시스템에서 채택한 VSB 신호의 스펙트럼에서 잔류대역은 0.31MHz로 실

제 매우 미세한 영역을 차지한다. 이러한 VSB 신호의 스펙트럼은 SSB (single side-band) 신호의 스펙트럼으로 근사화 시킬 수 있으며, 이 경우  $h_{vsb}$ 는 힐버트 변환  $h_{hil}(n)$ 로 근사화 된다. 힐버트변환은 입력신호를  $90^\circ$  위상쉬프트 시키는 기능을 하므로  $x_r(n)$ ,  $x_i(n)$ 는 다음과 같은 관계를 가진다.

$$\begin{cases} x_r(n) * h_{hil}(n) \approx x_i(n) \\ x_i(n) * h_{hil}(n) \approx -x_r(n) \end{cases} \tag{2}$$

타이밍 매칭을 위해 지연된 입력신호와 추정된 Q 채널 성분은 복소곱셈기 (complex multiplier)에서 PTL에서 추정된 위상에러를 곱해줌으로써 입력신호에 잔류하는 위상에러를 보정한다. 위상 보정된 I, Q 채널 성분은 판정에러 (decision error)를 이용하는 여러 PD 알고리즘에 의해 입력신호와 PTL에서 발생시킨 신호 사이의 위상차에 비례하는 위상에러를 검출하게 되고, 루프필터를 통과한 후 통상 누산기와 ROM으로 구현되는 디지털 전압조정 발진기 (digital voltage controlled oscillator : DVCO)에 입력되어 입력에러에 비례하는 주파수를 가지는 정현파 및 역현파를 발생시켜 이를 복소곱셈기로 보낸다. 이와 같은 과정을 반복적으로 수행함으로써 입력신호에 잔류하는 위상에러 성분을 제거할 수 있다. 또한, 이 판정에러를 이용해 입력신호의 진폭왜곡을 보상하는 진폭에러 신호를 구하고 1차 루프와 제한기(limiter)를 통해 입력단의 곱셈기에 서 곱함으로써 입력신호의 진폭을 보상한다.

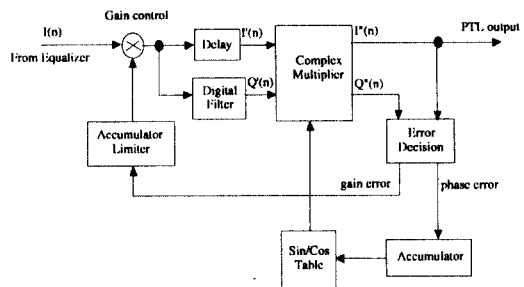


그림 2. GA-VSB 방식의 PTL 구조도  
Fig. 2 Block diagram of PTL

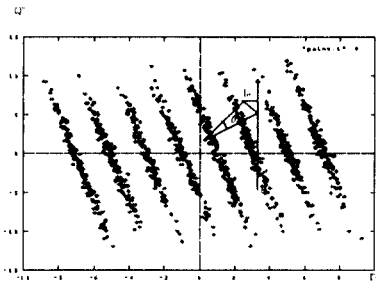


그림 3. 잔류 위상에러 존재시의 신호분포 (CNR = 30dB, 위상에러 = 10°)  
 Fig. 3 Scatter diagram with residual phase error (CNR = 30dB, phase error = 10°)

2.2 기존의 위상에러 검출 (PD) 알고리즘<sup>1)</sup>

2.2.1 ATAN 함수에 의한 PD

잔류위상에러를 갖는 입력신호의 신호분포는 그림 3에서처럼 원점을 중심으로  $\theta(n)$  만큼 기울어져 나타난다. 여기서 위상에러가 충분히 작다고 가정하면 이러한 위상에러는 수직축에 대한 위상값  $\theta'(n)$ 에 근사하게 된다. 따라서, atan 함수를 이용하여 판정 에러와 추정된 Q 채널값으로 다음 식과 같이 위상에러를 추정한다.

$$\theta(n) = \text{atan}\left(\frac{I_e(n)}{Q''(n)}\right) \quad (3)$$

$$I_e(n) = I''(n) - \hat{x}_r(n) \quad (4)$$

여기서  $\hat{x}_r(n)$ 는  $I''(n)$ 의 판정출력이고,  $I_e(n)$ 은  $I''(n)$ 의 판정 에러이다.

2.2.2 QAM 방식의 PD [3]

QAM 방식에서 사용된 반송파 복원 알고리즘을 VSB 방식에서 적용한 것으로 복소곱셈기의 출력을  $c(n) = I''(n) + jQ''(n)$ , 판정신호를  $d(n) = \hat{x}_r(n) + j\hat{x}_i(n)$ 라고 하고,  $\theta(n)$ 이 충분히 작다고 가정하면 위상오차  $\theta(n)$ 은 다음과 같다.

1) PTL의 동작과 관련한 수학적 해석은 [5]에서 시도된 바 있으므로 이를 참조할 것.

$$\theta(n) \cong \sin(\theta(n)) = \frac{\text{Im}\{c(n)d(n)^*\}}{|d(n)|^2} \quad (5)$$

여기서  $\hat{x}_i(n) = Q''(n)$ 이며, \*는 복소수의 conjugate 이다.

2.2.3 수학적 해석 방법에 의한 PD [5]

$\theta(n)$ 의 값이 작은 경우에 근사화를 통해 위상에러는 다음과 같이 구해진다.

$$\theta(n) \approx \sin(\theta(n)) = \frac{x_r(n)Q''(n) - x_i(n)I''(n)}{x_r(n)^2 + x_i(n)^2} \quad (6)$$

그러나, 수신측에서는 송신된  $x_r(n)$ ,  $x_i(n)$ 의 참값을 알 수 없으므로 이들의 추정치를 이용한다.  $\theta(n)$ 의 값이 작은 경우에  $Q''(n)$ 의 참값은  $x_i(n)$ 의 값과 근사하게 되므로  $\hat{x}_i(n)$ 의 부호는  $Q''(n)$  부호와 동일한 것을 선택한다. 즉, 다음 식에 의해  $x_r(n)$ ,  $x_i(n)$ 가 추정되고, 이를 이용하여 (6)식에서 위상에러가 구해진다.

$$x_r(n) = \hat{x}_r(n) \quad (7)$$

$$x_i(n) = \text{SGN}(Q''(n))\sqrt{I''(n)^2 + Q''(n)^2} - \hat{x}_r(n) \quad (8)$$

$$\text{SGN}(Q''(n)) = \begin{cases} 1, & \text{IF } Q''(n) \geq 0 \\ -1, & \text{Otherwise} \end{cases} \quad (9)$$

이 방법은 QAM 방식의 PD를 수학적 해석을 통해 수정한 것으로 (5)식과 비교해서 Q 채널 성분의 추정값만이 다른 값을 갖게 된다.

2.2.4 루프의 갱신을 단속하는 방법

최근 [7]에서 PD는 ATAN 함수의 근사값을 이용하고, 검출된 위상에러의 갱신을 단속하는 새로운 PD 알고리즘이 제안되었다. 이것은 복소곱셈기의 출력신호  $Q''(n)$ 와 추정치  $\hat{x}_i(n)$ 의 부호가 동일한 경우만 갱신시킴으로써 잘못된 보정에 의해 Q 채널값이 반대의 부호를 갖게 됨으로써 발생하는 오류를 방지하고자 한 것이다. 즉,  $\hat{x}_i(n)$ 의 부호가 항상 복소곱셈기의 출력  $Q''(n)$ 의 부호와 같게 추정되어야 하며, 송신신호의 직교성분의 부호와 복소곱셈기의 출력의

직교성분  $Q''(n)$ 의 부호와 다른 경우에는 판정의거 위상오차  $\theta(n)$ 과 실제 위상오차의 부호가 달라진다는 것에 착안한 것이다.

복소곱셈기 및 판정의거 위상오차의 식에 의해

$$\hat{x}_r(n) = I''(n) \cos(\theta(n)) - Q''(n) \sin(\theta(n)) \quad (10)$$

이 되고,  $\theta(n)$ 이 충분히 작다면

$$\begin{cases} \cos(\theta(n)) \approx 1 \\ \sin(\theta(n)) \approx \theta(n) \end{cases} \quad (11)$$

으로 근사화 시킬 수 있으므로 위상에러는 다음 식에 의해 구해진다.

$$\theta(n) = \sin\left(\frac{I_e(n)}{Q''(n)}\right) \approx \frac{I_e(n)}{Q''(n)} \quad (12)$$

구해진 위상에러는 다음 식과 같이 실제 위상에러와 부호가 같을 때만 갱신되게 된다.

$$\phi(n+1) = \phi(n) + \alpha f(n) \theta(n) \quad (13)$$

$$f(n) = \begin{cases} 1, & IF |Q''(n)| > T \\ 0, & Otherwisw \end{cases} \quad (14)$$

여기서 T는  $\phi(n)$ 의 갱신을 허용하기 위한  $|Q''(n)|$ 의 임계값으로 위상추적루프의 성능을 결정하는 중요한 파라미터이다. 예를 들어, T의 값이 너무 작게 되면  $x_i(n)$ 와  $Q''(n)$ 의 부호가 다른 경우에도  $\phi(n)$ 를 갱신하게 된다. 반대로 T가 너무 크면  $\phi(n)$ 의 갱신을 허용하는 범위가 너무 작아져서 판정의거 위상오차와 실제 위상오차의 부호가 같은 경우에도  $\phi(n)$ 을 갱신하지 않게 된다. 이 방법은 낮은 Q 채널값에서 발생하는 판정에러를 효과적으로 방지함으로써 성능개선이 가능하나 T 값의 크기에 따라 추적속도나 안정성이 다르게 되므로 이 값의 결정이 어려운 문제가 된다.

### III. 제안된 PD 알고리즘

#### 3.1 종래 방법의 문제점

PTL의 성능을 좌우하는 가장 중요한 부분은 입력 신호와 PTL에서 발생시킨 신호간의 위상차를 검출하는 PD 이다. 그러나, 수학적 해석에 의한 PD 알고리즘에서는 너무 수학적 해석에 치우쳐 논리적인 전개 를 위해 필요한 가정이 약간은 비현실적이다. 수학적 해석 방법의 경우 I 값이 커질수록 상대적으로 추정된 위상값은 작아지게 되고, (8)식의 경우 허수가 발생할 수도 있다. 기울기를 구하는 방법[6]의 경우는 위상에러에 의한 판정오류를 보정하기 위해 적응판정 (adaptive decision) 영역에 의한 판정을 도입함으로써 성능을 향상시키려 했지만 잡음 등의 영향으로 올바른 기울기를 구하기가 어려우며, 각각의 위상에러에 대응하는 적응판정을 위해 I 채널과 Q 채널 성분이 모두 필요하므로 하드웨어가 굉장히 복잡하게 된다. 또한, ATAN 함수 연산이나 나눗셈, 근의 연산 등의 처리도 추가되어야 한다. 이러한 방법들은 [7]에서 언급한 것처럼 Q 채널의 값이 작은 경우에 발생하는 Q 추정값의 부호에러들에 의해 추적성능이 떨어지게 된다. 이것은 위상에러가 클수록 실제의 Q 채널값인  $x_i(n)$ 과 복원된 Q 채널값인  $Q''(n)$  사이의 오차가 크기 때문이다. 따라서, Q 채널값을 구하기 위해 사용되는 디지털필터의 성능에 따라 위상추적성능이 큰 영향을 받게 된다. 또한, [7]에서는 작은 Q값에서 발생하는 부호 판정오류를 방지함으로써 성능을 개선했지만 기본적으로 Q로 나눗셈을 해야 하는 등 여전히 하드웨어가 복잡하며,  $\phi(n)$ 의 갱신을 일정 크기 이상의 Q 채널값에 대해서만 수행함으로써 많은 갱신 가능한 심볼들을 잃게 되므로 채널상황에 따라 추적성능이 떨어질 수도 있다.

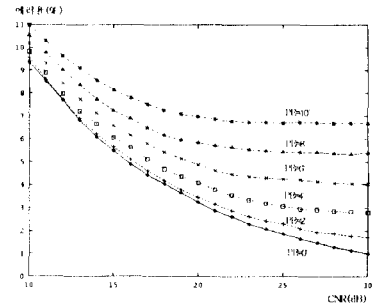
#### 3.2 제안된 PD 알고리즘

II장에서 설명한 PD 알고리즘들은 모두가 추정된 Q 채널값이 위상에러의 검출에 중요한 역할을 하기 때문에 Q값을 추정하기 위한 그림 2에서의 디지털 필터가 정교해야 하는 문제점을 가지고 있다. 특히 [7]에서 지적했듯이 Q 채널값이 작을 경우에 주로 발생하는 Q 부호의 에러는 PTL의 성능에 지대한 영향을 준다. 따라서, Q 부호의 에러에 의해 발생하는 오류를 감소시킬 수 있는 방법이 요구된다. 이러한 부호오류는 Q 채널값과 관계되기 때문에 본 논문에서는 이의 해결을 위해 Q 채널값에 관련된 가중치함수를 도입했다. 여기서는 먼저 Q 채널값의 부호에러와

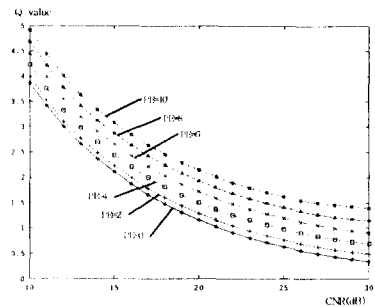
관련된 특성을 고찰해 보고, 새롭게 제안된 PD 방법을 설명한다.

그림 4는 AWGN과 위상에러를 갖는 여러 채널상황에서 5만개의 심볼에 대해 송신단에서 송신한 Q 채널값과 수신단에서 추정된 Q 채널값에 의해 구해진 부호에러율과 에러가 발생하는 Q 채널값의 한계를 나타낸 것이다. 그림 4(a)에서 알 수 있는 바와 같이 추정된 Q 채널값의 부호에러율은 AWGN과 위상 에러가 증가할수록 더 커짐을 알 수 있다. 또한, 그림 4(b)에서 볼 수 있는 바와 같이 Q 부호의 에러가 발생하는 한계점 역시 AWGN과 위상에러가 증가할수록 더 커짐을 알 수 있다. 이를 더 자세히 관찰하기 위해 실제로 몇 개의 채널상황에서 20,000개의 심볼에 대해 송신단의 Q 채널 위상과 수신단의 힐버트변환 출력의 Q 채널 위상을 비교 검토하여 그림 5와 같은 구간별 에러율의 결과를 얻었다. 수신단에서 힐버트필터에 의해 추정된 Q 채널의 값이 작을수록 부호에러율이 높고 Q 채널성분의 값이 일정값 이상일 경우에는 Q 부호의 판정에러가 거의 없었다. 또한, 부호에러의 발생영역에서도 Q 채널값이 커질수록 부호에러를 발생하는 심볼수가 줄어들게 된다. 이와 같은 부호에러는 앞서 그림 4의 결과와 같이 위상에러가 클수록, CNR이 나쁠수록 더 커지는 경향이 있다. 제시된 채널상황에서는 전반적으로 일정구간에서 일정한 기울기를 갖고 Q 부호의 에러율이 Q 채널값이 증가할수록 감소함을 알 수 있다.

Q 부호의 에러에 의한 PTL의 동작오류를 방지하기 위해 가장 바람직한 방법은 부호에러가 발생한 심볼은 사용하지 않는 것이지만 각각의 심볼에 대해 부호오류를 알 수 없다. 또한, 그림 4와 그림 5에서 알 수 있는 바와 같이 채널상태가 나빠질수록 부호에러가 발생하는 Q채널의 한계값이 점차 커진다. 따라서, 추정된 Q 채널값의 크기에 따라 부호에러의 발생확률이 다르게 나타나는 특성을 이용하여 부호에러가 발생할 수 있는 확률에 따라 가중치를 부가하면 부호에러에 의한 PTL의 성능감소를 방지할 수 있다. 이것은 부호에러가 발생할 확률이 높은 경우에는 낮은 가중치를 부가하여 추정된 위상에러를 적게 반영하도록 하는 것과 같다. 즉, 부호에러가 일어날 확률에 따라 가중치를 부가하는 것이 바람직하며, 이것은 Q값의 부호판정 신뢰도에 따라 가중치를 부가한 것과 같은 것으로 생각할 수 있다. Q 채널 값이 클수록 상대



(a) 여러 채널 상태에서의 Q 부호의 에러율



(b) 여러 채널 상태에서의 Q 부호 에러 한계

그림 4. 여러 채널 상태에서의 Q 부호의 에러율과 에러 한계  
Fig. 4 Q sign error rates and maximum error values in various channel conditions

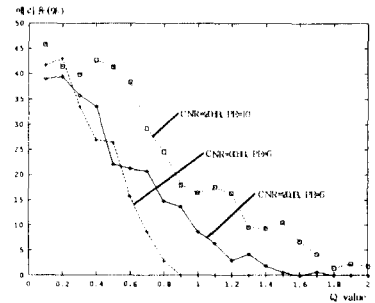


그림 5. 여러 채널 환경에서의 Q 채널의 부호 판정 에러율  
Fig. 5 Q sign error rates in various channel conditions

적으로 부호 판정에러가 발생할 확률이 적어진다. 본 논문에서는 이와 같은 특성에 주목하여 Q 채널값과 관련한 가중치 함수를 도입한다.

가중치 함수는 그림 6에서와 같은 여러 함수를 고려할 수 있다. 먼저, 그림 5의 특성을 고려하면 그림 6(a)과 같은 형태의 가중치 함수를 부가할 수 있다. 여기서 T는 Q 부호에러의 최대 한계값이다. 또한, 앞서 [7]에서 제안한 방법도 실제로는 추정된 Q 채널값에 의한 가중치 함수를 부가한 예로써 그림 6(b)과 같은 특성을 갖는 가중치함수로 생각할 수 있다. 그러나, 이것들은 앞서도 설명한 바와 같이 여전히 나뉠셈이나 T의 결정 등 어려움을 갖고 있다. 즉, 그림 5의 결과를 T = 1 일 때의 [7]에서의 방법에 의해 고찰해 보면 다음과 같은 결과를 얻을 수 있다.

수신단에서 추정된 Q 채널값이 1 보다 작을 때는 루프가 갱신되지 않으며 이 영역에서의 부호판정에러는 동작에 영향을 주지 않는다. 따라서, Q 채널값이 1 보다 큰 경우에서의 부호판정에러 만이 동작에 영향을 미치게 된다. 표 1에서 볼 수 있는 바와 같이 동작영역을 제한함으로써 부호의 에러발생 심볼이 현저하게 줄어드는 것을 알 수 있다. 특히 CNR = 30dB, PE = 5°의 경우는 부호에러가 전혀 없음을 알 수 있다. 그러나, [7]에서의 방법은 T값의 설정에 특별한 방법이 없고 T값의 설정에 따라 부호에러를 갖는 심볼의 수가 정해지게 된다. 또한,  $|Q''(n)| \leq T$  영역에서 에러가 발생한 심볼이 차지하는 비중이 주어진 채널환경에서는 각각 24.49%, 19.79%, 34.34%로 Q 채널의 위상이 바뀐 경우 보다 바뀌지 않은 경우가 많았다. 이 심볼들을 위상에러의 보정에 이용할 경우 더 빠른 추적성능을 얻을 수 있다.

표 1. 여러 채널 환경에서의 Q 부호의 판정에러 (T = 1)  
Table 1. Decision error of Q sign in various channel conditions (T = 1)

채널환경	에러 심볼 수	[7]의 에러 심볼수	$ Q''(n)  \leq T$ 에서의 심볼수	$ Q''(n)  \leq T$ 에서의 에러 심볼수	$ Q''(n)  \leq T$ 에서의 에러율
CNR = 20dB, PE = 5°	884	38	3,455	846	24.49%
CNR = 30dB, PE = 5°	690	0	3,487	690	19.79%
CNR = 20dB, PE = 10°	1,394	222	3,413	1,172	34.34%

본 논문에서는 Q 값의 크기에 따라 일정한 기울기를 갖고 발생하는 Q 판정에러를 반영하기 위해 그림 6(c)과 같은 가중치 함수를 제안했다. 이러한 그림 6(c)의 가중치 함수는 T 값의 결정의 어려움을 경감시킬 수 있을 뿐만 아니라 Q 채널의 부호만을 이용하는 형태로 구현이 가능하므로 하드웨어가 간단해 지는 장점이 있다. 또한, 그림 6(b)의 특성과 달리 모든 심볼을 사용하므로 수렴속도 및 지터(jitter) 특성도 우수하다. 그림 6(d)의 가중치함수는 T 값의 결정이 어려움을 경감시키기 위해 사용될 수 있는 것으로 그림 6(a)과 그림 6(b)의 혼합특성을 갖지만 구현은 여전히 복잡하다 (c = 0인 경우임). 이 논문에서는 그림 6(c)의 특성에 대해서만 고려한다.

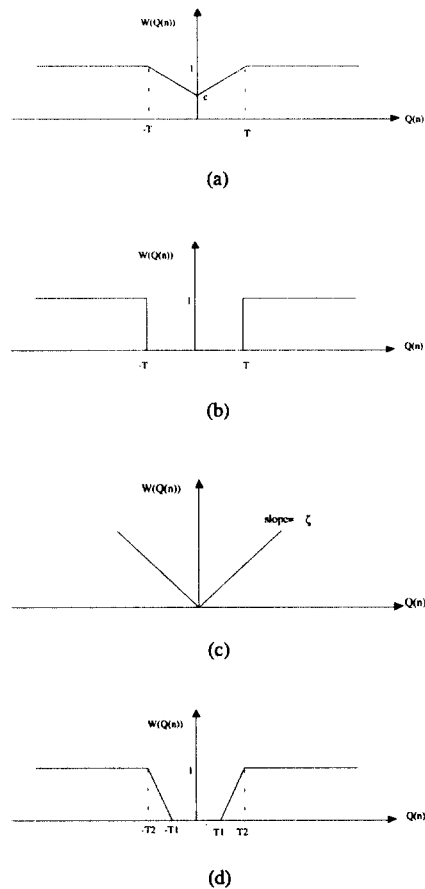


그림 6. 가중치 함수의 예  
Fig. 6 Examples of weighting function

그림 6(c)의 가중치 함수는 다음 식과 같이 표현된다.

$$W_{\zeta}(Q''(n)) = |\zeta Q''(n)| \quad (15)$$

여기서  $\zeta$ 는 가중치함수의 이득조정 계수로 그림 6(c)에서 기울기에 해당한다. 이 논문에서 제안하는 PD 알고리즘은 다음과 같다.

(3)식의 ATAN 함수나 (12)식의 SINE 함수를 생략함으로써 근사화 시키면

$$\theta(n) = \text{atan}\left(\frac{I_e(n)}{Q''(n)}\right) \approx \sin\left(\frac{I_e(n)}{Q''(n)}\right) \approx \frac{I_e(n)}{Q''(n)} \quad (16)$$

이 되고, 기울기가  $|\zeta|$ 인 가중치함수를 부가한 위상 에러를  $\theta_{\zeta}(n)$ 이라고 하면,

$$\theta_{\zeta}(n) = W_{\zeta}(Q''(n))\theta(n) = |\zeta Q''(n)| \frac{I_e(n)}{Q''(n)} = |\zeta| \text{SGN}(Q''(n)) I_e(n) \quad (17)$$

이 된다. 여기에 가중치 함수의 이득조정에 따른 새로운 가중치 함수  $S_{\zeta}(\cdot)$ 를 다음과 같이 정의하면

$$S_{\zeta}(Q''(n)) = \begin{cases} \zeta, & \text{IF } Q''(n) \geq 0 \\ -\zeta, & \text{Otherwise} \end{cases} \quad (18)$$

이 되고, (17)식은 다음과 같게 된다.

$$\theta_{\zeta}(n) = S_{\zeta}(Q''(n)) I_e(n) \quad (19)$$

이것은 (16)식에 의해 구해진  $\theta(n)$ 을 부호에 따라  $Q''(n) = \pm \frac{1}{\zeta}$ 에 투영한 것과 같다. 즉, 그림 7에서와 같이  $|Q''(n)| \leq \frac{1}{\zeta}$ 에서는 가중치를 부가한 위상 에러  $\theta_{\zeta}(n)$ 이  $\theta_d(n)$ 이 되어 원래의  $\theta(n)$  보다 작아지고, 그 밖의 영역에서는  $\theta_{\zeta}(n)$ 이 되어 원래의  $\theta(n)$  보다 커지게 된다. 또한, (18)식에서  $|\zeta|=1$  이면

$$S_1(Q''(n)) = \text{SGN}(Q''(n)) \quad (20)$$

이 되며, 이 경우에는 PD와 관련해서 Q 채널값의 부

호만이 이용되는 것과 같다. 제안된 PD 알고리즘에서 가중치함수의 이득  $\zeta$ 는 고정된 상수값이고, PTL의 루프가 1차 이기 때문에 가중치함수의 이득  $\zeta$ 를 루프 갱신식에 반영할 수 있다. 즉, 가중치함수에 의한 새로운 PD 알고리즘에 의해 구해진 위상에러는 (17)~(20)식에서 다음과 같게 된다.

$$\theta_{\zeta}(n) = |\zeta| S_1(Q''(n)) I_e(n) = |\zeta| \theta_1(n) \quad (21)$$

위상에러 보정을 위한 루프 갱신식은

$$\phi(n+1) = \phi(n) + a\theta_{\zeta}(n) \quad (22)$$

이며, 가중치함수의 이득  $\zeta$ 를 루프 갱신식의 루프이득에 반영한 갱신식과 변경된 루프 이득은 다음과 같다.

$$\begin{aligned} \phi(n+1) &= \phi(n) + a\theta_{\zeta}(n) \\ &= \phi(n) + a|\zeta| S_1(Q''(n)) I_e(n) \\ &= \phi(n) + \alpha_{\zeta} \text{SGN}(Q''(n)) I_e(n) \\ &= \phi(n) + \alpha_{\zeta} \theta_1(n) \end{aligned} \quad (23)$$

$$\alpha_{\zeta} = a|\zeta| \quad (24)$$

$|\zeta|$ 는 정해진 상수값이므로 이를 루프 이득에 반영하면 위상검출식은 (23)식과 같이 추정된 Q 채널값의 부호에만 영향을 받는 값이 된다. 이것은 Q 채널값의 추정의 신뢰도를 높인 것으로 사실상 Q 채널값 추정을 위한 디지털 필터의 성능에 크게 영향을 받지 않는다. 따라서, 다음의 식과 같이 Q의 부호만을 이용하는 것으로 PD를 구할 수 있다.

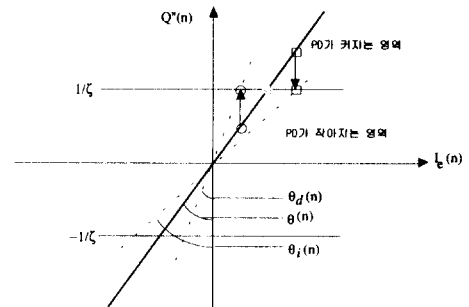


그림 7. 제안된 PD 알고리즘의 동작예  
Fig. 7 Operation example of the proposed PD algorithm



$$\theta_1(n) = \text{SGN}(Q'(n)) I_e(n) \quad (24)$$

이것은 부호만을 이용하므로 극단적으로 하드웨어가 단순해진다.

#### IV. 제한된 PD 알고리즘에 의한 PTL의 구현

##### 4.1 이득조정

그림 2의 누적제한기 (accumulator limiter)의 동작은 일종의 자동이득조정기 (automatic gain control : AGC)에 해당한다.

판정의거에 의한 이득오차  $\epsilon(n)$ 은 다음과 같다.

$$\epsilon(n) = \frac{I_e(n)}{I''(n)} \quad (26)$$

이득조정과 관련해서 [6]에서는 위상에러에 의해 신호의 중복이 적게 나타나는 7, -7로 판정되는 심볼들에 대해서만 제한적으로 동작시키는 방법을 제안했다. 그러나, 이 방법은 앞서 [7]에서 제안한 단속적 방법이 루프갱신에 사용할 수 있는 많은 심볼들을 잃는 것과 마찬가지로의 결과를 초래하게 된다. 또한, (26)식은 나눗셈 연산을 필요로 하므로 이를 제거하기 위해 본 논문에서는 본 논문에서 제안한 PD 알고리즘에서와 유사한 방법으로 I 채널값에 대한 가중치 함수를 도입함으로써 이득조절을 수행한다. 즉,  $I''(n)$ 에 대한 가중치함수를 다음과 같이 정의하면,

$$W_\xi(I''(n)) = |\xi I''(n)| \quad (27)$$

이고,  $\xi$ 는 가중치 함수의 이득조정 계수로 가중치 함수의 기울기이다.

가중치 함수를 (26)식에 부가하면 수정된 판정의거 이득오차는 다음과 같다.

$$\begin{aligned} e_\xi(n) &= W_\xi(I''(n)) \epsilon(n) = |\xi I''(n)| \frac{I_e(n)}{I''(n)} \\ &= |\xi \text{SGN}(I''(n)) I_e(n) = S_\xi(I''(n)) I_e(n) \quad (28) \\ &= |\xi S_1(I''(n)) I_e(n) = |\xi| e_1(n) \end{aligned}$$

이득조정 루프의 갱신식은 다음과 같다.

$$g(n+1) = L_{l_1}^{l_2}(g(n) + \beta e_\xi(n)) \quad (29)$$

$$L_{l_1}^{l_2} = \begin{cases} l_1, & \text{If } l(n) \leq l_1 \\ l_2, & \text{Else if } l(n) \geq l_2 \\ l(n), & \text{Otherwise} \end{cases} \quad (30)$$

$$L_{l_1}^{l_2}(l(0)) = 1 \quad (31)$$

여기서  $L_{l_1}^{l_2}(\cdot)$ 는 이득조정 루프 출력 제한함수이며,  $l_1$ 과  $l_2$ 는 각각 제한기의 하한값과 상한값이다. (31)식과 같이 제한기의 초기값은 1이다.

위상추적의 경우와 마찬가지로 가중치 함수의 이득을 이득조정 루프의 갱신식의 루프 이득에 반영하면 루프의 갱신식과 변경된 루프 이득은 다음과 같다.

$$\begin{aligned} g(n+1) &= L_{l_1}^{l_2}(g(n) + \beta e_\xi(n)) \\ &= L_{l_1}^{l_2}(g(n) + \beta |\xi| S_1(I''(n)) I_e(n)) \quad (32) \\ &= L_{l_1}^{l_2}(g(n) + \beta_\xi \text{SGN}(I''(n)) I_e(n)) \end{aligned}$$

$$\beta_\xi = \beta |\xi| \quad (33)$$

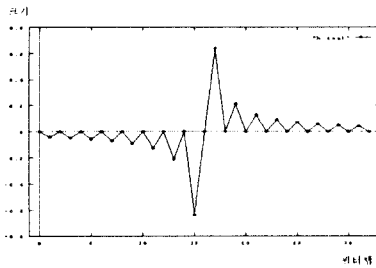
가중치함수의 도입에 의해 구해진 (29)식은 실제 이득조절을 위해 구해야 하는 이득오류 (gain error)를 판정에러와  $I''(n)$ 의 부호만으로 구할 수 있게 되므로 (24)식에 비해 간단하게 되며, 일반적으로  $|\alpha_\xi| \gg |\beta_\xi|$ 이다.

##### 4.2 디지털 필터

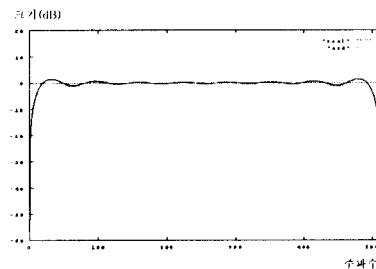
Q 채널 값의 추정을 위한 디지털 필터는 곱셈기를 필요로 하므로 PTL의 구현에 있어 하드웨어 측면에서 가장 큰 부분에 해당한다. 이 논문에서는 이를 CSD (canonic signed digit) 코드를 이용하여 디지털 필터를 간략화 시켰다. CSD 코드에 의한 필터의 설계는 곱셈기를 덧셈기 (또는 감산기)와 쉬프트만으로 구현하기 때문에 하드웨어의 양을 크게 경감시킬 수 있다 [8], [9]. CSD 표현은 0이 아닌 비트의 수를 L개로 제한함으로써 곱셈을 L-1개의 덧셈기 (또는 감산기)와 쉬프트로 구현할 수 있다. 예를 들어, 어떤 수에 8비트로 표현되는  $\frac{127}{128}$  을 곱한다고 하면  $\frac{127}{128}$  은 (0.1111111)로 7개의 1비트 부분곱과 6개의 덧셈이 필요하게 된다. 이를 (1.000000 $\bar{1}$ )로 표현되는 L = 2인 CSD 코드를 이용하면 두 개의 1비트 부분곱과 한 개의 감산만으로

로 계산이 가능하다. 여기서 부분곱은 쉬프트에 해당하며,  $\bar{1}$ 은 -1을 의미한다.

이 논문에서 제안한 PD 방식이 Q의 값에 민감하지 않기 때문에 우리는 CSD 표현의 가장 간단한 형태인  $L = 2$ 이고  $M = 7$  ( $M$ 은 표현 가능한 최소 비트이며, 표현 가능한 값은  $2^0 \sim 2^{-M}$ 이 된다.)인 CSD 계수에 의한 구성으로 Q 채널값의 추정을 위한 31탭 힐버트 변환 필터를 [9]에서 설계했다. 이러한 필터는 기존의 FPLL를 디지털 영역에서 구현한 DFPLL [10], [11]에서도 파이롯 신호의 직교성분을 추출하기 위해 동일하게 이용될 수 있다. 설계된 CSD 필터 특성은 그림 7에서 설계수 필터와 비교했다. 그림 8(a)은 설계된 디지털필터의 실제수를 나타내며, 그림 8(b)은 실제수 필터와 CSD로 변환된 필터의 주파수특성을 1024 FFT한 결과를 보인 것이다. 평가결과 CSD 코드로 변환된 필터는 거의 실제수 필터와 같음을 알 수 있으며, 표 2에 하드웨어의 복잡도를 나타냈다. 표 2의  $31_{16}$ 에서 31은 구성요소의 개수를, 16은 비트 수를 나타낸다.



(a) 실제수



(b) 필터특성 비교 (log scale)

그림 8. CSD 필터 특성  
Fig. 8 CSD filter characteristic

표 2. CSD 디지털필터의 구성요소

Table 2. Logic parameter of CSD digital filter

adder	register	inverter	gate
$12_8 + 15_{16}$	$31_{16}$	$15_8$	5,076

### 4.3 PTL의 구현

그림 9에 제안된 알고리즘에 의한 PTL의 구현을 보였다. 구현된 방법은 위상에러 및 이득에러를 구하는 것이 펄셀기와 멀티플렉서에 의해서 구현되므로 하드웨어가 간단하다. 또한, 가중치가 반영된 루프 이득들은 쉬프트로 구현이 가능하다. Q 채널 신호의 추정을 위한 디지털 필터는 앞 절에서 설명한 것처럼 CSD 계수를 이용하여 구현했다. sin/cos ROM 테이블은 약간의 가산기와 조합논리회로를 이용하여  $0 \sim 45^\circ$ 의 sin/cos ROM 테이블로 전체 범위를 표현할 수 있다. 판정은 동시 채널 (co-channel) ISI의 제거와 관련하여 NTSC 제거 필터 (NTSC rejection filter: NRF)의 구동에 따라 판정이 8 레벨과 15 레벨로 다르게 이루어져야 한다 [1]. 따라서, 판정에러를 출력하는 ROM을 사용했으며 케이블 전송을 위한 16 레벨 신호에 대해서도 고려했다. 하드웨어를 더 줄이기 위해서는 복소곱셈기와 이득조정을 위한 입력단의 곱셈기를 CSD 필터에서처럼 CSD 코드를 이용하여 구현할 수 있다. 그림 10의 구성은 현재 Verilog와 Synopsys를 이용하여 ASIC화가 진행중이며 약 20,000 게이트 정도가 소요될 것으로 예상된다.2)

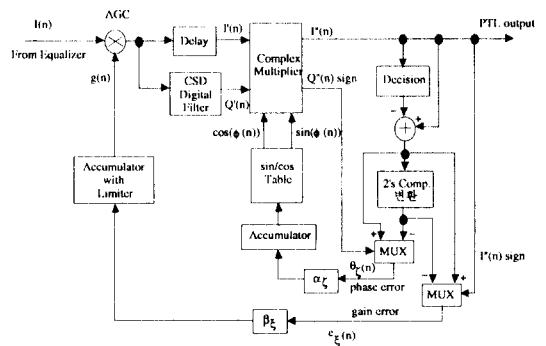


그림 9. 제안된 PTL의 하드웨어 구현을 위한 블록도  
Fig. 9 Block diagram of the proposed PTL

2) 현재의 ASIC 구현은 테스트를 위한 다량의 로직을 포함하므로 실제 구성은 약 10,000 게이트 정도면 충분할 것이다.

### V. 모의실험 및 성능평가

본 논문에서는 제안된 새로운 PD 알고리즘과 이를 이용한 PTL의 성능을 검증하기 위하여 AWGN과 위상잡음이 존재하는 여러 채널 환경에서 모의실험이 수행되었다. 또한, 모의실험은 전산실험의 용이성을 위해 주파수 동기화 및 채널등화가 이미 이루어졌다는 가정 하에 수행되었다.

그림 10에 본 논문에서 제안한 새로운 PD 알고리즘과 II 장에서 설명한 각 PD 알고리즘들의 위상검출 특성을 다음 식과 같이 입력위상 샘플당 N개의 값을 평균하여 나타냈다.

$$\theta_N^{mean} = \frac{1}{N} \sum_{k=0}^N \theta(k) \tag{34}$$

여기서  $\theta(k)$ 는 PD 알고리즘에 의해 추정된 위상에러 값이고, N은 20,000을 사용했다. 각 PD 알고리즘들은 자체 PD 이득을 갖고 있는데, 그림 10에서 QAM 방식은 PD 이득이 작고 제안된 PD 알고리즘은 자체 PD 이득이 상당히 큰 것을 알 수 있다. 제안된 알고리즘의 이득이 큰 것은  $|\zeta|=1$ 인 경우, 즉, Q 채널 값의 부호만 사용하는 경우이다. PTL은 1차 루프이기 때문에 이득의 조정만으로 루프 BW (band-width)가 결정되므로 알고리즘간의 비교를 위해서는 각 PD 알고리즘들의 이득을 다음과 같이 동일하게 조정할 필요가 있다.

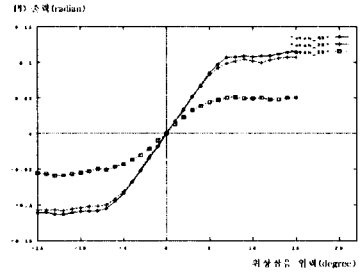
$$\theta_n(n) = \frac{1}{\theta_N^{mean}} \theta(n) \tag{35}$$

이 경우에 QAM 방법은 약 2.3배로, 제안된 방법은  $\zeta=0.275$ 에 해당한다.

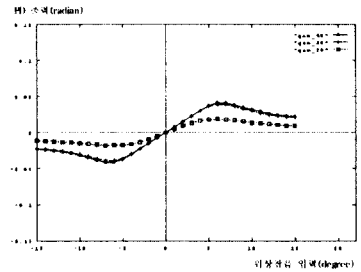
각 PD 알고리즘들의 안정성을 비교하기 위해 다음 식과 같이 추정된 위상값의 분산을 이용할 수 있다.

$$\theta_N^{var} = \frac{1}{N} \sum_{k=0}^N (\theta_n(k) - \theta_N^{mean})^2 \tag{36}$$

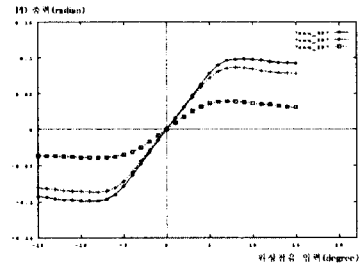
또한, [5]에서 성능 평가에 이용된 RMS jitter를 각 PD 알고리즘의 비교에 이용할 수 있다. RMS jitter는 다음 식에 의해 구해진다.



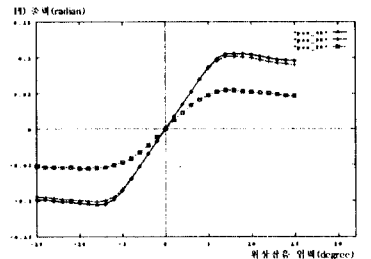
(a) ATAN 알고리즘



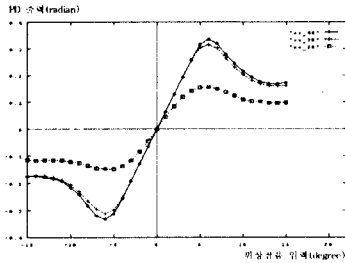
(b) QAM 알고리즘



(c) 수학적 해석 방법에 의한 알고리즘



(d) 루프갱신을 단속하는 알고리즘 (T = 1)



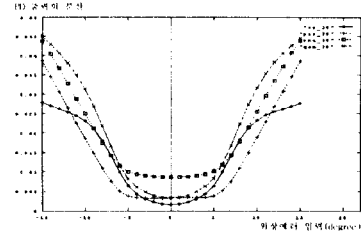
(e) 제안된 알고리즘 ( $\zeta = 1$ )

그림 10. 각 PD 알고리즘들의 PD 특성  
Fig. 10 PD characteristics of various PD algorithms

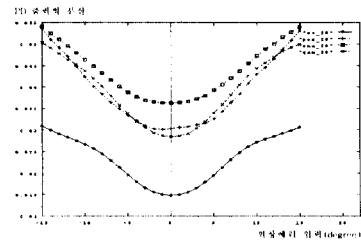
$$\theta_N^{jit} = \frac{1}{N} \sum_{k=0}^N (\theta_{orig}(k) - \theta_n(k))^2 \quad (37)$$

여기서  $\theta_{orig}(k)$ 는 실제 위상에러 값이다.

그림 11에 CNR이 30, 20 dB 일 때의 각 PD 알고리즘의 분산값을 비교했다. ATAN에 의한 방법은 다른 알고리즘들에 비해 분산값이 너무 커서 제외했다. 대체적으로 CNR이 좋을 경우는 별다른 차이가 없다가 CNR이 나빠질 수록 제안된 방법이 더 안정적임을 알 수 있다. 루프 갱신을 단속하는 방법은 CNR이 나빠질 수록 문턱치 T를 넘는 에러에 의해 분산값이 커지는 현상을 보였다. 그림 12에 CNR이 30, 20 dB 일 때의 각 PD 알고리즘의 RMS jitter를 비교했다. 그림 11의 추정된 위상의 분산에서와 마찬가지로 CNR이 나빠질 수록 제안된 방법이 작은 값을 갖는 것을 알 수 있다. 그림 13에 CNR이 20dB이고 위상 에러가 5° 일 때의 각 PD 알고리즘의 수렴특성을 나타냈다. 제안된 방법이 가장 빠른 수렴속도와 작은 jitter 량을 갖는 것으로 확인되었으며, POSTECH (그림 6(b)의 가중치 함수를 갖는 [7]에서 제안한 방법, T = 1)은 jitter 특성은 좋지만 많은 심볼들을 이용할 수 없기 때문에 수렴속도가 늦음을 알 수 있다. 여기서 각 PD 알고리즘은 동일한 루프이득을 갖고 동작한 결과이다. 그림 14에 제안된 알고리즘의 PD 이득  $\zeta$ 에 따른 수렴특성을 보였다.  $\zeta$ 가 커질 수록 초기 수렴속도가 빠름을 알 수 있다. 그림 15(a)에서 CNR이 20dB이고 10°의 변화 폭이 120 Hz로 변화하는 위상

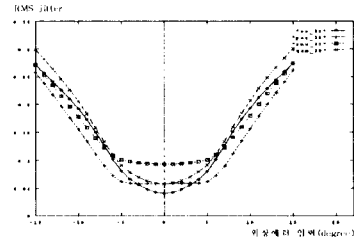


(a) CNR = 30dB

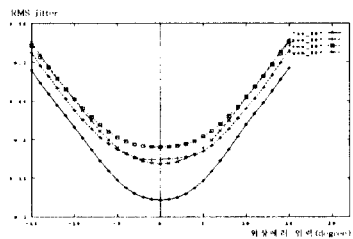


(b) CNR = 20dB

그림 11. 각 PD 알고리즘들의 PD 특성 (분산)  
Fig. 11 PD characteristics of various PD algorithms (variance)



(a) CNR = 30dB



(b) CNR = 20dB

그림 12. 각 PD 알고리즘들의 jitter 특성  
Fig. 12 Jitter characteristics of various PD algorithms

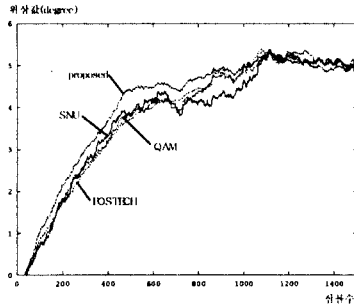
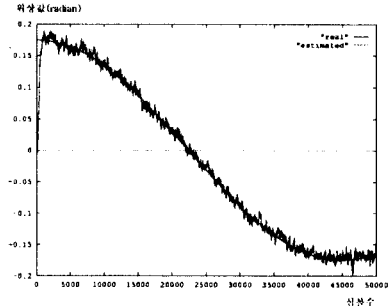


그림 13. 각 PD 알고리즘들의 수렴 특성  
Fig. 13 Convergence characteristics of various PD algorithms



(b) 제안된 위상추적기의 추적 특성

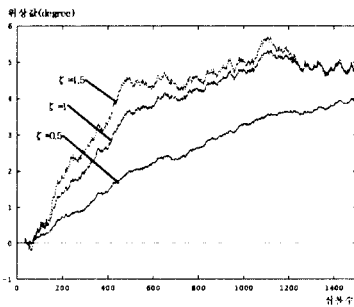
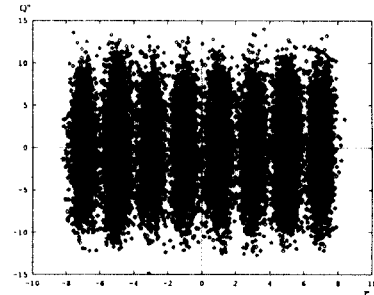


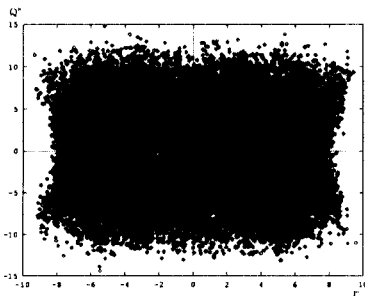
그림 14. 제안된 알고리즘의 수렴 특성  
Fig. 14 Convergence characteristics of proposed PD algorithm



(c) 출력신호의 분포

그림 15. 위상잡음 존재시의 PTL의 입력력 신호 분포와 추적 특성

Fig. 15 Scatter diagram of input-output signal and tracking characteristic of the proposed PTL with phase noise



(a) 입력신호의 분포

잡음이 존재하는 채널상태에서의 PTL 입력의 신호분포를 볼 수 있다. 이러한 채널 상태에서 PTL의 입력신호는 심볼의 구분이 거의 어려운 상태를 갖는다. 그림 15(b)는 제안된 알고리즘과 CSD 디지털필터에 의해 구현된 PTL의 추적성능을 보여주고 있다. 그림 9에서 제안된 위상추적기가 위상변화를 잘 추적함을 알 수 있다. 또한, 이러한 제안된 방법에 의해 구성된 PTL의 동작결과에 의해 그림 15(c)와 같이 PTL의 출력신호에서는 위상잡음이 제거되어 심볼간의 구분이 가능한 신호분포를 얻을 수 있다. 여기서 루프이득은 0.007265625이다.

## VI. 결 론

이 논문에서는 최근 미국 HDTV의 표준 전송방식으로 결정된 GA-VSB 방식의 수신기에서 잔류 위상을 제거하는 기능을 갖는 PTL과 관련하여, 가중치 함수를 이용한 새로운 위상 검출 알고리즘과 이득 조절 알고리즘을 제안했다. 제안된 알고리즘은 추정된 Q 성분의 부호를 이용하는 가장 간단한 형태로 변환된 구현이 가능하며, 위상 검출의 성능이 Q 성분의 추정에 이용되는 디지털 필터의 성능에 크게 영향 받지 않으며, 나눗셈이나 ATAN 함수 연산, 근의 계산 등이 필요치 않아 하드웨어가 간단하게 된다. 또한, 이 논문에서는 하드웨어의 복잡도를 줄이기 위해 CSD 계수를 이용한 디지털 필터의 설계를 통해 PTL을 구현했다.

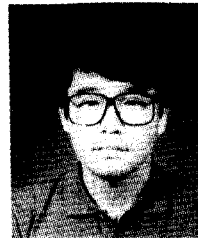
제안된 알고리즘들에 의해 설계된 PTL은 모의 실험을 통해 성능이 평가되었으며, 성능평가 결과 기존의 알고리즘들에 비해 간단한 하드웨어 구성에도 불구하고 위상추정의 안정성 및 정확성 등에서 뛰어난 성능을 보였다.

제안된 방법은 현재 Verilog와 Synopsys를 이용해서 ASIC화가 진행중이며 Synthesis 결과 약 20,000 게이트가 소요됨을 알 수 있었다.

## 참 고 문 헌

1. Grand Alliance HDTV System Specification, submitted to the ACATS Technical Subgroup, Feb., 1994.
2. DigiCipher HDTV System Description, General Instrument Co., Aug. 1991.
3. R.L.Cupo and R.D.Gitlin, "Adaptive carrier recovery systems for digital data communications receiver," IEEE Trans. on Selected Areas in Communications, vol.7, no.9, pp.1328-1339, Dec. 1989.
4. R.Citta, "Frequency and phase lock loop," IEEE Trans. on Consumer Electronics, vol.CE-23, no.3, pp.358-365, Aug. 1977.
5. 정영도, 이상욱, 이병욱, "동기식 VSB 수신기를 위한 phase tracker의 설계 및 성능 분석," 한국통신학회 1994년도 추계종합학술발표회 논문집, pp. 555-559, 1994. 11.

6. 조성배, 정석진, 장규상, 최형진, "HDTV 수신기의 요소기술에 관한 연구," 제5회 통신정보합동학술대회 (JCCI) 논문집, 1995.4.
7. 이원호, 전경훈, "하드웨어 구현이 간단한 VSB-HDTV 위상 추적 루프의 알고리즘 설계," 제6회 통신정보 합동학술대회 논문집, pp.626-629, 1996. 4.
8. H.Samueli, "An improved search algorithm for the design of multiplierless FIR filters with power-of-two coefficients," IEEE Trans. on Circuits and Systems, vol.36, no.7, pp.1044-1047, July 1989.
9. M.H.Lee, "CSD filter design for VLSI implementation of GA-VSB receiver," IEEE Trans. On Consumer Electronics, vol.43, no.2, pp.197-206, May 1997.
10. D.S.Han and D.I.Song, "A digital FPLL for GA-VSB ATV receiver," International Conference on Signal Processing Applications and Technology (Boston, MA, USA), vol.1, pp.93-97, Oct. 1995.
11. D.S.Han, M.H.Lee, and K.H.Park, "Development of a digital FPLL ASIC for GA-HDTV receivers," IEEE Trans. On Consumer Electronics, vol.43, no.3, pp.747-754, Aug. 1997.



이 명 환(Myeong-Hwan Lee) 정회원  
1987년 2월: 연세대학교 전자전  
산기공학과 학사졸  
업  
1987년 2월~현재: 삼성전자 기  
술총괄 연구원  
※주관심분야: 디지털통신, 디지털  
신호처리