

# Deflection 라우팅과 내부 대역폭 증가를 통한 ATM 스위치 설계

정회원 석종환\*, 조용구\*\*, 오영환\*

## Design of ATM Switch Using Deflection Routing and Dilated Bandwidth

JongHwan Seok\*, YongGu Cho\*\*, YoungHwan Oh\* *Regular Members*

### 요약

MIN(Multistage Interconnection Network) 구조의 ATM 스위치는 내부 블록킹(internal blocking)에 의한 처리율(throughput)의 제한을 해결해야 한다. 본 논문에서는 shuffle-exchange network과 출력 큐에 기초한 Dilated Shuffle-exchange Network를 제안하였다. 제안한 스위치는 내부 블록킹 문제를 해결하기 위한 방법으로 deflection 라우팅을 이용하고, deflection 라우팅의 영향으로 stage 수가 증가하는 문제를 최소화하기 위해 스위치 내부 대역폭을 입출력 대역폭의 두 배로 확장시켰다. 스위치 성능은 수치해석을 이용한 성능 분석을 통해 셀 손실률과 필요한 stage 수의 측면에서 평가하였다. 분석 결과 제안한 스위치는 동일한 셀 손실률에서 지금까지 제안된 스위치들 중 가장 적은 stage를 요구한다는 것을 알 수 있다.

### ABSTRACT

ATM switch based on MIN(Multistage Interconnection Network) structure must include means to overcome internal blocking and thus improve the performance. In this paper, we introduce a Dilated Shuffle-exchange Network based on shuffle-exchange and output queueing. It uses deflection routing to solve internal blocking problem, and deflection routing increase the number of stages so the switch has two times internal bandwidth compared with input-output bandwidth. The switch performance is studied under cell loss probability and number of stages with analytical model. The switch is shown to achieve same cell loss probability using a smaller number of stages when compared to previous suggested switches.

### I. 서론

현대는 정보화사회로 규정할 수 있으며, 앞으로는 영상, 멀티미디어, 고속 데이터 통신등 더욱 다양한 정보통신서비스가 광대역 종합통신망(B-ISDN)에 의해 제공될 것이다. 광대역 종합통신망의 근간을 이루는 것은 비동기 전달 방식(Asynchronous Transfer Mode: ATM)과 SDH(Synchronous Digital Hierarchy)이다. 광섬유 기술과 결합한 SDH로 인해 전송선로의 전송속

도가 대단히 향상되어 있다. 그러나 스위칭 기술은 전송속도를 따라가지 못하고 있는데, 특히 ATM 네트워크에서는 수백 Gbps의 스위칭 속도를 필요로 한다. 따라서 지금까지 여러 종류의 고속 ATM 스위치가 제안되었다. 이 스위치 구조는 크게 시간분할형과 공간분할형으로 나뉜다[1]. 시간-분할형은 모든 입력라인과 출력라인이 하나의 통신로를 공유하는 방식으로 공유-메모리형(shared-memory type)과 공유-매체형(shared-medium type)이 있다. 공간-분할형 방식은 입력라인과

\* 광운대학교 전자통신공학과(scokjh@explore.kwangwoon.ac.kr) 정회원, \*\* 영동대학교 전자공학부 컴퓨터공학(ygcho@kachi.yit.ac.kr)  
논문번호 : 98312-0723, 접수일자 : 1998년 7월 23일

출력라인 사이에 여러 개의 경로가 제공되기 때문에 전체 스위치 용량은 경로 수와 각 경로의 대역폭(bandwidth)의 곱으로 표현된다. 이러한 공간 분할형 방식이 대용량 구현이 가능하고 모듈화 특성을 가지고 있기 때문에 많이 사용된다.

공간분할형 스위치는 많은 형태를 가지고 있으며 대표적으로 크로스바 스위치(crossbar fabric),  $N^2$  disjoint path 스위치, 반얀 네트워크 기반 스위치(banyan based fabric)의 세 종류로 나눌 수 있다[2]. 크로스바 스위치는 각 입출력 쌍에 하나의 crosspoint 스위치가 있고, 따라서 총  $N^2$ 개의 crosspoint 스위치로 구성되어 있다[3]. 이 방식의 스위치는 내부에서의 충돌이 없지만 출력 쪽에 버퍼를 설치해야 한다.  $N^2$  disjoint path 스위치는 모든 종류의 blocking이 일어나지 않는 장점이 있지만, N개의 path중 하나만 사용되므로 비효율적이다. 또한 하드웨어의 복잡성 때문에 비용이 상승한다.

또다른 공간 분할형 스위치 구조는 반얀 네트워크와 같은 다단 상호연결망(Multistage Interconnection Network: MIN)에 기초한 스위치 구조이다[4]. MIN은  $2 \times 2$ 의 매우 작은 스위치 소자(Switch Element: SE)의 다단구조를 기반으로 하고 있다. SE는 수신한 셀을 셀 헤더에 있는 스위치 출구 주소의 한 비트 정보에 의존하여 원하는 출구로 발송(bit-based self-routing)할 수 있는 능력이 있다. MIN은  $N/2$ 개의 SE를 포함하는  $n = \log_2 N$ 개의 stage와 각각의 stage 간을 상호 연결해 주는 연결링크(interstage link)로 구성되어 있다. 이 링크는 각 입력과 출력에 대해 단일 경로를 가진다. 이들 상호연결망은 banyan, base-line, shuffle exchange 등 여러가지의 동형(isomorphic form)이 존재한다. MIN에서의 입구와 출구를 연결하는 링크의 설정은 셀프 라우팅(self-routing)에 의해 이루어진다. 이러한 상호 연결망은 정규적 구조(regular structure)를 가지고 있기 때문에 VLSI로 구현하기가 쉽다. 또한 이 구조는 작은 망의 물리적 구조를 변경하지 않고 커다란 망을 생성할 수 있다는 잇점이 있다. 이와 같은 이유때문에 MIN은 공간분할 패킷 스위치를 위한 바람직한 구조라 할 수 있다. 다만 문제점으로는 내부 블록킹(internal blocking)과 그로 인해 발생하는 throughput의 제한이 있다.

동일한 출구로 향하는 두 개의 셀이 동시에 SE로 들어오면 동일한 출구를 점유하기 위해 경쟁이 일어난다. 이 경쟁에서 이긴 셀은 라우팅되고 그렇지 못한 셀은 폐기되거나 버퍼에 저장된다. 이것을 내부

블록킹이라고 하는데, 내부 블록킹을 극복하기 위해 제시된 여러 가지 방법 중에는 버퍼링(buffering), 중복경로 등이 있다. 버퍼링을 이용한 방식에는 buffered-banyan 망이 있다[5].

라우팅 경로를 하나가 아닌 여러 가지 경로 중에서 선택할 수 있는 중복경로가 적용된 스위치로는 Tandem banyan 스위치와 Overlapped-banyan 스위치가 대표적이다[6][7]. Shuffleout Network 스위치는 Overlapped-banyan 스위치의 일종으로 출력 큐를 가지는 다단 발송 구조이다. 블록킹이 발생할 경우 버퍼에 저장하지 않고, deflection 라우팅을 하기 때문에 하드웨어 복잡성을 제한 할 수 있다[8][9].

Batcher-banyan 스위치는  $O(N(\log N)^2)$ 의 복잡도(complexity)를 갖고, dilated banyan network이  $O(N \log N \log \log N)$ 의 복잡도를 갖는데 비해, Shuffleout Network 계열의 스위치는 Shannon이 증명한  $N \log N$ 에 가장 근접한  $O(N \log N)$ 의 복잡도를 가진다[10]. 따라서, 대용량 스위치의 설계에 적절한 구조라 할 수 있다.

본 논문에서는 출력 큐와 Shuffleout Network 스위치에 기초한 Dilated Shuffle-exchange Network(SN)을 제안하였다. Dilated SN은 내부 블록킹에 대한 해결책으로 deflection 라우팅을 이용하고, 내부 대역폭을 입출력 대역폭의 두 배로 확장시켜 deflection 라우팅의 영향을 최소화시킨다.

논문 구성은 다음과 같다. 2장에서는 Shuffleout Network과 Shuffleout Network을 개선한 스위치들에 대하여 설명하고, 3장에서는 Dilated SN을 제안한다. 4장에서는 Dilated SN의 성능 분석을 위한 해석적 모델을 제시하며 스위치의 성능은 5장에서 비교 평가한다. 마지막으로 6장에서 결론을 맺는다.

## II. Shuffleout Network 스위치

### 2.1 Shuffleout Network

Shuffleout Network은 내부 블록킹을 해결하기 위해 deflection 라우팅을 적용한다. 내부 블록킹이 발생할 때, 셀을 폐기하거나 버퍼에 저장하는 대신 일시적으로 다른 경로로 라우팅하는 것을 deflection 라우팅이라 한다. 다음 stage로 전달된 셀은 그 지점에서 라우팅 알고리즘에 따라 다시 라우팅을 시작한다. 기본적인 반얀망(banyan network)의 경우  $n = \log_2 N$ 개의 단을 지나면 원하는 출구에 도달하게 되지만, Shuffleout Network의 경우에는 여분의 stage를 두어

전체 stage 수  $S$ 가  $n$ 보다 크다. 이 여분의 stage를 이용하여 deflection된 셀들이 목적지까지 도달할 수 있도록 한다.

그림 1은  $N = 8$ 인 경우의 Shuffleout Network의 기본 구조와 라우팅 예를 보여주고 있다. 각 stage는  $2 \times 4$  SE를  $N/2$ 개 포함하고 있으며, 행 0에서 행  $N/2-1$ 로 표시된다.  $N$ 개의 스위치 입력은 첫 stage의  $N$ 개의 입력과 대응되며, 각 stage의  $N$ 개 SE 출력은  $N$ 개의 출력 큐와 대응된다. 이 출력 큐들은 stage당 하나씩 총  $S$  개의 stage로부터 셀을 스위치 출구로 내보낸다.

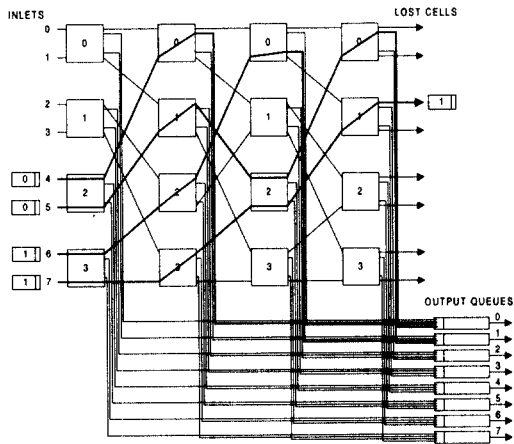


그림 1. Shuffleout Network 구조와 라우팅 예  
Fig. 1 Shuffleout Network structure and routing example

라우팅 기능을 수행하기 위하여 셀에는 태그(tag)라 불리는 부가 헤더 필드가 부여되며, 이 태그를 이용해 원하는 목적지를 찾아가게 된다. 만일 망의 크기가  $N$ 이라면, 필요한 태그는  $n = \log_2 N$ 개의 비트(bit)이다. 셀의 목적지 주소가 현 SE의 스위치 출구 주소와 일치한다면, 그 셀은 출력 큐로 향하게 된다. 이 Shuffleout Network은 네트워크의 크기가 커지면 셀이 deflection될 확률이 커지고 필요한 stage 수가 증가하기 때문에 비효율적이 된다.

### 2.2 Dual Shuffle-Exchange Network

Dual shuffle-exchange network은 셀이 deflection 라우팅 되었을 경우, 다시 처음부터 라우팅하는 것을 피할 수 있는 방법을 제시한다. SN과 병렬로 unshuffle-exchange network(USN)을 설치하여 deflection 라우팅

이 발생할 경우 셀이 USN으로 보내지게 된다. USN에서는 SN과 반대되는 방식으로 라우팅이 일어나기 때문에 2개의 stage를 지난 후에는 다시 원래의 태그 정보를 따라 라우팅된다. 따라서 Shuffleout Network과 동일한 셀 손실률을 달성하기 위해 필요한 stage 수가 감소한다. 단, 이런 성능 향상을 위해서는 SE가  $4 \times 4$ 가 사용되며, 복잡한 라우팅 방법이 사용된다.

### 2.3 Bridged Shuffle-Exchange Network

Shuffleout Network를 개선한 Bridged Shuffle-Exchange Network은 Shuffleout Network의 stage 사이에 bridge라 부르는 또다른 링크를 설치한다[11]. 블록킹에 의해 셀이 deflection 되는 경우, 그 셀은 이 bridge를 통해 다음 stage로 이동한 후 본래의 라우팅을 수행한다. 따라서, 하나의 stage를 지난 후에는 원래의 라우팅 경로로 돌아가기 때문에 Dual Shuffle-Exchange Network에 비해 성능이 향상된다. Shuffle-Exchange Network에 사용되는 SE 역시  $4 \times 4$ 의 구조이다.

## III. 제안된 Dilated Shuffle-Exchange Network의 구조 및 라우팅

그림 2는 Dilated SN의 구조를 나타내었다. stage 간의 연결은 shuffle-exchange 패턴을 따르고, 각 SE 간의 연결에 사용되는 링크와 출력 큐로 향하는 링크는 2개의 물리적인 링크로 구성되어있다. 이러한 내부 대역폭의 확장으로 스피드업(speedup)을 이룰 수

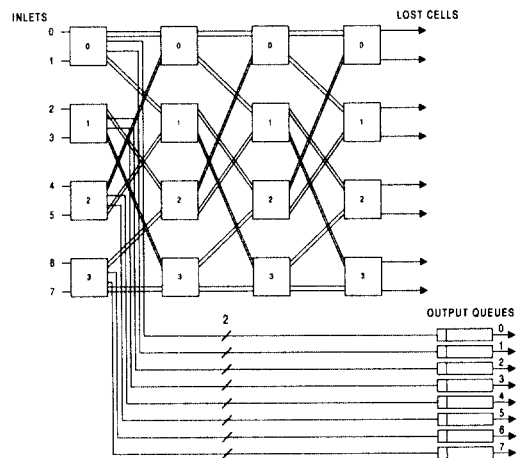


그림 2. Dilated SN 스위치 구조  
Fig. 2 Dilated SN switch structure

있다. 이러한 스위칭 스피드업으로 인해 처리율 및 성능 향상을 제공할 수 있다.

그림 3은 Dilated SN에서 사용하는 SE의 블록도를 나타낸 것이다. 일반적인 MIN의 경우 SE는 2×2의 구조를 취하지만 Dilated SN 스위치의 SE의 경우는 4×4의 구조를 취하는 것이 특징이다. 출력 큐로의 링크까지 고려한다면 4×8의 구조라 할 수 있다. SE에 도착한 셀은 SE에 연결된 출력 큐가 목적지 스위치 출구로 향하는 경우 SE가 어느 stage에 있든지, 즉시 출력 큐로 나갈 수 있는 구조를 가진다. 이렇게 출력 큐로 향하는 두 개의 링크를 지역출구(local outlet)라고 하며, 다음 stage로 향하는 두 개의 링크를 원격출구(remote outlet)라고 한다. distance computing block에서는 입력 셀의 distance를 계산하여 distance가 0인 경우 셀을 지역출구 쪽으로 보낸다. remote outlet routing 블록에서는 태그 정보에 따라 적절한 다음 stage로 셀을 라우팅한다. 일반적인 SE에 비해 셀 라우팅이 복잡하지만 그로 인한 게이트 수 증가는 크지 않다[8].

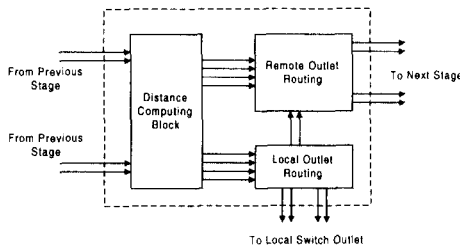


그림 3. 스위치 소자의 블록도  
Fig. 3 Switch element block diagram

Dilated SN에서의 라우팅은 다음과 같은 방식으로 수행된다. 먼저 첫 stage로 부가된 부하는 대역폭이 두 배 증가한 SE로 구성된 두 번째 stage로 전달된다. 이 단계에서는 어떤 충돌도 발생하지 않는다. 세 번째 stage에서부터는 입출력 링크의 수가 동일하기 때문에 충돌이 발생할 수 있다. 충돌이 발생할 경우 우선 순위를 가지는 셀이 최단 경로를 따라 라우팅되고, 그렇지 못한 셀의 경우는 deflection 라우팅을 수행한다. 우선 순위는 distance가 작은 셀이 높다. 같은 우선 순위를 가지는 셀이 충돌하는 경우에는 랜덤선택이 일어나 라우팅 될 셀을 결정한다. 동일한 출구로 향하는 셀이 3개 이상 일 경우에만 충돌이 일어나는데, 이런 사건이 일어날 확률은 아주 작기 때문에 스위치 성능에 미치는 영향은 적다.

#### IV. Dilated SN의 성능 분석

Dilated SN의 성능을 평가하기 위한 파라미터는 셀 손실률과 stage의 수 S를 사용한다. Dilated SN 스위치의 셀 손실은 망 손실(network loss), 집중화기 손실(concentrator loss), 출력 큐 손실(output queue loss)의 세 가지 요소로 구성된다.

스위칭 성능 분석에 사용되는 트래픽 패턴은 크게 uniform과 non-uniform 형태로 나눌 수 있다. uniform 패턴에서는 각각의 입력라인에 도착한 셀이 독립적이고 동등한 분포(independent identically distributed)를 가지며, 모든 셀은 동등한 확률로 스위치 출력 포트에 향한다고 가정한다. non-uniform 패턴에는 버스티(bursty)한 특성을 가지는 On-Off 트래픽 패턴과 불균등한 트래픽 분포를 가지는 hot-spot 트래픽 패턴이 있다. Dilated SN 스위치의 성능 분석에 사용되는 입력 트래픽은 uniform 패턴만을 고려한다.

##### 4.1 망(Network)의 분석 모델

분석 모델은 순환적으로 이루어지는데, s+1번째 stage의 부하는 s번째 stage의 부하를 이용하여 계산할 수 있다. 따라서 첫 번째 stage에 부여된 부하만 알게 된다면, 망의 나머지 stage에서의 부하도 알 수 있다. 마지막 stage에서 출력 큐로 들어가지 못하는 부하는 전체 스위칭 네트워크의 셀 손실률이 된다.

$p_s$ 를 망의  $s^{th}$  stage의 부하,  $p_1$ 은 망에 제공된 트래픽,  $q_{s,d}$ 는 원하는 스위치 출구에서 d distance 떨어진 셀에 의해  $s^{th}$  단계 걸리는 부하라고 하면  $p_s$ 와  $q_{s,d}$ 는 다음과 같은 관계가 있다.

$$p_s = \sum_{d=0}^{s-1} q_{s,d} \tag{1}$$

셀은 도착한 SE에서 distance가 0인 떨어져 있는 경우만 그 stage에서 망을 빠져나간다. 두 개의 셀이 동시에 동일한 지역출구로 향할 경우에도 처리가 가능하다. 세 개 이상의 셀이 동일한 지역출구로 향할 경우에는 경쟁이 일어나고 우선 순위에 따라 선택된 두 개의 셀은 지역출구로 나가고 나머지 셀은 deflection 라우팅된다. 우선 순위는 distance가 작은 셀이 높으며, 우선 순위가 동일한 경우에는 임의의 선택이 일어난다. 단, 첫 번째 stage의 경우는 입력라인이 두 개이므로 어떤 경우라도 deflection은 발생하지 않는다. 위의 라우팅 알고리즘은 다음과 같은 방정식으로

표현된다.

$$p_s - p_{s+1} = q_{s,0} \sum_{l=0}^3 A \binom{3}{l} q_{s,0}^l (1 - q_{s,0})^{3-l} \quad (2)$$

첫 번째 stage에서는 위의 값이  $q_{s,0}$ 가 된다. A는 경쟁이 발생할 경우 선택되어질 확률값을 표현한다. (본 논문에서  $\sum$ 의 아래쪽 지시자(index)가 위쪽 지시자보다 크면 합 의 결과는 0이 된다). 식(2)를 전개 하기 위해서는  $q_{s+1}$ 과  $q_s$ 에 관한 방정식이 필요하다.  $q_{s+1,d}$  부하에 대한 식은 다음과 같다.

$$q_{s+1,d} = \sum_{\delta=0}^{m-1} P\{q_{s+1,d}/q_{s,\delta}\} q_{s,\delta} \quad (3)$$

여기서,  $q_{s+1,d}$ 를 계산하기 위한 조건부 확률  $P\{q_{s+1,d}/q_{s,\delta}\}$ 이 필요하다. 이 확률은 셀이 다음 stage로 이동할 때 distance가 감소, 동일, 증가하는 경우의 3가지로 나눌 수 있다.

1) distance 감소 :  $P\{q_{s+1,d}/q_{s,d+1}\}$

s 단에서 s+1단으로 셀이 전달될 때 최단 경로를 따라 발송된다면 distance d는 하나 감소한다. 이 사건은 아래 조건 중 하나를 만족시키면 발생한다.

- [조건1] SE로 들어오는 셀이 두 개 이하이고 따라서 충돌이 일어나지 않는 경우
- [조건2] SE로 들어오는 셀이 세 개 이상이고, 셀이 서로 다른 원격출구를 선택하여 경쟁이 일어나지 않는 경우
- [조건3] SE로 들어오는 셀이 세 개 이상이고, 세 개 이상의 셀이 동일한 원격출구를 선택하여 경쟁이 발생했을 때 경쟁에서 선택되는 경우

이 조건들은 다음과 같은 방정식으로 표현된다.

$$P\{q_{s+1,d}/q_{s,d+1}\} = \sum_{l=0}^3 A \binom{3}{l} (p_s - q_{s,0})^l (1 - p_s + q_{s,0})^{3-l} \quad (4)$$

위의 값은 첫 번째 stage에서는 1이 된다.

2) distance 동일 :  $P\{q_{s+1,d}/q_{s,d}\}$

$d \neq m-1$ 일 때의 계산은 다음과 같다. s 단에서

s+1단으로 진행하는 셀은 편향되었을 경우만 자신의 거리를 유지한다. 일반적으로 편향된 셀의 distance는 증가하고, 최단 경로를 따라가는 셀은 distance가 감소한다. 서플 연결망의 모양이 가지는 특성에 의해 셀이 0번째와 N-1 번째 링크를 따라 진행하는 경우에는 편향되더라도 자신의 거리를 유지한다. 따라서 셀이 편향되고, 거리를 유지하기 위해서는 다음 조건을 만족해야 한다.

[조건1] 양 끝 행(행 0과 행 N-1)의 interstage link를 따라 라우팅되면서, [조건1.1] 세 개 이상의 셀이 동일한 원격(지역)출구를 선택하여 경쟁이 발생하는 경우

이 조건들은 다음과 같은 방정식으로 표현된다.

$$P\{q_{s+1,d}/q_{s,d}\} = \begin{cases} \frac{2}{N} \sum_{l=2}^3 (1-A) \binom{3}{l} q_{s,0}^l (1 - q_{s,0})^{3-l}, & d=0 \\ \sum_{l=2}^3 (1-A) \binom{3}{l} (p_s - q_{s,0})^l (1 - p_s + q_{s,0})^{3-l}, & d=n-1 \\ \frac{2}{N} \sum_{l=2}^3 (1-A) \binom{3}{l} (p_s - q_{s,0})^l (1 - p_s + q_{s,0})^{3-l}, & \text{그 밖의 경우} \end{cases} \quad (5)$$

만일 셀이 원하는 스위치 출구까지의 distance가 최대 distance n-1인 경우, 모든 편향은 거리 n-1을 유지한다. 따라서, d=n-1인 경우 식 (5)에서  $\frac{2}{N}$  인수는 제거된다. 위의 값은 첫 번째 stage에서는 0이 된다.

3) distance 증가 :  $D > d$ 인  $P\{q_{s+1,D}/q_{s,d}\}$

s stage에서 s+1 stage로 셀이 전달될 때 deflection되는 경우에는 distance가 증가한다. 세 개 이상의 셀이 동일한 원격(지역)출구로 향할 경우 경쟁이 일어나며, 이 경쟁에서 질 경우 셀이 deflection된다. 위의 사건은 다음과 같은 방정식으로 표현할 수 있다.

$$P\{q_{s+1,D}/q_{s,d}\} = \begin{cases} \Gamma(D, d) \sum_{l=2}^3 (1-A) \binom{3}{l} q_{s,0}^l (1 - q_{s,0})^{3-l}, & d=0 \\ \Gamma(D, d) \sum_{l=2}^3 (1-A) \binom{3}{l} (p_s - q_{s,0})^l (1 - p_s + q_{s,0})^{3-l}, & d \neq 0 \end{cases} \quad (6)$$

$\Gamma(D, d)$  인수는 요구되는 스위치 출구로부터 d도 약 떨어진 셀이 편향된 후 새로운 거리  $D > d$ 를 가질 확률이다. 동일한 d의 경우 각각의 D값은 같은 확률을 가진다는 가정 하에  $\Gamma(D, d)$  값을 계산하였다. 이

값 역시 첫 번째 stage의 경우는 0이 된다.

식(2)의 계산을 위해, 망의 첫 단계 들어간 셀이 원하는 스위치 출구까지 distance값이 얼마나 되는가 하는 확률값  $q_{1,d}$ 이 또한 필요하다. 확률분포  $q_{1,d}$ 는 스위치 입구 i에서 스위치 출구 j까지의 거리를 모든 (i,j)쌍에 대해 측정하여 계산한다. 모든 입구에서 스위치로 들어가는 셀은 모든 출구에 확률  $\frac{1}{N}$ 의 같은 확률을 가지고 나간다고 가정한다. 본 논문에서는 다양한 크기의 입출력포트(N)를 가지는 스위치의 라우팅 패턴을 분석하여  $q_{1,d}$ 값을 결정하였다.

#### 4.2 집중화기와 출력 큐 모델

각각의 출력 큐로는 2S개의 라인(하나의 stage마다 두 개의 라인)이 향하게 된다. 따라서, 출력 큐는 최대 2S 개의 셀을 처리 할 수 있어야 한다. 2S가 크다면(보통 16이상일 경우) 집중화기를 사용하여 출력 큐로 향하는 라인 수를 줄여서 출력 큐의 복잡도를 감소시켜주어야 한다[12]. S개의 입력과 L개의 출력을 가진 집중화기에 대한 셀 손실 확률은 다음과 같다.

$$l_c = \frac{1}{p_c} \sum_{k=L+1}^S (k-L) \binom{S}{k} \left(\frac{p_c}{S}\right)^k \left(1 - \frac{p_c}{S}\right)^{S-k} \quad (7)$$

여기서,  $p_c$ 는 집중화기에 제공되는 부하를 의미하고 다음과 같이 표현된다.

$$p_c = p_1(1 - l_n) \quad (8)$$

입력 트래픽의 목적지 선택은 완전히 랜덤하다고 가정했기 때문에, 출력 큐로의 셀 도착과정은 이항 분포(Binomial distribution)를 따른다.

$$P\{k \text{ arrivals}\} = \binom{L}{k} \left(\frac{p_q}{L}\right)^k \left(1 - \frac{p_q}{L}\right)^{L-k} \quad (9)$$

여기서,  $p_q$ 는 출력 큐에 제공되는 부하이므로, 다음과 같이 정의된다.

$$p_q = p_c(1 - l_c) \quad (10)$$

큐는 하나의 단위 시간 슬롯당 하나의 패킷을 전송한다. 따라서 출력 큐는 이산적 GEOM/D/1/Qo로 분류된다. Qo는 셀로 측정되는 출력 큐 용량이다. 큐에

서의 셀 손실 확률은 마코프 체인(Markov chain)을 이용하여 분석하였다. 부하가 0.9인 경우, 출력 큐 용량이 입력 라인 L의 8배 정도의 크기일 때 셀 손실 확률이 적절한 값( $10^{-7}$  이하)을 유지한다는 것을 알 수 있다.

### V. 결과 및 검토

제한한 스위치의 성능을 평가하기 위해 일정한 셀 손실 확률 시 필요한 stage 수를 기존의 Shuffleout Network 계열 스위치와 비교하였다. Dilated SN에서의 셀 손실 확률은 다음과 같은 세 부분으로 이루어져 있다.

- $l_n$  : 망에서의 셀 손실 확률,
- $l_c$  : 집중화기에서의 셀 손실 확률,
- $l_{oq}$  : 출력큐에서의 셀 손실 확률.

전체 셀 손실확률은 다음과 같다.

$$l_t = 1 - (1 - l_n)(1 - l_c)(1 - l_{oq}) \quad (11)$$

셀 손실 확률은 상당히 작기 때문에 위의 식은 다음과 같이 근사 시킬 수 있다.

$$l_t = l_n + l_c + l_{oq} \quad (12)$$

그림 4는 부하가 1.0에서의 다양한 입출력 포트 수 N에 대해서 Dilated SN 스위칭 네트워크에서의 stage 수 대 셀 손실 확률을 보여주고 있다. 그림에서 보여 주듯이 일정한 셀 손실 확률을 지나면, stage가 증가할 때마다 급격한 손실 확률의 감소가 생긴다.

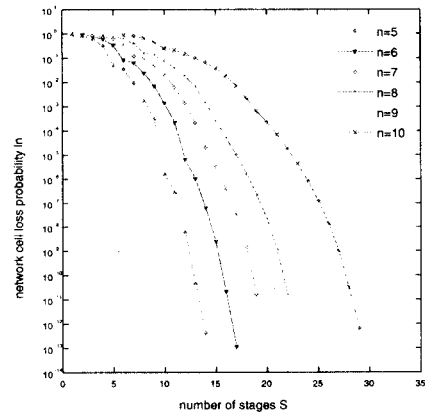


그림 4. stage 수 대 셀 손실률 (부하 1.0)  
Fig. 4 Network cell loss vs. number of stages (input load 1.0)

그림 5은 식 (12)에서 정의된 집중화기와 출력 큐를 고려한 셀 손실률을 보여준다. 그림에서 집중화기의 L 값은 10이며 출력 큐는 각 출력라인마다 8개의 셀을 보유하는 크기를 가진다.  $S > 25$  일 경우 일정한 셀 손실률로 수렴하는 이유는  $l_c$ 가  $l_n$ 과  $l_{\infty}$ 보다 크기 때문이다.

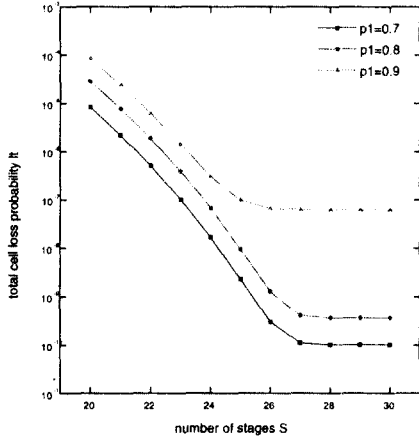


그림 5. 전체 시스템의 셀 손실률  
Fig. 5 Cell loss probability of total system

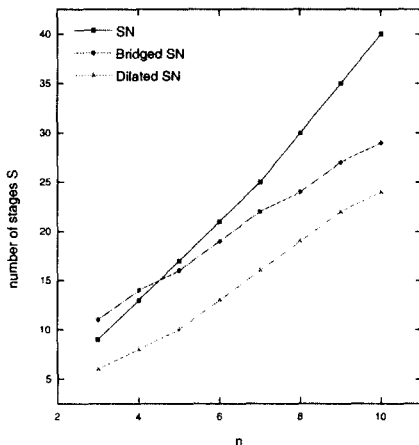


그림 6. Shuffleout Network, Bridged SN, Dilated SN의 셀 손실률  
Fig. 6 Cell loss probability of Shuffleout Network, Bridged SN, Dilated SN

에서의 셀 손실률은 고려하지 않는다. 다양한 스위치 크기(n)에 대해 부하가 1.0인 경우 10<sup>-6</sup>의 셀 손실률을 달성하기 위해 Shuffleout Network, Bridged SN, Dilated SN이 필요로 하는 stage 수가 그림 6에 나타나 있다. Bridged SN은 스위치 크기가 작을 경우(n<5)에는 Shuffleout Network보다 stage가 더 필요하게 된다. 제안된 Dilated SN은 Shuffleout Network의 60-65%의 stage만으로 동일한 셀 손실률을 유지할 수 있다. 또한, SE를 구현하는데 거의 동일한 하드웨어가 필요한 Bridged SN과 비교해도 대부분의 스위치 크기에서 필요한 stage가 5-6 stage 적다. 따라서 Dilated SN이 O(NlogN)의 complexity를 가지는 스위치들 중 동일한 셀 손실률을 달성하기 위해 필요한 SE의 양이 가장 적다. 집중화기로 향하는 입력라인의 수는 Bridged SN에 비해 크지만 집중화기에서의 셀 손실률이 전체 스위치의 성능에 미치는 영향이 적기 때문에 무시할 수 있다.

## VI. 결 론

본 논문에서는 MIN(Multistage Interconnection Network)에 기초하여 스위칭 네트워크의 내부 대역폭을 확장하고 처리율을 향상시킨 공간-분할형 ATM 스위치를 제안하였다. 제안한 Dilated SN은 내부 블로킹을 해결하기 위해 deflection 라우팅을 이용하고, 버퍼는 출력 큐 방식을 사용하였다. deflection 라우팅을 사용하면 블로킹은 피할 수 있지만 원하는 셀 손실률을 유지하기 위해 필요한 stage 수가 증가하게 된다. stage 증가를 최소화하기 위해 몇가지 방법이 제시되었는데, 제안한 Dilated SN 스위치에서는 내부 대역폭의 확장으로 deflection 라우팅의 영향을 최소화시켜 기존의 Shuffleout Network 방식 스위치들에 비해 적은 stage로 동일한 셀 손실률을 달성할 수 있었다. 스위치의 성능은 uniform 트래픽과 full load의 조건 아래서 평가되었다. 성능 분석 결과 제안한 스위치구조가 기존의 스위치들 중 가장 적은 stage를 갖는 Bridged SN에 비해 stage를 5-6 stage 더 적게 사용해도 동일한 셀 손실률을 유지한다는 것을 알 수 있었다.

앞으로의 연구 과제로는 다양한 트래픽 패턴 하에서의 스위치 성능 분석, 스위치 모듈의 시뮬레이션, 하드웨어 구현, 멀티캐스팅 기능을 구현하기 위한 방법 등이 있을 것이다.

## 참 고 문 헌

Bridged SN과의 비교를 위해 집중화기와 출력 큐

1. P. Newman, "ATM technology for corporate networks," IEEE Comm. Mag., pp. 90-101, Apr. 1992.
2. F. A. Tobagi, "Fast packet switch architectures for broadband integrated services digital networks," Proceedings of the IEEE, vol. 38, pp. 133-167, Jan. 1990.
3. T. Kozaki et al., "32×32 Shared Buffer Type ATM Switch VLSIs for B-ISDNs," IEEE J. Select. Areas Comm., SAC-9, pp. 1239-47, Oct. 1991.
4. T. M. Chen, S. S. Liu, ATM Switching Systems, Artech House Publishers, 1995.
5. HYGONG SOK KIM and A. Leon-garcia, "Performance of buffered banyan networks under nonuniform traffic patterns," IEEE Trans. on Comm., vol. 38, no. 5, pp. 648-658, May 1990.
6. F. A. Tobagi, T. C. Kwok, "The Tandem Banyan Switching Fabric: A simple high-performance fast packet switch," IEEE INFOCOM, pp. 1245-1253, April 1991.
7. S. Urushidani, "Rerouting Network : A High Performance Self-routing switch for BISDN," IEEE J. Select. Areas Comm., vol. 9, no. 8, pp. 1194-1203, Oct. 1991.
8. M. Decina, P. Giacomazzi and A. Pattavina, "Shuffle interconnection networks with deflection routing for ATM switching: the open-loop shuffleout," Proc. 13th Int. Teletraffic Congress, pp. 27-34, 1991.
9. P. Giacomazzi, A. Pattavina, "Performance Analysis of the ATM Shuffleout Switch Under Arbitrary Nonuniform Traffic Patterns," IEEE Trans. on Comm., vol. 44, no. 11, pp. 1579-1589, Nov. 1996.
10. S. C. Liew and T. T. Lee, "N log N dual shuffle-exchange network with error-correcting routing," IEEE ICC'92, pp. 262-268, 1992.
11. R. Zarour and H. T. Mouftah, "Bridged shuffle-exchange network: A high performance self-routing ATM switch," IEEE ICC'93, pp. 696-700, 1993.
12. Y. S. Yeh, M. G. Hluchyj, A. S. Acampora, "The knockout switch: A simple, modular architecture for high-performance packet switching", IEEE J. Select. Areas Comm., vol. 5, no. 8, pp. 1274-1283, Oct. 1987.



석 종 환(JongHwan Seok) 정회원  
 1995년 2월: 광운대학교 전자통신공학과 공학사  
 1995년~1996년: 삼성전기  
 1997년 3월~현재: 광운대학교 전자통신공학과 석사과정  
 <연구분야> ATM network, traffic 분석, network management

조 용 구(YongGu Cho) 정회원  
 1986년 2월: 광운대학교 전자통신공학과 졸업  
 1991년 2월: 동대학원 전자통신공학과 석사  
 1996년 2월: 동대학원 전자통신공학과 박사  
 1988년~1995년: 국방정보체계연구소 근거리통신망 실장  
 1996년~1997년: 초당대학교 정보통신공학과 전임강사  
 1997년~현재: 영동대학교 전자공학부 컴퓨터공학 전공 전임강사  
 <연구분야> mobile computing, multimedia communication

오 영 환(YoungHwan Oh) 정회원  
 현재: 광운대학교 전자통신공학과 교수, 신기술 연구소