

# 써브마이크론 ASIC 환경에서의 최대 팬아웃 수 계산 방법

정회원 고 기 태\*, 김 석 윤\*

## A Maximum Fanout Number Calculation Method in Submicron ASIC Environment

Ki-Tae Ko\*, Seok-Yoon Kim\* *Regular Members*

### 요 약

최대 팬아웃 수는 그 특성상 정적 조건하에서의 전류 구동능력을 뜻하는 최대 dc 팬아웃 수와 동적 조건하에서의 출력 천이시간을 만족하는 최대 ac 팬아웃 수의 두 갈래로 나뉜다. 최근의 써브마이크론 ASIC 환경에서는 보다 정확한 설계규칙의 정립을 위하여 최대 ac 팬아웃 수의 계산시에 주파수나 회로 연결선의 영향을 고려하지 않을 수 없게 되었다. 본고는 최대 팬아웃 수의 정의를 셀의 전류 구동 능력 외에 신호의 동작 주파수, 회로 연결선, 최대 허용 단락전류 및 설계 환경적 요소 등을 고려하여 써브마이크론 환경에 맞도록 새롭게 정량화하고, 이를 ASIC 설계 환경에서 설계 규칙으로 적용할 수 있도록 셀 종류별로 계산하는 방법을 제시한다.

### ABSTRACT

The maximum fanout number is characteristically divided into the maximum number of dc fanouts which means current driving capability under static condition, and the maximum number of ac fanouts which means that output signal transition time meets a given requirement under dynamic condition. When calculating the maximum number of fanouts in submicron ASIC environment, designers have to consider the influence of operating signal frequency and interconnect effects. This paper newly quantifies the definition of maximum fanout number in submicron ASIC environment, considering not only the driving capability of cells but also operating frequency, interconnects, maximum allowable short-circuit current and factors resulting from design environment. A new calculation method fitting for the renewed definition of maximum fanout number is also described.

### I. 서 론

현재의 ASIC 설계 환경에서는 설계상의 잘못을 설계 규칙 검토(DRC)과정을 통하여 걸러내고 있다. 이 DRC 과정의 검토 요소 중 하나로 사용되는 설계 변수가 각 셀(cell)에서의 최대 팬아웃 수이다. 그러나 기존의 ASIC 데이터 북[1-2]에 수록된 각 셀들의 최대 팬아웃 수의 정의 및 계산 근거가 자세한 분석을 바탕으로 이루어지지 않고, 경험적 수식을 바탕으로 계산된 경우가 많아 부정확한 경우가 종종 있다. 이렇게

설계 규칙 검토 과정이 잘못되면 정상적으로 동작하는 회로를 잘못 되었다고 판정하거나 오동작할 확률이 큰 회로를 통과시킬 위험이 존재한다.

최대 팬아웃 수(maximum number of fanouts)란 논리적, 시간적, 설계 환경적 조건하에서 셀이나 게이트 등이 주어진 조건을 만족시키는 범위 안에서 구동할 수 있는 최대 출력 부하의 수를 일컫는다. 최대 팬아웃 수는 여러 조건에 의해 제약받을 수 있다. 예를 들면, 정적 조건(static condition)하에서의 드라이버의 전류 구동 능력이라든지 동적 조건에서의 출력 파형의

\* 송실대학교 대학원 컴퓨터학부(ksy@computing.soongsil.ac.kr) 정회원  
논문번호 : 97407-1106, 접수일자 : 1997년 11월 6일

천이시간, 또는 설계 환경적 요인<sup>1)</sup> 등은 주어진 드라이버(driver)의 최대 팬아웃 수를 결정하는 요소가 된다. 이러한 요소들은 주어진 셀이나 게이트에 대해 각각 다른 수치의 최대 허용 팬아웃 수로 나타나며, 흔히 이 중 최소값을 설계 규칙상에서 최대 팬아웃 수로 정하여 설계상의 제약을 가함으로써 잠재적인 논리 잘못이나 타이밍 잘못을 제거하는 역할을 하고 있다.

최대 팬아웃 수는 정적 조건하에서의 드라이버의 전류 구동 능력을 뜻하는 최대 dc 팬아웃과 동적 조건하에서의 최대 허용 출력 천이시간을 만족하는 최대 ac 팬아웃 수 중 최소치로 정해진다. 이때 ac 팬아웃 수를 결정하기 위하여 최대 허용 천이시간의 정의가 선행되어야 하며, 이를 위하여 클락주파수나 최대 허용 단락 전류(short circuit current), 설계환경적 요소 등을 고려하여야만 한다.

지금까지의 ASIC 환경에서는 경험적 수치를 이용하여 최대 허용 출력 천이시간 및 최대 팬아웃 수를 결정해 왔으나, 앞으로의 고집적, 고성능 씨브마이크론 환경에서는 최대 팬아웃 수의 개념을 명확히 정의할 필요가 있다. 본 논문에선 클락주파수, 회로 연결선(interconnect)의 영향, 최대 허용 단락 전력, 설계환경적 요소 등을 종합적으로 고려하여 최대 팬아웃 수를 정량적으로 정의하고 이를 계산하기 위한 방법을 제시하고자 한다.

본 논문의 구성은 다음과 같다. 서론에 이어 제 2장에서는 팬아웃의 정의를 다시 살펴보고 팬아웃과 여러 설계변수와의 상관관계를 정의한다. 이어, 3장에서 본 논문에서 제시하는 새로운 ac 팬아웃 개념과 이를 계산하기 위한 접근 방법을 기술한다. 제 4장에서는 회로 연결선의 배치 및 구조가 팬아웃 값에 미치는 영향을 기술하고, 클락 드라이버들의 최대 팬아웃 수 계산을 위한 기하구조 및 배선모형을 설정한다. 제 5장에서는 3장과 4장에서 설명한 계산방법을 클락 버퍼 및 원시 셀(primitive cell)들에 대하여 적용한 실험 결과를 요약 서술한다. 제 6장에서는 본 논문의 내용을 요약하고 설계상의 권고 사항을 기술한다.

## II. 팬아웃의 정의

팬아웃 수의 단위를 환산의 편의를 위하여 SL(standard load)로 표기하기로 한다. SL은 보통 주어진 설계 환경에서 표준 크기의 인버터를 의미한다. 최대 팬

아웃 수는 주어진 구동자(driver)가 논리적, 시간적, 설계 환경적 조건을 만족하는 범위 안에서 최대로 연결할 수 있는 SL 수를 말한다. 통상, 최대 팬아웃 수는 정적 조건하에서 전류 구동 능력을 뜻하는 최대 dc 팬아웃과 동적 조건하에서의 주어진 출력 천이시간을 만족하는 최대 ac 팬아웃으로 구분되며, 이들 중 최소치를 최대 팬아웃 수로 정의한다.

● 정의 1: 최대 dc 팬아웃 수는  $I_{OH}/I_{IH}$ 와  $I_{OL}/I_{IL}$  중 최소치를 SL수로 환산한 값이다. 여기서,  $I_{IH}$ 와  $I_{IL}$ 은 주어진 시험 조건하에서의 최대 input high current와 input low current를 나타내며,  $I_{OH}$ 와  $I_{OL}$ 은 최대 output high current와 output low current이다 [5].

● 정의 2: 주어진 셀과 최대 허용 출력 천이시간(maximum allowable output transition time;  $t_{mot}$ )에 대해서, 최대 ac 팬아웃은 다음 단계(stage)의 입력 신호의 천이시간이  $t_{mot}$ 를 초과하지 않는 최대 SL 수로서 정의된다.

한편, 최대 ac 팬아웃을 정의하기 위하여 최대 허용 출력 천이시간,  $t_{mot}$ 가 결정되어야 한다.  $t_{mot}$ 를 정의할 때 편의상 해당 회로 블록별로 정의할 수 있으나, 본고에서는 일반성을 위하여 셀 종류별(클락 드라이버 및 원시 셀)로 정의한다고 가정한다. 이  $t_{mot}$ 는 1) 클락주파수, 2) 최대허용 단락(short circuit) 전류, 3) 설계 환경적 요소 등에 의하여 제한되며, 그 근거는 다음과 같다.

1) 클락 주파수에 의해  $t_{mot}$ 를 제한하는 근거는 순차회로(sequential circuit) 내의 시간 지연 및 천이시간은 고주파 회로일수록 작아야 한다는 점이다.

2)  $t_{mot}$ 를 제한함으로써 정적(static) CMOS 논리회로에서 주요 전력 소모 요인중의 하나인 단락(short-circuit)전류를 제한할 수 있다. 주어진 회로 블록이 다 단계(multi-stage)로 구성되어 있을 경우, 단락 전류를 최소화하기 위하여 각 셀에서의 입력신호 천이시간과 출력신호 천이시간의 비를 1에 가깝게 만들어야 한다 [6]. 그러므로, 최대허용 단락전류가 주어진다면 거꾸로 입력 및 출력 천이시간의 비를 결정할 수 있고  $t_{mot}$ 를 제한하는 하나의 값을 줄 수 있다.

3)  $t_{mot}$ 을 제한하는 요소의 또 하나는 설계 환경적 제한 조건이다. 실제적으로 논리회로를 설계하는데 있

1) 설계 보조 도구 등의 제약으로 인하여 실제로는 허용 가능한 팬아웃 수를 제한해야 하는 경우가 생긴다.

어서 다양한 S/W를 사용할 수밖에 없으므로 설계 환경과 관련하여  $t_{mot}$ 를 고려하지 않을 수 없다. 예를 들어, 현재의 논리 시뮬레이터가 셀에서의 음의 지연(negative delay)을 수용하지 못한다고 하면, 검증 오차를 줄이기 위해 음의 지연이 발생하지 못하도록 설계규칙 상에서  $t_{mot}$ 를 제한할 수 있다. 그러므로  $t_{mot}$ 는 위의 세 가지 요소에 의해 결정되는 값들의 최소치로 정의한다(그림 2.1 참조).

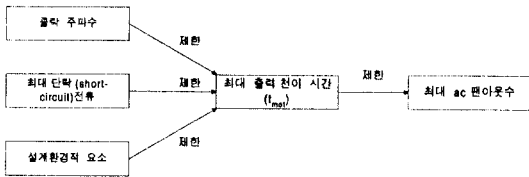


그림 2.1 최대 ac팬아웃 및  $t_{mot}$ 와 설계 변수와의 상관 관계

씨브마이크론 환경에서는 최대 ac팬아웃 수를 계산할 때, 클락 구동자와 같이 회로 연결선의 영향이 큰 셀의 경우 회로 연결선의 커패시턴스를 고려하지 않을 수 없게 되었다. 이 경우에도 커패시턴스의 성분뿐만 아니라 회로 연결선의 저항 성분까지를 고려해야만 정확한 팬아웃 수의 예측이 가능해진다. 왜냐하면, 최종 팬아웃 단에서의 신호파형 기울기는 회로 연결선 내의 RC 효과를 반영하고 있기 때문이다.

### III. 새로운 최대 팬아웃 수 계산법 및 $t_{mot}$ 설정 방법

#### 3.1 최대 팬아웃 수 계산방법

본 절에서는  $t_{mot}$ 가 미리 정의되어 있다고 가정하고서 최대 팬아웃 수(본 논문에서 FO로 표기) 계산 방법을 설명하며, 이 과정에서 매개변수로 사용되는  $t_{mot}$  설정법은 3.2 절에서 설명한다.

셀 매개변수<sup>2)</sup>( $t_{phi}$ ,  $t_{plh}$ ,  $t_r$ ,  $t_f$  등의 테이블)와 입

2) 논리 값이 변화하는 기준 전압을  $V_T$  (예를 들어, 0.5V<sub>DD</sub>)라고 하면,  $t_{phi}$ 는 출력이 low로 변할 때 입력이  $V_T$ 인 시점에서 출력이  $V_T$ 인 시점까지의 전파지연 시간,  $t_{plh}$ 는 출력이 high로 변할 때 입력이  $V_T$ 인 시점에서 출력이  $V_T$ 인 시점까지의 전파지연 시간,  $t_r$ 은 파형이 최대 전압치의 10%에서 90%까지 상승하는 전이시간,  $t_f$ 는 파형이 최대 전압치의 90%에서 10%까지 하강하는 전이시간을 말한다.

력 천이시간(input transition time),  $t_{it}$  및  $t_{mot}$ 가 주어지면 dc 및 ac FO를 구할 수 있으며, 그림 3.1과 같이 도식화 할 수 있다.

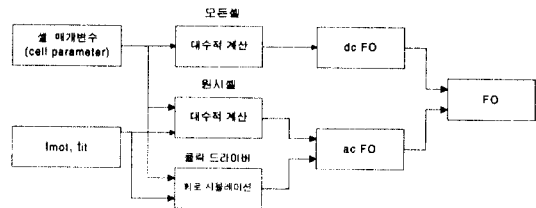


그림 3.1 FO의 계산 과정

FO는 dc FO와 ac FO 중 최소치로 결정된다. 그러나 회로가 고속화 될수록  $t_{mot}$ 의 값이 작아지므로 대부분의 회로에서는 ac FO가 전체 FO값이 된다. ac FO를 효율적으로 계산하기 위하여셀을 다음과 같이 원시 셀과 클락드라이버 두 부류로 나누어 각각에 대한 최대 팬아웃 수 계산방법을 유도한다.

#### 3.1.1 원시 셀(primitive cell)들의 경우

원시 셀들의 경우에는 대부분 회로 연결선의 영향을 무시할 수 있으므로 그림 3.2와 같이 ac FO를 계산할 수 있다.

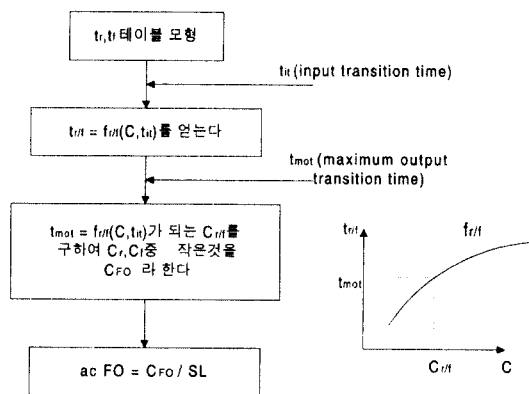


그림 3.2 원시 셀의 ac FO 계산과정( $t_{r/f}$ 는  $t_r$  및  $t_f$ ,  $C_{r/f}$ 는  $C_r$  및  $C_f$ 를 나타냄)

$t_{it}$ 는 시스템 레벨에서 특정값으로 정하거나 클락

주파수에 연동할 수 있다. 그러나 원시 셀들의 경우 여러 셀들이 캐스케이드(cascaded) 연결되는 경우가 흔하며, 중간에 위치한 셀들의  $t_{ii}$ 를 초기 입력으로 직접 조정하기가 힘들므로 특정치로 수렴하게 될 확률이 큰 값을  $t_{ii}$ 로 정하게 된다.

$t_r$  및  $t_f$ 의 식을 얻기 위하여 내삽법(interpolation) 및 외삽법(extrapolation)이 필요할 때가 있다. 이 경우 1차 근사화 하면 충분하며,  $t_{mot}$ 가 사이에 포함되는 (또는 외삽되는) 경우 가장 가까운 두 점을 잇는 기울기식을 구하면 된다. 최종적으로  $t_r$ ,  $t_f$ 가  $t_{mot}$ 되는  $C_r$ ,  $C_f$ 를 구한 다음,  $C_r$ ,  $C_f$  둘 중 작은 값을 SL수로 환산한 값이 ac FO이다. (여기서  $C_r$ ,  $C_f$ 는 각각 주어진 상승천이와 하강천이 값에 대한 커패시턴스 값을 나타낸다.)

### 3.1.2 클락 드라이버의 경우

클락 드라이버의 경우는 그림 3.3에서 보인 흐름에 따라 ac FO를 계산한다.

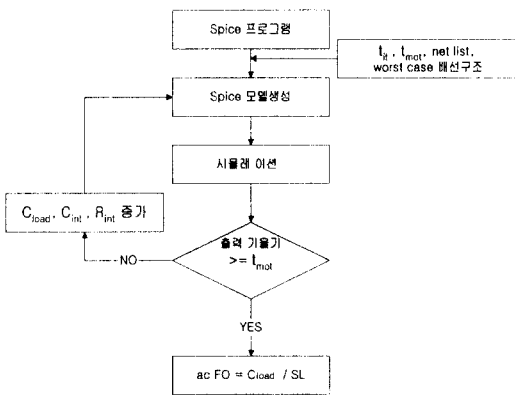


그림 3.3 클락 드라이버의 ac FO 계산 과정

클락 드라이버의 경우에는 주어진  $t_{ii}$  및 부하 커패시턴스( $C_{load}$ )모형, 회로 연결선( $C_{int}$ ,  $R_{int}$ )모형을 시뮬레이션하여 팬아웃 단에서의 출력 파형의 기울기가  $t_{mot}$ 를 초과하는지를 검사한다. 여기서  $C_{int}$ ,  $R_{int}$ 는 회로 연결선의 R과 C를 나타낸다. 만약, 기울기가  $t_{mot}$ 를 초과하지 않았다면, 좀 더 부하를 부가할 수 있으므로  $C_{load}$  및 그에 상응한  $C_{int}$ ,  $R_{int}$ 를 증가시켜 회로 모형을 수정한 다음 다시 시뮬레이션

하여 검사한다. 이와 같이, 출력 기울기가  $t_{mot}$ 를 초과하기 직전의  $C_{load}$  값을 구하여 SL로 환산하면 ac FO가 된다. 클락 드라이버의 경우에는 회로 시뮬레이션을 동반하므로 회로 연결선 모형화 기법 및 최악의 배선구조 등에 관련된 배경 지식과 실험이 필요하다. 이를 위하여 제 4장에서는 여러 형태의 배선 구조에 대한 실험 내용과 그림 3.3의 시뮬레이션 알고리즘의 내용을 기술한다.

### 3.2 $t_{mot}$ 계산방법

그림 2.1에서 보인 대로  $t_{mot}$ 는 세 요소에 의해 제한된다.  $t_{mot}$ 를 원시 셀과 클락 드라이버의 두 종류로 나누어 각각  $t_{mot}$ 를 정의하기로 한다.

#### 3.2.1 클락 주파수에 의한 제한

높은 클락 주파수를 갖는 회로는 낮은 클락 주파수를 갖는 회로에 비해서 각 셀들에 요구하는 천이 시간에서 상대적으로 작은 값을 갖게 된다. 원시 셀과 클락 드라이버의 두 종류로 구분하여  $t_{mot}$ 를 계량화한 예를 보이면 아래 식 (3.1) 및 식 (3.2)와 같다. 클락 드라이버의 경우 특정 주파수 이하에서는 상수 값으로 고정한 이유는 클락 신호의 속성상 저주파 회로라 할지라도 너무 큰 천이시간을 가지면 곤란하기 때문이다.

원시 셀의 경우:

$$t_{mot} = \frac{1}{2f} \tag{3.1}$$

클락 드라이버의 경우:

$$\begin{cases} t_{mot} = 5ns, & \text{if } f \leq 60MHz \\ t_{mot} = \frac{2}{3} \times \frac{1}{2f}, & \text{otherwise} \end{cases} \tag{3.2}$$

#### 3.2.2 최대 허용 단락 전력에 의한 제한

평균 단락 전류를  $I_{sc}$ 로 표현하면, 단락 전력  $P_{sc}$ 는 다음 식으로 계산된다.

$$P_{sc} = V_{DD} \times I_{sc} \tag{3.3}$$

$I_{sc}$ 는 PMOS 및 NMOS의 동시 턴-온(turn-on) 시간 및 트랜지스터의 세기에 비례하고 입력신호 천이

시간,  $t_i$  대 출력신호 천이시간,  $t_o$ 의 비(이 값을  $R_{slope}$ 라 함)에 비례한다 [6]. 그러므로, 어느 특정 셀의  $P_{sc}$ 를 최소화하기 위해서는 기율기 비를 줄이는 것이 관건이나, 그렇게 할 경우 다음 단계에서의 많은 전력 소모를 피할 수 없게 된다. 그러므로 기율기 비율을 1에 가깝게 만드는 것이 전체적으로  $P_{sc}$ 를 최소화하는 길이다. 단위 계단(omit step) 입력을 인가했을 경우,  $P_{sc} = 0$ 이므로 이 때의 소모 전력은 순수한 스위칭 소모 전력이다. 이를  $P_{sw}$ 로 표시하면,  $P_{sc}/P_{sw}$ 는 인가 전압과 부하 용량,  $C_L$ , 및 트랜지스터 매개변수들의 함수이며  $R_{slope}$ 에 비례하는 양상을 보인다. 즉,  $P_{sc}/P_{sw}$ 를 얼마 이하로 억제하겠다는 설계 기준이 세워지면,  $R_{slope}$ 가 제한된다. 각 셀에 최소의 부하를 걸고서(즉, 출력파형의 천이시간이 최소인 경우) 입력 천이시간을 변화시킴으로써 천이시간의 비를 구할 때, 이 중  $R_{slope}$ 에 해당하는 입력 천이시간이 존재하며(이를  $t_{mit}$ 로 정의함), 각 셀의  $t_{mit}$ 의 최소치를  $t_{mot}$ 로 정의한다. 왜냐하면, 특정 셀이 최소의  $t_{mit}$ 를 갖는 셀을 구동할 경우, 그 셀의  $t_{mot}$ 는 최소의  $t_{mit}$ 를 능가해서는 안되기 때문이다. 실험 결과, 상용되는  $0.5\mu$  공정의 원시 셀 중에서 최소의  $t_{mit}$ 를 갖는 셀은 4-input NOR로 드러났으며, 이를 사용한 회로구성은 그림 3.4와 같다.

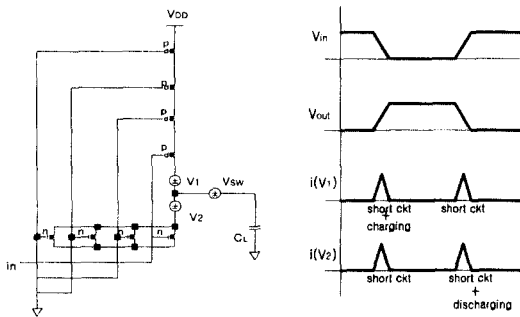


그림 3.4 단락 전력 실험을 위한 회로 구성 및 파형

실험 방법은 그림 3.4에서 보는 바와 같이 0V 전압원인  $V_1$ ,  $V_2$ ,  $V_{sw}$ 를 달아 각각의 전류를 측정한다. 즉,  $V_{out}$ 이 0 → 1 일 때  $V_2$ 에서 측정한 전류가 단락 전류가 된다. 그리고, 이 때  $V_{sw}$ 에서 측정한 전류가 스위칭 전류가 된다. 마찬가지로  $V_{out}$ 이 1 → 0

일 때  $V_1$ 에서 측정한 전류가 단락 전류가 된다. 출력측을 충전할 때와 방전할 때 각각의 단락 전류의 합이 한 주기 동안의 단락 전류가 되며 식 (3.3)에서 보는 바와 같이 단락 전류에  $V_{DD}$ 를 곱한 것이 단락 전력이 된다.  $R_{slope}(t_i/t_o)$ 와 전력 비( $P_{sc}/P_{sw}$ )의 관계를 보면 그림 3.5와 같다.

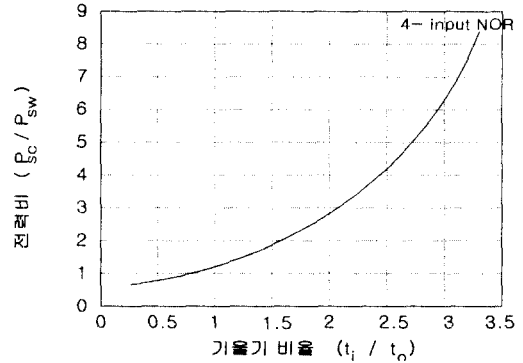


그림 3.5  $R_{slope}(t_i/t_o)$ 와 전력비( $P_{sc}/P_{sw}$ )

여기서, 전력비( $P_{sc}/P_{sw}$ )는 여러 조건에 의해 변할 수 있으며,  $P_{sc}/P_{sw}$ 를 3이하로 제한하고자 한다면 그림 3.5에서 보듯이  $R_{slope}$ 를 2.07 이하로 제한하여야 하며, 이 조건은  $t_i = 3.4ns$ ,  $t_o = 1.64ns$ 일 때 얻어지므로  $t_{mot} = 3.4ns$ 를 얻을 수 있다.

### 3.2.3 설계 환경적 요소에 의한 제한

하나의 논리회로를 설계하는데 있어서 클락주파수나 단락전류 등의 물리적 제약 이외에 실질적으로 설계도구나 보조도구 등의 설계 환경에 의해서도 여러 설계 인자의 제약을 받게된다. 예를 들면, 현재 대부분의 논리 시뮬레이터는 셀 지연이 음의 값을 갖는 경우, 이를 반영하지 않으므로 예측이나 검증시 오차가 생기게 된다. 이러한 오차를 줄이는 방법의 하나는 설계상의 제약을 가하는 것이며, 각 셀에서의 음의 지연이 발생하지 않도록 하는 것이다. 음의 지연은 출력 부하는 적고 입력 천이시간이 클 때 발생하기 쉬우므로, 특정 셀에 1 SL의 부하를 걸고서 입력 천이시간을 변화시킴으로써 지연이 0이 되는 입력 천이시간을 찾을 수 있다. 실제적으로, 이 값은 상승(rising) 천이의 경우 4-input NOR 셀을, 하강(falling)

천이의 경우 4-input NAND 셀을 이용하여 얻어지며, 이들 중 최소치를  $t_{mot}$ 로 정의한다 (그림 3.6 참조). 실험 결과  $0.5\mu$  공정의 경우, 설계 환경적 요소에 의해 제한되는  $t_{mot}$ 는 5.4ns로 나타났다.

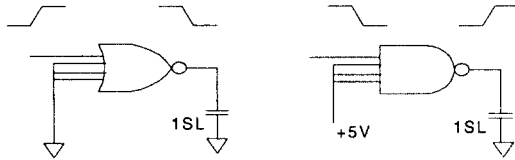


그림 3.6 제로 지연 포인트 측정을 위한 회로구성

#### IV. 클락 드라이버의 ac FO 계산을 위한 배선 모형 및 시뮬레이션 알고리즘

##### 4.1 회로 연결선의 배선모형

클락 드라이버에서는 회로연결선의 영향을 고려해야 하지만, 이러한 연결선의 배선 형태 및 기하구조 또한 많은 종류가 존재한다. 다음 그림 4.1은 문제의 복잡도를 줄이기 위하여 세 가지 토폴로지로 단순화한 것이다.

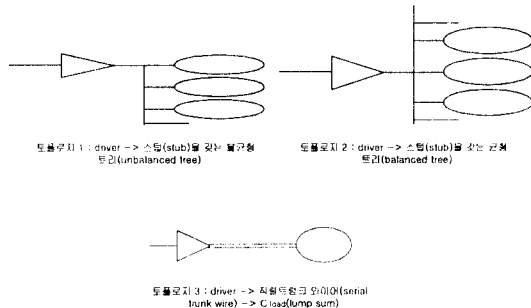


그림 4.1 회로 연결선의 배선구조

그림 4.1에서 주어진 토폴로지와 일정한 선폭(wire width)에 대하여, RC-net 상에서 최악의 지연을 초래하는 경우는 (1) 토폴로지 3, (2) 토폴로지 1, (3) 토폴로지 2 순이다. 이 중, 토폴로지 3은 선 폭을 변화시켜(트렁크를 사용) 해결하므로 고려 대상에서 제외하기로 한다. 결국 일정 선 폭(예를 들어,  $1\mu\text{m}$ ) 하에서는 토폴로지 1의 클락 분배망이 팬아웃 단에서 최악

의 지연을 초래하게 된다.

출력 천이시간을  $t_{ot}$ 로 표현하면  $t_{ot} = f(\text{freq}, N, \text{구조})$ 가 성립한다. 여기서 freq는 입력 주파수, N은 팬아웃 수, 구조는 회로연결선 배선구조를 의미한다. 즉, freq가 주어지고 배선 구조를 결정해 놓으면  $t_{ot}$ 는 N만의 함수이며,  $t_{ot} = t_{mot}$ 가 되는 N값이 ac FO가 된다.

##### 4.2 시뮬레이션 알고리즘

클락 드라이버의 ac FO 계산을 위한 시뮬레이션 흐름은 다음과 같다.

```

for ( freq = 40, 50, ..., 200 MHz )
if (no trunk){ // case_1
for (N){ // [# of fanout]
run SPICE simulation
measure output
if any rise time at fanout nodes exceeds  $t_{mot}$ 
return N
} // end for
} // end case_1
if (trunk){ // case_2
for (W){ // [wire width]
for (N){
run SPICE simulation
measure output
if any rise time at fanout nodes exceeds  $t_{mot}$ 
return N
} // end for [N]
} // end for [W]
} // end case_2
} // end for [freq]
    
```

##### 4.3 배선 구조

###### 4.3.1 선 폭을 고정된 경우

###### (1) 토폴로지 1

토폴로지 1의 배선모형을 그림 4.2에 나타내었으며,  $N * C_L$ 은 스텝에 달린 부하를 나타내고, N은 팬아웃 수를 나타낸다. 즉, 전체 팬아웃의 개수를 10 묶음으로 나누어 각 묶음을 스텝 한쪽 끝에 집중시킨 것이다.

###### (2) 토폴로지 2

토폴로지 2의 배선모형은 그림 4.3에 보였으며, 여기서도 토폴로지 1의 경우와 마찬가지로 각 커패시터

는 전체부하를 10 묶음으로 나누어 집중시킨 모형을 나타낸다.

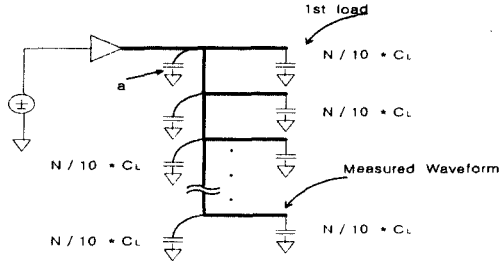


그림 4.2 도폴로지 1의 배선 모형

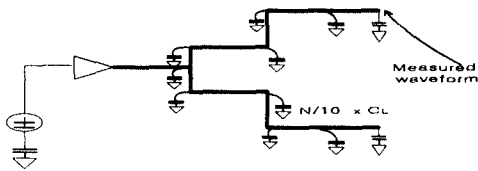


그림 4.3 균형 드라이빙 포인트

표 4.1은 이상의 배선모형에 12mA 클락버퍼를 연결하여 실험한 내용을 정리한 것이다. 표 4.1에서 보는 바와 같이 불균형 트리구조는 균형 트리구조에 비해 최대 팬아웃 값이 작다. 그러므로 도폴로지 2의 불균형 트리구조가 ac FO 계산을 위한 배선모형으로 선정된다.

표 4.1 균형과 불균형 트리 구조의 최대 팬아웃 수

주파수	도폴로지 1 (불균형)	도폴로지 2 (균형)
40MHz	900	1590
60MHz	580	1040
80MHz	420	770
200MHz	140	280

#### 4.3.2 선 폭을 가변하는 경우 (트렁크 가정)

그림 4.1의 도폴로지 3의 배선모형은 트렁크를 사용했을 경우 중 시간지연이 가장 커지는 경우이며, 이를 그림 4.4에 도시하였다. 그림 4.4와 같이 트렁크 끝에 균집된 총 커패시턴스를 부하로 놓은 경우가 트렁크 길이에 따라 분포적으로 부하가 배치된 경우보

다 지연값이 커진다<sup>3)</sup>. 트렁크를 사용할 경우의 ac FO 계산은 그림 4.4의 배선모형을 사용하였다.

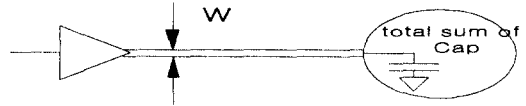


그림 4.4 전체 커패시턴스의 합을 부하로 갖는 직렬 트렁크

## V. 실험 결과

### 5.1 원시 셀들의 경우

표 5.1에 대표적인 원시 셀들의 FO를 구한 결과를 보였다. 표에서 보듯이 150MHz까지는  $t_{mot}$ 가 단락 전력에 의해 영향을 받으나 그 이상의 주파수에서는 클락 주파수에 의해 제한을 받음을 알 수 있다.

표 5.1 원시 셀의 FO

주파수 (MHz)	$t_{mot}$ (ns)	2-input AND	2-input NAND	2-input NOR	2-input OR	INV
10	3.3	48	42	37	47	47
20	3.3	48	42	37	47	47
30	3.3	48	42	37	47	47
40	3.3	48	42	37	47	47
50	3.3	48	42	37	47	47
60	3.3	48	42	37	47	47
70	3.3	48	42	37	47	47
80	3.3	48	42	37	47	47
90	3.3	48	42	37	47	47
100	3.3	48	42	37	47	47
110	3.3	48	42	37	47	47
120	3.3	48	42	37	47	47
130	3.3	48	42	37	47	47
140	3.3	48	42	37	47	47
150	3.3	48	42	37	47	47
160	3.13	45	39	35	45	45
170	2.94	42	37	33	42	42
180	2.78	40	35	31	40	40
190	2.63	38	33	29	37	38
200	2.5	36	31	28	35	36

3) 이는 저항 차폐효과(resistance shielding effect)로 불리는 현상에 기인한다 [10].

5.2 클락 드라이버

5.2.1 선 폭을 1 $\mu$ m로 고정한 경우

표 5.2는 8mA 및 12mA의 구동능력을 갖는 두 클락 드라이버에 대하여, 그림 4.1의 토폴로지 1 배선도 형에 대한 실험 결과이다.

표 5.2 W = 1  $\mu$ m 일 때의 FO

Freq (MHz)	최대길이 = 1cm		최대길이 = 2cm	
	8mA	12mA	8mA	12mA
40	890	900	370	380
50	700	710	280	280
60	570	580	210	220
70	480	490	170	170
80	420	420	140	140
90	360	370	110	110
100	320	330	90	90
110	290	290	70	70
120	260	260	60	60
130	240	240	47	40
140	210	220	37	37
150	200	200	27	28
160	180	180	19	20
170	170	170	12	13
180	160	160	6	7
190	140	150		1
200	130	140		

5.2.2 선 폭을 가변하는 경우

트렁크를 사용하여 선 폭을 가변하는 경우의 실험 결과는 표 5.3에 요약하였다. W = 1 $\mu$ m 일 때의 배선 구조는 토폴로지 1이지만 W = 5 $\mu$ m 및 10 $\mu$ m의 배선구조는 전술한 바와 같이 토폴로지 3을 상징하였다.

표 5.3 선 폭 W을 변화시킬 때의 FO

선폭 W( $\mu$ m) \n 주파수(MHz)	W = 1	W = 5	W = 10
40	400	520	1220
60	200	300	750
80	120	320	520

VI. 결 론

써브마이크론 ASIC 환경에서는 기존의 설계규칙을 보완하거나 더욱 세밀하게 다듬을 필요가 있다. 본 논문에서는 기존 팬아웃 수 계산 방법의 문제점을 보완하기 위하여 기존의 ac 팬아웃의 정의를 정량화 하였으며, 이를 바탕으로 새로운 팬아웃 수 계산 방법을 제시하고, 그에 따른 계산 결과를 보였다. 새로운 최대 ac 팬아웃 수 계산 흐름은 먼저 최대 허용 출력 천이시간  $t_{mot}$ 를 설정하고, 이 값을 위배하지 않는 최대 출력 부하를 찾아내는 것이다. 이 과정은 원시 셀들의 경우에는  $t_r$ ,  $t_f$  테이블로부터 대수적 계산으로 얻어지나, 클락 드라이버들의 경우에는 회로 연결선의 영향을 고려한 반복적 회로 시뮬레이션 과정을 통하여 얻어진다. 한편,  $t_{mot}$ 는 클락 주파수, 최대허용 단락 전력, 설계 환경적 요소 등에 의하여 결정되는데, 크게 클락 드라이버와 원시 셀의 두 그룹으로 나누어 값을 정의하였다.

이렇게 얻어진 ac 팬아웃 수는 결국 클락 주파수와 함수 관계를 가지므로 각 셀별로 주파수-팬아웃 수 표를 작성할 수 있다. 즉, 기존의 ac 팬아웃 수 개념은 입력 천이시간  $t_{ii}$ 를 일정한 값으로 고정하고, 이로부터 파생된 하나의  $t_{mot}$  값으로부터 각 셀에 대해 단 하나의 ac 팬아웃 수 값만을 할당하였으나, 새로운 방법에서는 입력 천이시간( $t_{ii}$ )을 일정 크기의 클락 주파수에 연동하고,  $t_{mot}$ 는 위에서 언급한 세 가지 요소에 의해 결정되도록 한 후, 셀 종류에 따라 대수적 또는 시뮬레이션 방법으로 ac 팬아웃 수를 계산하게 된다.

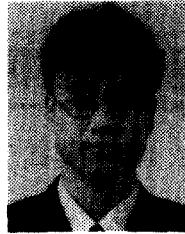
원시 셀들의 ac 팬아웃 수는 회로 연결선의 영향을 배제하고서 각 주파수 별로 계산하였다. 저주파 영역에서는  $t_{ii}$  및  $t_{mot}$ 가 고정되므로, ac 팬아웃 수 값이 일정 값을 갖으나, 주파수가 높아지면  $t_{ii}$  및  $t_{mot}$ 가 줄어들게 되고 이에 따라 ac 팬아웃 수 값도 점감하는 것으로 나타났다. 원시 셀들의 ac 팬아웃 수 계산 과정은 시뮬레이션을 수행하지 않고서 기존의 셀 특성 데이터 상에서 보간법을 통해 대수적 계산으로 이루어진다.

클락 드라이버의 팬아웃 수는 전류 공급 능력보다는 회로 연결선의 기생성분(RC effect)에 의해 주로 제한받는다. 따라서, 주어진 입력 주파수 내에서의 회로 연결선 효과까지를 고려한 전체 팬아웃 수는 드라이버의 크기에 크게 좌우되지 않으므로 작은 크기의 드라이버를 사용할 수 있는 경우가 많은 것으로 드러났다.



참 고 문 헌

1. LSI Logic, *LCB 500K Preliminary Design Manual*, Jun. 1995.
2. NEC Electronics Inc., *CMOS-8L 0.5 Micron CMOS Gate Arrays Design Manual*, Jul. 1993.
3. N. H. E. Weste and K. Eshraghian, *Principles of CMOS VLSI Design, 2nd Edition*, Addison-Wesley Publishing Co., 1993.
4. A. P. Chandrakasan and R. W. Brodersen, *Low Power Digital CMOS Design*, Kluwer Academic Pub., 1995.
5. J. Uffenbeck, *Digital Electronics*, Prentice Hall, Inc., 1994.
6. H. J. M. Veendrick, "Short-circuit Dissipation of Static CMOS Circuit and its impact on the Design of Buffer Circuits," *IEEE JSSC*, vol. dc-19, Aug. 1984.
7. H. B. Bakoglu, *Circuits, Interconnections, and Pack-aging for VLSI*, Addison-Wesley Publishing Co., 1990.
8. L. T. Pillage, R. A. Rohrer and C. Visweswariah, *Electronic Circuit and System Simulation Methods*, McGraw-Hill, Inc., 1995.
9. N. Gopal, D. P. Neikirk and L. T. Pillage, "Evaluating RC-Interconnect Using Moment-Matching Approximations," *Proc. of ICCAD '91*, Nov. 1991.
10. J. Qian, S. Pullela and L. T. Pillage, "Modeling the Effective Capacitance for the RC Interconnect of CMOS Gates," *IEEE Trans. on CAD*, vol. 13, no. 12, Dec. 1994.



고 기 태(Ki-Tae Ko) 정회원  
 1996년 2월: 숭실대학교 전자계산학과 학사.  
 1998년 2월: 숭실대학교 컴퓨터학부 석사.  
 <연구분야> 설계 자동화, VLSI 회로해석 및 설계.



김 석 윤(Seok-Yoon Kim) 정회원  
 1980년: 서울대 공대 전기공학과 학사.  
 1990년: University of Texas at Austin 전기 및 컴퓨터공학과 석사.  
 1993년: University of Texas at Austin 전기 및 컴퓨터공학과 박사.

1982년~1987년: 한국 전자통신연구소 연구원.  
 1993년~1995년: Motorola Inc., Senior Staff Engineer.  
 1995년~현재: 숭실대학교 컴퓨터학부 교수.  
 <연구분야> 설계 자동화, VLSI 회로해석 및 설계, 통신 시스템.