

주파수도약 대역확산 통신에 적합한 DDFS를 이용한 변조기의 구현과 성능평가

정회원 최 승 덕*, 김 경 태**, 정 연 만**

Implementation and Performance test of Modulator using DDFS for Frequency Hopping Spread Spectrum Communications

Seung Duk Choi*, Kyung Tae Kim**, Yun Man Jung*** *Regular Members*

요 약

디지털신호의 변조에는 기본적으로 진폭 편이 변조(ASK : Amplitude-Shift Keying), 주파수 편이 변조(FSK : Frequency-Shift Keying), 위상 편이 변조(PSK : Phase-Shift Keying) 등의 세 가지 방법이 있다.

본 논문에서는 주파수도약 대역확산 통신에 적합한 클록초기치 누적방식의 DDFS를 이용하여 위에서 언급한 변조방법을 모두 실현할 수 있는 변조기를 구현하였다. 또한, 합성된 정현파형의 스펙트럼으로 기본파와 여러 고조파의 크기를 비교하여 본 결과 50[dB] 이상의 차이가 남으로서 고조파 성분들이 상당히 감소되었음을 확인하였고, 4단 PN(Pseudo Noise) 코드 발생기를 사용하여 본 논문에서 구현된 ASK, FSK 변조기에 대하여 순시적인 주파수도약 상태를 확인한 결과 스위칭 시간이 빠르기 때문에 주파수 도약 특성이 뛰어난 것을 알 수 있었으며 위상을 제어하기 위한 PSK 변조기를 구성하여 누산기의 set/reset 상태변화에 따라 위상이 변한다는 사실을 입증하였다.

ABSTRACT

There are basically three methods, that is, ASK(Amplitude-Shift Keying), FSK(Frequency-Shift Keying), PSK(Phase-Shift Keying), in modulating digital signal.

In this paper, we implemented three modulators mentioned above using DDFS of Initial Clock Accumulating Method for Frequency Hopping Spread Spectrum Communications. We also confirmed the difference of the gain between the basic frequency and the harmonic frequencies was more than 50[dB], that is, this means facts that is reduced the harmonic frequency factor, and the coherence frequency hopping state is confirmed by PN code sequence. Here, We confirmed the proposed method cut switching time, this verify facts that is the best characteristics of the frequency hopping. We also verified the fact that the phase of PSK modulator varies as the adder is operated set or reset. experimented and designed the circuit to control the phase.

1. 서 론

데이터 통신 시스템에서 원거리 통신에는 modem이 필수적이다.^[1] 디지털 데이터를 변조하는 방식은 현재 까지 많은 방법이 고안되었다. 이들 방법은 진폭변조,

주파수변조, 위상변조, Hybrid 변조 등으로 크게 네 가지로 분류된다.^[8] 이들 방법을 세분하면, 진폭을 변조하는 방법으로 OOK(On Off Keying)과 QAM(Quadrature Amplitude Modulation)이 있으며 주파수를 변조하는 방법으로 FSK(Frequency Shift Keying), CP-FSK

* 산업기술교육센터 전자기기과, 정회원, ** 경원대학교 전자공학과, 정회원
*** 원주대학교 전자통신과(jymkg1@sky.wonju.ac.kr) 정회원
논문번호 : 98021-0928, 접수일자 : 1998년 9월 28일

(Continuous Phase-Frequency Shift Keying), MSK(Minimum Shift Keying)이 있다. 또한, 위상을 변조하는 방법으로는 BPSK(Binary Phase Shift Keying), DE-PSK(Differential Encoded Phase Shift Keying), QPSK(Quadruple Phase Shift Keying)등이 있으며, Hybrid 변조 방식으로 APK(Amplitude and Phase Shift Keying)이 있다.

본 논문에서는 클럭초기치 누적방식의 DDFS를 이용하여 위에서 언급한 변조방법을 모두 실현할 수 있는 변조기를 구성하여 성능을 실험하였다.^[1,8,9,10] 제 2장에서 표본화정리를 기초로 하는 디지털 신호처리 방식을 이용하여 희망하는 주파수를 얻는 방법을 알아보았고,^[3,4,5] 제 3장에서는 클럭초기치 누적방식의 DDFS에 관한 이론을 고찰하였으며, 제 4장에서는 제 2장과 제 3장을 토대로 시스템을 구성하였다. 또한, 제 5장에서는 4단 PN-Sequence를 설계하였으며^[2] 제 6장에서는 실험결과로서 합성된 출력파형의 스펙트럼을 분석하고, 4단 PN 코드 발생기에서 발생된 PN 부호열에 대해서도 구현된 ASK, FSK 변조기가 안정된 주파수 도약 상태를 보이는가를 확인함과 동시에,^[6] PSK 변조기도 구현하여 누산기가 set/reset에 따라 위상이 변한다는 사실을 입증함으로써 제안된 변조기가 디지털신호의 변조에 적합함을 확인하였다.

II. 표본화정리를 이용한 Sine 파형의 발생^(3,4,5)

Digital 주파수 합성방식의 기본원리는 표본화정리(Sampling Theorem)이다. 표본화정리는 통신이론에서 대단히 중요한 정리로서 원래의 신호가 주파수 f [Hz] 이하인 경우 $1/2f$ 초 이하의 균등한 시간간격으로 발췌한 정보만 있으면 원래신호를 재생할 수 있다는 것이다. 표본화 파형으로부터 원래의 파형을 재생하려면 차단 주파수가 f [Hz]인 저역통과 여파기로서 재생할 수 있다.

결과식을 표시하면, $X_a(t)$ 는

$$X_a(t) = \sum_n X_a(nt) \frac{\sin[(\pi/T)(t-nT)]}{(\pi/T)(t-nT)} \quad (1)$$

이며, $X_a(t)$ 는 아날로그 신호이고, T는 표본화 주기이다. 여기서 아날로그 신호 $X_a(t)$ 는 이 신호를 T주기마다 표본화한 값인 표본화 시퀀스(Sequence) $X_a(nT)$ 로부터 재생될 수 있음을 나타낸다.

표본화정리에 의해 $X_a(t)$ 의 최고주파수 f_m [Hz]은

$f_m \leq 1/2T$ 로 제한된다. 즉, $X_a(t)$ 의 주파수 $1/2T$ 보다 작아야 $X_a(nT)$ 로부터 $X_a(t)$ 를 재생할 수 있다.

그러면 표본화정리를 이용하여 서로 다른 주파수를 갖는 파형을 만드는 원리를 알아보자.

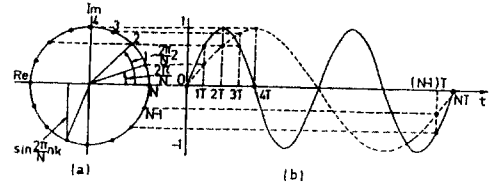


그림 1. (a) 단위 원주위의 균등각적 표본치
(b) Digital 주파수 감청

그림 1(a)는 단위 원주 위에 균등한 각도를 가진 N개의 표본치를 나타내고 그림 1(b)는 표본화 주기 T마다 서로 다른 표본치를 선택하여 얻어지는 두 파형을 나타낸다.

즉, 실선으로 나타낸 파형은 단위원주상의 각도를 T초마다 $2\pi/N$ 씩 증가시켜 얻어지는 표본치로부터 발생되고 실선으로 나타낸 파형은 단위원주상의 각도를 T초마다 $4\pi/N$ 씩 증가시켜 얻어지는 표본치로부터 발생된다. 이 때의 두 파형을 비교해 보면 두 배의 주파수 차이가 있음을 알 수 있다.

따라서 더 높은 주파수를 갖는 파형을 얻으려면 T초마다 증가하는 각도를 더 크게 정해주면 된다.

단, 표본화정리를 만족시켜주기 위하여 T초마다 증가시킬 수 있는 각도폭은 π 를 넘지 않아야 한다. 임의의 sine 파를 $\sin \omega_0 t$ 라 할 때 위상각 $\omega_0 t$ 가 표본화 주기 T마다 계산되며 n번째 위상각은 $\omega_0 nT$ 가 된다. 이때 $\sin \omega_0 nT$ 는 위상각 $\omega_0 nT$ 를 이용하여 계산한다. 위상각은 시간에 대해서 1차 함수이고 Modulo 2π 로 다루어지는 함수이기 때문에 2π 에서 overflow를 갖는 위상증가의 단순한 순환에 대해서도 각도의 계산이 용이하다.

$\sin \omega_0 t$ 를 표본화시킨 $\sin \omega_0 nT$ 에 대하여 살펴보자.

$$\sin \omega_0 nT = \sin 2\pi f_0 nT \quad (2)$$

여기서, f_0 는 희망출력주파수, n은 time Index, T는 표본화주기이다.

희망 출력주파수 f_0 의 최저주파수를 f_c 라 하면 그림 1에서 알 수 있듯이 단위 원주상의 N 개의 표본치 모두를 한 주기로 하는 파형이 최저주파수가 된다. 이 파형의 한 주기는 NT 시간이 필요하므로, f_c 는

$$f_c = 1/NT \quad (3)$$

이다. 또 $N/2$ 개의 표본치를 한 주기로 하면 얻어지는 주파수는 최저주파수 f_c 의 2배가 되고 $N/3$ 개의 표본치를 한 주기로 하면 얻을 수 있는 주파수는 $3f_c$ 가 된다.

따라서 희망 출력주파수 f_0 는 f_c 의 정수배이므로, f_0 는

$$f_0 = Kf_c = K/NT \quad (4)$$

이다. 여기서 K 는 $N/2$ 를 넘지 않는 주파수 Index이다.

식 (4)를 식 (2)에 대입하면, $\sin \omega_0 nT$ 는

$$\sin \omega_0 nT = \sin (2\pi/N \cdot nK) \quad (5)$$

이다.

식 (5)에서 주파수 Index, K 와 time Index, n 에 의해 결정되는 $\sin \omega_0 nT$ 의 표본치는 그림 2에 보인 단위 원주 위에 균등한 각도를 가진 N 개의 표본치의 sine 값 즉, $\sin[0], \sin[2\pi/N], \sin[2\pi/N \cdot 2] \dots \dots \sin[(2\pi/N)(N-1)]$ 들 중에서 하나이다.

따라서 희망주파수 f_0 를 발생하기 위해 주파수 Index, K 를 정하면 위상각은 연속적인 time Index, n 에 따라 $(2\pi/N)$ 씩 증가한다.

이 때마다 얻어지는 위상각은 표본치를 계산하는데 이용되고 이 표본화 시퀀스는 희망주파수 f_0 를 발생한다.

위상각은 Modulo 2π 로 다루어지므로 식 (5)를 다음과 같이 표시할 수 있다.

$$\begin{aligned} \sin[(2\pi/N)nK] &= \sin[(2\pi/N)nK + 2\pi] \\ &= \sin[(2\pi/N)(nK + N)] \end{aligned} \quad (6)$$

식 (6)의 nK 는 Modulo N 으로 다루어진다.

따라서, N 개의 표본치를 ROM에 저장하고서 Modulo N 인 nK 번지에 해당하는 표본치 값을 꺼내면 식(6)이 해결된다. 여기서, nK 는 누산기로 계산할 수 있다.

디지털 주파수 합성기는 초기치 K 가 시간 n 으로 위상 표본화되어 축적되는 것이 기본원리이다. 이때의 위상증가 $\Delta\varphi$ 는 다음과 같다.

$$\Delta\varphi = 2\pi \left(\frac{f_{out}}{f_s} \right) \text{ [rad]} \quad (7)$$

(단, f_{out} : 생성주파수, f_s : 기준주파수)

위상 누산기의 초기치 K 가 한번의 표본화로서 얻을 수 있는 위상범위는 $\pi/2$ [rad]를 넘지 않아야 하므로 식 (7)에 의하여 최대 주파수와 기준주파수와의 관계는 다음과 같다.

$$f_{max} = 1/4 \cdot f_s \quad (8)$$

표본화의 한 구간이 $\pi/2$ [rad]를 경과하게 되면 원하는 주파수의 생성을 기대할 수 없게 되므로 이와 같은 표본화 구간을 $\pi/2$ [rad] 내에 기본으로 하여 누산기의 출력값을 2bits 증가 즉, 4제곱을 부과한다. 따라서 $(K+2)$ bit의 누산기 출력 bit로 K 의 값을 전부 수용하여 K 값이 모두 "1"(High)일 때 기준주파수에 대하여 1/4에 해당하는 출력주파수를 얻게 된다.

따라서 주파수 Index, K 를 임의의 Digital 정보에 따라 변화하게 하면 ASK 및 FSK 변조신호를 얻을 수 있으며, 누산기에 있는 set/reset 단자를 제어하여 위상을 제어함으로써 PSK 변조신호도 얻을 수 있다.

III. 클럭초기치 누적방식의 DDFS

본 논문에서 사용한 클럭초기치 누적방식의 DDFS를 그림 2에 나타내었다.

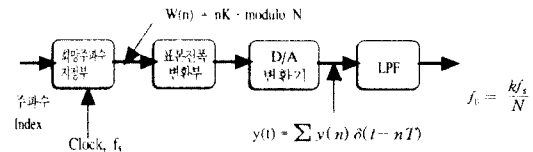


그림 2. 클럭초기치 누적방식의 DDFS

합성된 표본클럭 주파수 f_m 의 최대 주파수 대역은 시스템의 기준주파수 f_s 범위의 1/4에 해당되는 특징이 있고, 이를 수식으로 표현하면 다음과 같다.

$$f_{m,max} = r \cdot f_s / 2^{R+2} \text{ [Hz]} \quad (9)$$

단, r은 R 비트로 주어지는 표본클록 초기치 ($1 \leq r \leq 2^R$, 정수)이다.

희망주파수 지정부는 표본클록 f_m 을 입력으로 하여 2^N 진 계수기에 의해 한 주기 합성에 필요한 진폭 값을 지정하는 부분으로서, 합성하고자 하는 임의주파수의 한 주기 당 표본치를 항상 2^N 개로 일정하게 하고, 표본진폭 변환부의 해당번지를 순차적으로 지정하여, 위상 왜곡 잡음이 제거된 균일의 양사화 삼음만이 존재하는 순도 높은 파형을 합성한다. 합성된 정현 출력파형의 주파수 범위는 다음 식과 같다.

$$f_0 = f_{m,max}/2^N = r \cdot f_s / 2^{N+R+2} \text{ [Hz]} \quad (10)$$

표본진폭 변환부는 한 주기 정현파형의 진폭 데이터가 2^N 개 저장된 부분으로, 표본클록(f_m)으로 구동되는 희망주파수 지정부의 출력값에 의해서 순차적으로 지정된 번지내의 진폭 데이터 값을 출력하게 된다. 이 부분의 저장 데이터 값을 합성하고자 하는 출력 파형에 따라 이산적인 데이터 값을 저장하게 된다. 여기서는 다음 식으로 얻어지는 정현파형의 진폭 데이터 $D(t)$ 를 EPROM에 저장하여 사용하였다.

$$D(t) = [\sin\{k \cdot 2\pi/2^m - 1\} + 1]/2 \cdot (2^m - 1) \quad (11)$$

단, $D(t)$ 는 저장되는 진폭 데이터 값, u 는 ROM의 출력 데이터 비트수, m 은 ROM의 입력 어드레스 비트수이고, $1 \leq k \leq 2^m - 1$ 이다.

최종단의 D/A 변환부에서는 진폭 데이터에 해당되는 출력신호레벨을 결정하게 되고, LPF는 D/A변환 할 때 발생하는 출력파형의 이산적인 불연속성분을 제거하게 된다.

IV. 시스템구성

1. 시스템의 동작

그림 3은 클럭초기치 누적방식의 DDFS 변조기에 대한 전체 시스템의 구성도를 보인 것으로 FSK파형, ASK파형, PSK파형이 발생되도록 설계되었으며 빠른 주파수 도약 특성을 확인하기 위하여 PN 코드 발생기를 사용하였다. FSK 변조기는 PN 코드 발생기에서 생성된 정보신호가 두 가지 값이 되도록 주파수 Index, K를 결정해 주었고, ASK 변조기는 한 쪽의 주파수 Index, K

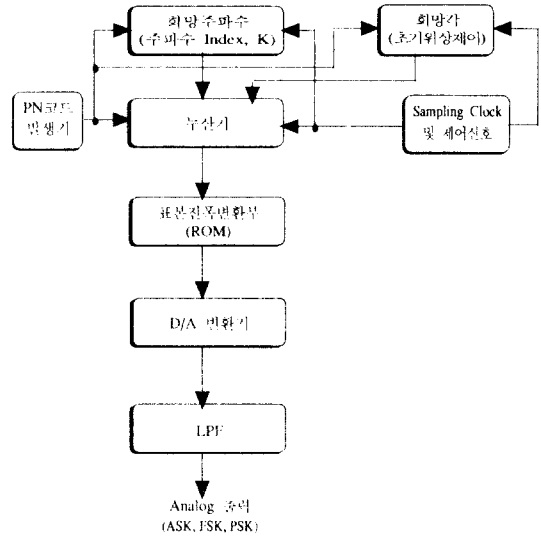


그림 3. 클럭초기치 누적방식의 DDFS 변조기 구성도

값 모두 "0"으로 하여 구성하였다. 이때, 누산기는 지정된 K값에 따라 T초마다 $A = nK \text{ Modulo } N$ 을 계산하게 되며 이 A값이 표본진폭 변환부의 번지를 결정한다. 미리 부호화되어 저장된 표본값이 A번지에 따라 표본진폭 변환부에서 출력되며 D/A변환기와 LPF를 통하여 복호화(Decoding)되어 FSK, ASK 파형이 발생된다.

또한, 누산기에 있는 D/F/F의 set/reset 단자를 조절함으로써 PSK 변조기를 구성하였다.

2. 시스템의 설계기준

그림 3의 설계기준은 표 1과 같다.

표 1. 시스템의 설계기준

주요항목	설계기준
희망주파수부	발생주파수: 8 bits(2^8 개) Dip Switch \times 2 Quad 2 input Multiplexer: 74LS157 \times 2
PN 코드 발생기	74LS74 \times 2, 74LS86 \times 1
누산기	길이: 10bits Adder: 74LS283 \times 3 Hex D/F/F: 74LS174 \times 2(ASK,FSK) 74LS74 \times 2(PSK)
표본진폭변환부	표본화수: 10bits(1024개) 표본치 부호화: 8bits EPROM: 2732(settling time: 200ns)
D/A 변환기	DAC 0808((settling time: 150ns)
LPF	8차 Butterworth LC 필터
샘플링 클럭	512[kHz], 1024[kHz]

$g(x)$ 의 차수는 $m=4$ 로 회로에서는 SR은 4 memory unit가 된다. 그림 5의 최종 column에서 주기 sequence는 $c = 111100010011010\dots$ 으로 $N = 15$ 의 주기를 갖는다. 즉, 이 sequence는 최대 가능한 주기 $N=2^m-1$ 을 갖는다.

특성행렬 S_m 을 $g(x)$ 와 길이 (2^m-1) 의 all-zero sequence로 생성되는 (2^m-1) 의 m -seq의 집합이라 하면 집합 S_m 은 sequence의 vector space 형태가 되어 $g(x) = x^4 + x + 1$ 의 S_m 은 다음과 같이 주어진다.

$$S_m = \begin{pmatrix} 111100010011010 \\ 111000100110101 \\ 110001001101011 \\ 100010011010111 \\ 000100110101111 \\ 001001101011110 \\ 010010010111100 \\ 100110101111000 \\ 001101011110001 \\ 011010111100010 \\ 110101111000100 \\ 101011110001001 \\ 010111100010011 \\ 101111000100110 \\ 011110001001101 \\ 000000000000000 \end{pmatrix} \quad (17)$$

이 특성행렬을 이용하여 구성된 PN 부호 발생기의 출력이 길성되며, 디지털 주파수 합성기에 인가하여 순시 주파수 전이 특성을 측정하였다.

VI. 실험결과 및 고찰

이상과 같은 설계기준하에서 실험한 결과를 표 1, 사진1~사진7에 나타내었다.

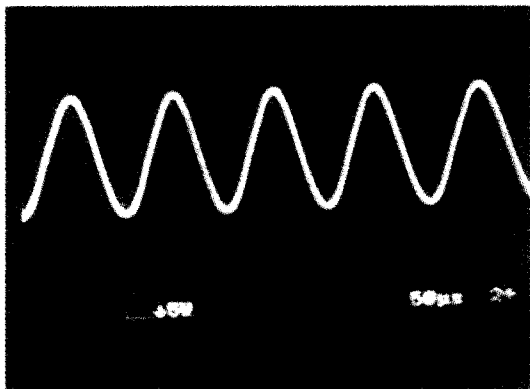


사진 1. $f_s = 512$ [kHz], $K = 20$ 일 때의 합성주파수 26[kHz]



사진 2. $f_s = 512$ kHz, $K = 52$ 일 때 합성주파수 26kHz의 주파수 스펙트럼

표 1. 고조파 크기 측정

기분파 [kHz]	기분파 크기 [dB]	고 조 화		
		제 2 [dB]	제 3 [dB]	제 4 [dB]
1	-6.8	-47.3	-47.6	-47.7
2	-6.7	-46.5	-47.3	-47.4
3	-7.0	-49.1	-49.5	-49.5
4	-6.9	-45.5	-47.3	-49.1
5	-6.9	-45.8	-48.4	-48.5
6	-6.9	-45.4	-46.4	-46.5
7	-6.8	-46.3	-46.9	-48.5
8	-6.9	-45.4	-48.4	-48.6
9	-6.9	-45.5	-46.4	-46.8
10	-7.4	-46.7	-48.3	-48.6
20	-7.0	-45.4	-45.7	-46.4
25	-7.1	-45.3	-45.8	-46.9

실험결과로부터 출력주파수는 주파수 Index, K에 따라 기준주파수에 정확히 정수배로 합성됨을 확인하였고, 그 예로 사진 1에 $f_s = 512$ [kHz], $K = 54$ 일 때 합성주파수가 26[kHz]로 됨을 보였다. 또한, 사진 2는 합성주파수 26[kHz]에 대한 주파수 스펙트럼을 나타낸 것이다.

표 1은 $f_s = 512$ [kHz]에서 여러 합성 출력주파수에 대하여 기본파와 고조파의 크기를 비교한 것으로써 이 결과를 살펴보면 고조파 성분들은 기본파에 대하여 50 [dB]이상 차이가 남을 알 수 있었다. 또한, 사진 3과 사진 4는 전송속도 1200[bps]에 대한 FSK와 ASK 변조파형의 주파수 도약상태를 나타냈으며, 사진 5와 사진 6은 각각 $g(x) = x^4 + x + 1$ 인 4단 PN코드 발생기



사진 3

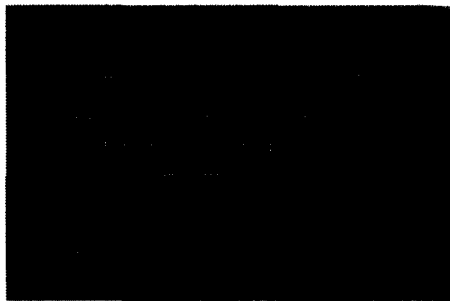


사진 4

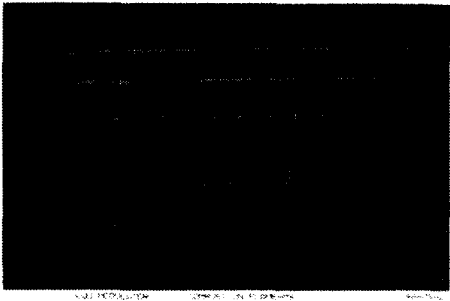


사진 5

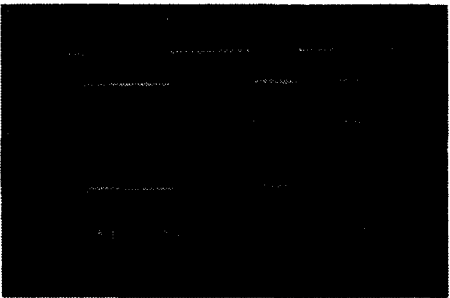
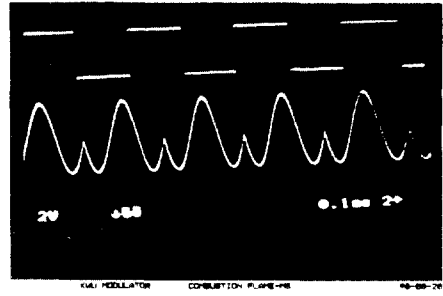
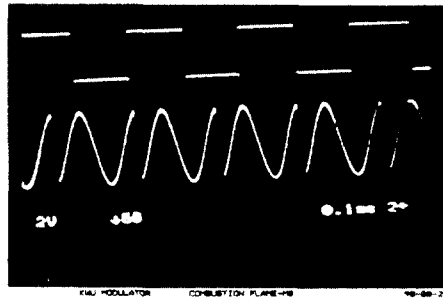


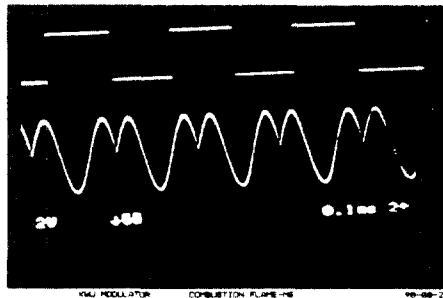
사진 6



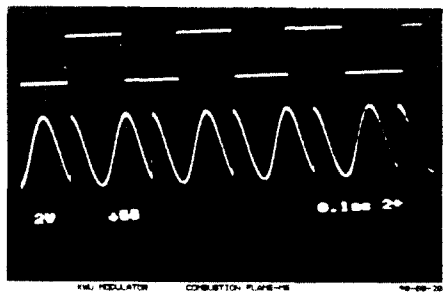
(a) 위상제어: 0°



(b) 위상제어: 90°



(c) 위상제어: 180°



(d) 위상제어: 270°

사진 7. $K = 15$, $f = 7.5$ [kHz]에서의 위상제어

의 출력 시퀀스(10011010111000)에 대한 FSK 변조파형과 ASK 변조파형을 보인 것으로 주파수 이동에 따른 천이시간이 거의 없으므로 주파수도약용으로 활용 가능함을 알 수 있었다. 또한, 사진 7은 합성출력주파수가 7.5[kHz]일 때 PSK 변조기의 위상제어를 보인 것이다.

VII. 결 론

실험결과 본 논문에서 사용한 클록초기치 누적방식의 DDFS는 위상왜곡을 제거하고 균일한 양자화 잡음만을 갖게 함으로서 위상누적방식의 DDFS 보다 불요 고조파의 전력레벨이 20~30[dB] 정도 감쇠시켰다. 또한, 희망 주파수 Index, K로서 Mark 주파수와 Space 주파수를 가변 시킴으로서 ASK,FSK 변조기를 구현하였으며 4단 PN code 발생기를 이용하여 순시적인 주파수 도약 상태를 확인하였고, PSK 변조기를 구성하여 위상제어가 가능함을 알았다. 따라서, 본 논문에서 사용한 클록초기치 누적방식의 DDFS는 빠른 스위칭 타임을 필요로 하는 제어시스템 뿐 아니라, 코히어런트 검파를 이용한 통신, 광 신호의 강도변조 등 이동통신을 비롯한 디지털 신호처리 분야에 폭 넓게 이용이 가능하리라 사료된다. 한편, 이산적인 표본치에 의해서 불요 고조파 성분이 존재함에 따라 대역 변환 필터기술이 요구되는 단점도 있다. 하지만, access 시간이 짧은 ROM과 비트 수가 좀 더 크고 settling 시간이 짧은 D/A 변환기를 사용함으로써 주파수 특성이 더욱 더 좋게 개선될 수 있으리라 예상한다.

참 고 문 헌

1. Cesar E. Alvarez, JR, "A Novel Architecture for Digital frequency synthesis", pp.1-18, South Florida, August. 1995.
2. Alex W. Lam and Sawasd Tantaratana "Theory and Applications of Spread-Spectrum Systems", pp 5-9, pp 119-132 Monterey, May. 1994.
3. Paul.O'Leary, Manfred Pauritsch, Franco Maloberti, and Giampiero Raschetti, "An Oversampling-Based DTMF generator", IEEE Comm., vol.39, no.8, August 1991.
4. P.O'leary and F.Maloberti, "A Direct digital synthesizer with improved spectral performance", IEEE Trans. Comm., vol.39, no.7, 1991.
5. R.J.Zavrel., G. Edwards "The DDS Handbook; Alias and Spurious Response in DDS Systems", a1-a7,

- Stanford Telecom Inc., 1990.
6. R.C Dixon, "Spread Spectrum System," John Wiley & Sons, Inc., pp.72-85, 1982.
7. Mischa Schwartz, "Information Transmission, Modulation, and Noise" McGraw-Hill Book Company, pp. 209-300, 1980.
8. John D. Oetting, "A Comparison of Modulation Techniques for Digital Radio", IEEE Trans. on Comm. Vol. com-27, pp.1752-1762, Dec. 1979.
9. G.F.M. Catjeni, "Discrete frequency synthesis using an analogue ROM", Electronics Letters, 7th June 1979.
10. J. Gorski-Popiei, Editor, "frequency synthesis Techniques and Applications", New York; IEEE Press, pp.121-149, 1975.



최 승 덕 (Seung Duk Choi) 정회원
 1955년 3월 20일생
 1980년 2월 : FIC 2년 수료
 1985년 2월 : 숭실대학교 전자공학과 졸업
 1988년 2월 : 숭실대학교 대학원 전자공학과 공학석사
 1996년 3월 ~ 현재 : 경원대학교 대학원 전자공학과 박사과정 수료

1980년 3월 ~ 현재 : 한국생산기술연구원 산업기술교육센터 전자기기과 선임연구원 겸 부교수
 <연구분야> 이동통신, 위성통신 및 신호처리 분야 등임



김 경 태 (Kyung Tae Kim) 정회원
 1954년 12월 19일생
 1978년 2월 : 경북대학교 전자공학과 (공학사)
 1980년 8월 : 연세대학교 대학원 전자공학과 (공학석사)
 1987년 2월 : 연세대학교 대학원 전자공학과 (공학박사)

1987년 9월 ~ 현재 : 경원대학교 전자공학과 정교수
 1991년 12월 ~ 1992년 12월 : 미국 펜실베이니아 주립대학 객원교수
 <연구분야> 광통신, 이동통신, 광영상 및 신호처리



정 연 만(Yun Man Jung) 정회원

1960년 4월 6일생

1983년 : 송실대학교 전자공학과 졸업(공학사)

1985년 : 송실대학교 대학원 전자공학과 졸업(공학석사)

1991년 : 송실대학교 대학원 전자공학과 졸업(공학박사)

현재 : 국립원주대학 전자통신과 조교수

<연구분야> 적응제어, 신경망회로, 무선통신