

공유 구조의 에너지 계산기를 갖는 PN 부호 탐색기의 VLSI 설계

정회원 이성주*, 김재석*

VLSI Design of the PN Code Searcher Having the Energy Calculator with a Sharable Architecture

Seongjoo Lee*, Jaseok Kim* *Regular Member*

요 약

본 논문에서는 CDMA 이동국용 PN 부호 탐색기의 하드웨어 복잡도를 줄이기 위해 새로운 하드웨어 구조를 제안하였다. 제안된 PN 부호 탐색기에는 2개의 상관기를 두고 있으나 상관 에너지는 1개의 공유 블록을 통하여 구할 수 있도록 설계되었다. 제안된 모듈은 IS-95에 기초를 둔 CDMA 개인 휴대 이동 통신 시스템(PCS) 표준에 적합하게 설계되었고, VHDL과 FPGA 칩셋을 이용하여 설계 및 검증되었다. 합성된 게이트 수는 약 7,500개이며, 레이아웃 면적은 $0.6\mu\text{m}$ CMOS 라이브러리 공정을 이용하였을 때, $2.13\text{ mm} \times 1.11\text{ mm}$ 이었다. 제안된 PN 부호 탐색기는 기존 시스템보다 하드웨어 복잡도가 약 15%정도 감소하였다.

ABSTRACT

In this paper, we proposed a new hardware architecture of PN code searcher for CDMA mobile station in order to reduce the hardware complexity. The proposed PN code searcher has a energy calculation block which is shared by two correlators. Our system is designed suitable for IS-95 based CDMA PCS. The new architecture has been designed using VHDL and implemented on Altera FPGA chipset. The gate count is about 7,500 and the layout area is $2.13\text{ mm} \times 1.11\text{ mm}$ by using $0.6\mu\text{m}$ CMOS library. The hardware complexity of our proposed architecture is decreased by 15% to be compared with the conventional one.

I. 서 론

디지탈 셀룰라 시스템과 개인 휴대 이동 통신 시스템에서 널리 사용되고 있는 직접확산 코드분할 다중접속 방식(DS/CDMA : Direct Sequence/Code Division Multiple Access)은 간섭 제거를 통해 용량을 증가시킬 수 있고, 다경로 페이딩에 강하며, 가입자들이 서로 다른 의사 잡음(pseudo-noise) 부호를 사용하여 데이터를 전송하기 때문에 통화 내용이 누설되지 않는 장점을 가지고 있다^[1]. 그러나, DS/CDMA는 송신기에서 전송하는 PN 부호의 위상과 수신기에서 발생시키는 PN 부호의 위상이 일

치되지 않으면 데이터를 복원하는 것이 불가능하기 때문에 두 PN 부호의 동기를 맞추는 것이 중요한 문제가 된다.

전반적인 동기 과정은 수신기의 PN 부호와 송신기로부터 수신되는 PN 부호의 위상차(phase offset)를 1/2 칩이내로 만드는 동기 획득 과정과 1/8 칩이내로 미세 동기(fine alignment)를 유지하는 동기 추적 과정의 두 단계로 구성이 된다. 현재 상용화되고 있는 CDMA 시스템의 동기 획득 과정^[2,3]을 보면, 하드웨어와 소프트웨어가 연계되어 이루어지고 있는 것을 알 수 있다. 동기 획득을 수행하기 위한 알고리즘은 마이크로 콘트롤러에 있는 소프트웨어를

* 연세대학교 전자공학과 VLSI&CAD 연구실(sjlee@asic.yonsei.ac.kr)
논문번호 : 98226-0519, 접수일자 : 1998년 5월 19일

이용하여 이루어지고, 이 알고리즘에 따라 실제적으로 수신되는 PN 부호의 위상을 탐색하는 것은 하드웨어인 PN 부호 탐색기에 의해 이루어진다. 따라서, 동기 획득 과정에 대한 설계를 하기 위해서는 소프트웨어와 하드웨어의 2가지 측면 모두에 대해서 이루어져야 한다. 그러나, 이동국에 있어서 무엇보다도 중요한 문제가 하드웨어의 복잡도를 줄이는 것이기 때문에, 본 논문에서는 전력 소모와 관련이 적은 소프트웨어 측면을 다루기보다는 하드웨어 복잡도를 줄일 수 있는 새로운 하드웨어 설계에 중심을 두었다.

본 논문에서는 IS-95에 기초를 둔 DS/CDMA 개인 휴대 이동 통신 시스템^[4]에 근거를 두면서도 동기 획득 시스템의 하드웨어 부담을 줄일 수 있는 PN 부호 탐색기에 대한 새로운 하드웨어 구조 설계를 제안하였다. 제안된 PN 부호 탐색기는 VHDL을 이용하여 설계되었고, 설계된 모델을 검증하기 위해 현재의 동기 획득 알고리즘을 수행하는 마이크로 콘트롤러도 VHDL로 설계하였다. 또한, 설계한 PN 부호 탐색기와 마이크로 콘트롤러를 FPGA 칩셋으로 구현하여 테스트 베드에서 검증하였다.

본문의 구성은 II장에서 전반적인 동기 획득 방법 및 기존의 셀룰라 시스템에서 사용중인 동기 획득 알고리즘을 설명하고, III장에서는 낮은 하드웨어 복잡도를 가지는 PN 부호 탐색기의 새로운 하드웨어 구조를 제시한다. IV장에서는 설계된 탐색기의 검증 결과와 구현에 대하여 언급하고, V장에서는 결론을 맺도록 한다.

II. PN 부호 탐색기의 동기 획득 알고리즘 분석

전반적인 동기과정은 수신기의 PN 부호와 송신기로부터 수신되는 PN 부호의 위상차를 1/2 칩이내로 만드는 동기 획득 과정과 PN 부호의 1/8 칩이내로 미세 동기를 유지하는 동기 추적 과정의 두 단계로 구분이 된다. 이 중에서 동기 획득 방식은 직렬 동기 획득^[5,8], 병렬 동기 획득^[9], 하이브리드 동기 획득^[10] 등으로 나눌 수 있다. 직렬 동기 획득은 다시 적분 구간의 형태에 따라 단일 적분(single dwell) 방식^[5]과 다중 적분(multiple dwell) 방식^[6,8]으로 구분이 된다.

직렬 동기 방식중 단일 적분 방식은 하드웨어로 구현하기에 가장 간단한 방식이지만 동기 획득 시간이 매우 긴 단점을 가지고 있다. 다중 적분 방식은 가능성이 없는 부호 위상에 대한 빠른 제거를

통해 동기 획득 시간을 감소시키는 방식으로 하드웨어를 크게 증가시키지 않고 동기 획득 시간을 감소시킬 수 있는 장점을 가진다. 병렬 동기 획득은 작은 탐색 구간에서 고속의 동기를 실현할 수 있지만 순방향 링크에서와 같이 큰 탐색 구간에서는 다수의 상관기가 필요하게 되므로 하드웨어 복잡도를 고려할 때 비효율적이다. 그러므로, 이동국의 부호 탐색 방식으로는 잘 고려되지 않는다. 하이브리드 동기 획득은 큰 탐색 구간에서 하드웨어 복잡도와 동기 획득 시간을 상호 보완하는 장점을 갖는 방식으로 직렬 동기 획득과 병렬 동기 획득을 결합한 형태이다. 그림 1은 병렬 동기 획득 방식을 제외한 방식들에 대해 복미의 PCS 채널 모델인 JTC 채널^[11]에서 평균 동기 획득 시간을 비교한 것이다. 그림 1에서 알 수 있듯이 각 동기 획득 방식들 중에서 이중적분 직렬 동기 획득 방식이 가장 우수한 성능을 나타낸다.

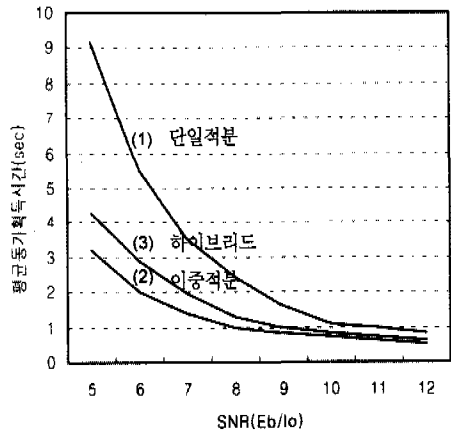


그림 1. JTC 채널에서의 평균 동기 획득 시간에 대한 비교

Fig. 1 Comparison of the mean code acquisition time in JTC channel model

그러나, 현재 상용화되고 있는 CDMA 시스템의 동기 획득 알고리즘^[3]을 보면, 순수한 이중적분 직렬 동기 획득 방식이 사용되는 것이 아니라 탐색 윈도우 개념을 도입한 이중적분 직렬 동기 획득 방식이 사용된다. 이것은 단순히 이중적분 직렬 동기 획득 방식만을 사용할 경우, 여러 가지 페이딩이 심한 이동 통신 채널 환경에서 주어진 부호 위상에 대한 동기 획득이 어려워지고, 다경로 신호를 모두 찾아내어 핑거에 할당하는데 어려움이 있기 때문이다. 또한, 탐색기뿐만 아니라 단말기에 있는 모든 모듈들이 마이크로 콘트롤러와 연계되어 동작하기

때문에 탐색기가 일정 기간 탐색을 수행하고 나서 마이크로 컨트롤러의 제어를 받도록 하면, 마이크로 컨트롤러가 단말기의 모든 기능을 효율적으로 제어할 수 있다는 장점도 있다. 그림 2는 탐색 윈도우 개념을 도입한 이중 적분 직렬동기 방식의 동기 획득 알고리즘을 보여준다.

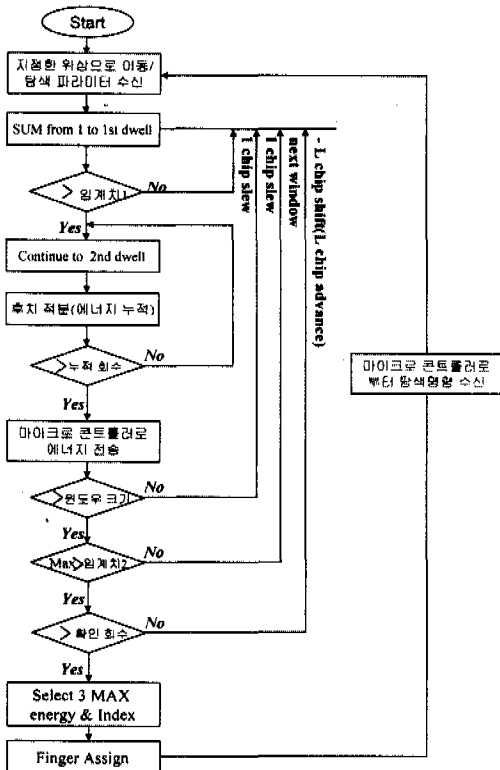


그림 2. PN 부호 탐색기의 동기 획득 알고리즘
Fig. 2 An algorithm of the PN code searcher

그림 2에서 보면, 먼저 탐색이 시작되면 탐색기는 마이크로 컨트롤러로부터 정해진 위상으로 이동하게 되고, 탐색 윈도우의 크기, 적분구간, 임계치등 필요한 파라미터(parameter)를 받게된다. 탐색기는 주어진 탐색 윈도우의 시작 위상에서부터 탐색을 수행하게 되는데, 이때 각 위상에 대한 탐색은 이중적분 방식으로 이루어지게 된다. 먼저, 첫 번째 적분구간(1st dwell)까지 적분을 수행하여 임계치를 넘게되면 두 번째 적분구간(2nd dwell)까지 적분을 계속하게 되고, 그렇지 않으면 다음 위상으로 이동하게 된다. 이때, 다음 위상으로 이동하기 위해 1 칩을 slewing시키는데 이것은 탐색기가 1/2 칩 위상차를 가지는 2개의 상관기를 사용하기 때문이다. 두 번째 적분구간까지 누적된 값은 다이버시티 이득을 위해

후치 적분기에 마이크로 컨트롤러에서 정해진 누적 회수만큼 누적이 된다^[2]. 후치 적분기에 누적된 에너지 값은 마이크로 컨트롤러로 전송이 된다. 이때, 순수한 이중적분 방식은 여기서 에너지 값을 임계치2와 비교하여 동기 획득 여부를 판단하지만, 이 알고리즘에서는 정해진 탐색 윈도우내의 모든 위상에 대한 에너지 값을 구한 다음 최대 값을 임계치2와 비교하게 된다. 이때, 최대 값이 임계치2를 넘게 되면 PN 부호를 윈도우 크기(L)만큼 전진(advance)시켜 현재 탐색한 윈도우에 대해 다시 탐색하는 확인 과정을 거치게 되고, 그렇지 않으면 1 칩을 이동시켜 다음 윈도우에 대해 탐색을 계속 진행하게 된다. 확인 과정을 통과하게되면 동기 획득이 선언되고 탐색한 윈도우의 최대 에너지를 갖는 색인 값(index)을 3개 선택하여 핑거에 할당하게 된다. 만약, 확인 과정을 통과하지 못하면 역시 1 칩을 이동시켜 다음 탐색 윈도우로 넘어가게 된다. 탐색기는 동기 획득이 선언이 되면 마이크로 컨트롤러로부터 다시 탐색 명령을 받기 전까지 현재의 PN 부호 위상을 유지하게되고, 마이크로 컨트롤러는 핑거의 락(lock) 상태가 풀리거나 다른 위상에 대한 탐색이 필요하게 되면 탐색기를 원하는 위상으로 이동시켜 탐색을 수행하도록 명령하게 된다.

III. PN 부호 탐색기의 구조 설계

1. 기존의 PN 부호 탐색기에 대한 구조

현재 상용화되고 있는 IS-95 based CDMA 단말기용 PN 부호 탐색기는 수신되는 파일럿 채널과 1/2칩 이내로 동기 획득을 이루어 내야하므로 탐색기가 탐색해야할 위상이 PN칩 단위로 탐색을 했을 때보다 2배로 늘어나게 된다. 따라서, Qualcomm사는 늘어난 탐색 위상으로 인한 동기 획득 시간을 보상하기 위해 on-time과 late-time의 2개의 상관기를 사용하고 있다^[2]. 이것은 PN 부호 탐색기의 하드웨어 복잡도를 증가시키는 요인이 되고, 따라서, 증가된 PN 부호 탐색기의 하드웨어 복잡도를 감소시키기 위한 새로운 하드웨어 구조가 필요하게 된다.

PN 부호 탐색기의 구조를 보면 크게 마이크로 컨트롤러 접속부, PN 부호 발생부, 제어부, 그리고 2개의 상관기로 나눌 수 있다. 마이크로 컨트롤러 접속부는 PN 부호 탐색기를 초기화시키고 조정하는 부분으로서, PN 부호 탐색을 수행하는데 필요한 PN 부호 발생기의 초기 값과 마스크 값, 적분기의

적분 구간이나 임계치 값, 그리고 탐색 윈도우의 크기 등에 대한 값을 마이크로 콘트롤러로부터 수신하는 역할을 한다. 또한, PN 부호 탐색에 대한 결과를 저장하고 저장된 결과를 DMA 제어를 통하여 마이크로 콘트롤러로 보내게 된다. PN 부호 발생부는 이동국용 PN 부호를 발생시키는 부분으로서 in-phase 채널과 quadrature-phase 채널의 PN 부호를 생성하게 된다. 발생하는 PN 부호의 생성 다항식은 IS-95 표준에 의해 설정되었으며, PN 부호의 주기는 2^{15} 이다. 제어부는 PN 부호의 위상을 다음 위상으로 이동시키는 기능과 적분기의 두 번째 적분 진입 여부에 대한 제어 기능, 탐색기의 논리회로에 요구되는 모든 타이밍 정보를 발생시키는 기능을 수행한다. 상관기는 수신되는 PN 부호와 단말기의 PN 부호 사이의 상관 에너지를 계산하는 부분으로서 PN 부호 탐색기의 핵심적인 블록이 된다.

이 중에서 마이크로 콘트롤러 접속부와 PN 부호 발생부의 하드웨어 구조는 변경하는 것이 불가능하기 때문에 결과적으로 하드웨어 복잡도를 줄이기 위해서는 상관기에 대한 하드웨어 구조를 최적으로 설계하여야 한다. 그림 3은 기존의 PN 부호 탐색기의 구조 및 에너지 계산기에 대한 하드웨어 구조를 보여준다.

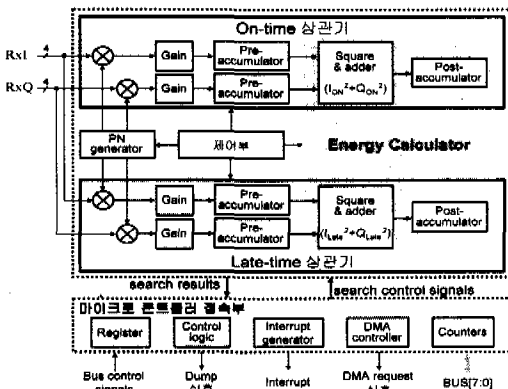


그림 3. 기존의 PN 부호 탐색기에 대한 구조
Fig. 3 Hardware architecture of the conventional PN code searcher

그림 3에서 알 수 있듯이 기존의 시스템에서는 on-time과 late-time의 상관기에 모두 공급기와 덧셈기, 그리고 후치 적분기를 사용하는 구조로 설계되어 있고, 에너지를 계산하기 위해 공급기를 사용하였다. 공급기를 사용하고 on-time과 late-time에 동일한 하드웨어를 독립적으로 설계하는 것은 PN 부호 탐색기의 하드웨어를 증가시키는 요인이 된다.

따라서, PN 부호 탐색기의 하드웨어 부담을 줄이기 위해서는 하드웨어 부담이 큰 공급기를 다른 하드웨어로 구현하고, on-time과 late-time에 중복되어 사용된 하드웨어 구조를 하나의 하드웨어 구조로 공유할 수 있는 새로운 하드웨어 구조가 필요하게 된다.

2. 제안된 공유구조의 에너지 계산기

PN 부호 탐색기의 실제적인 동작을 살펴보면 상관기에서 상관 에너지를 구하기 위해서는 일정 기간 동안의 적분기간이 필요하기 때문에 매 칩마다 상관 에너지를 구하지 않아도 되고, 따라서 다음 상관 에너지 값을 구하기까지는 시간적인 여유가 생기므로 공급기를 사용하지 않아도 된다. 또한, 덧셈기와 후치 적분기는 공급기의 연산이 끝나야 동작을 하는 것이므로 기존의 공급기를 덧셈기로 구현하게 되면, 덧셈기와 후치 적분기도 동일한 덧셈기에서 처리할 수 있게 된다. 그리고, on-time과 late-time의 상관기는 동일한 구조로 이루어져 있고 동작되는 클럭도 1/2 칩의 위상차를 가지면서 동작하기 때문에, 클럭의 속도만 조절하게 되면 하나의 블록에서 2개의 상관기에 대한 에너지 값을 구할 수 있게 된다. 또한, 기존의 시스템에서 주 클럭(Main clock)의 속도는 PN 칩 속도의 8배짜리 클럭(9.8304MHz)을 사용하고 있기 때문에, PN 부호 탐색기의 클럭 속도를 증가시키지 않고도 on-time과 late-time의 상관기에 대한 에너지 값을 하나의 블록에서 구하는데 문제가 되지 않는다. 그림 4는 제안된 에너지 계산기에 대한 타이밍 다이어그램을 보여준다.

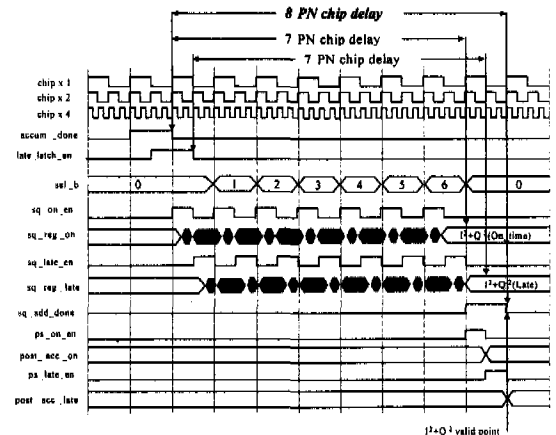


그림 4. 제안된 에너지 계산기의 타이밍 다이어그램
Fig. 4 Timing diagram of the proposed energy calculator

그림 4에서 알 수 있듯이, 적분기에서 정해진 기간 동안 적분이 완료되었음을 알리는 accum_done (late_latch_en)이라는 신호가 발생하고 나면, 이 신호에 의해서 레지스터에 적분기의 값들이 저장된다. 이 때, 적분기가 on-time과 late-time에 2개씩 존재하기 때문에, 4개의 레지스터가 필요하게 된다. 저장된 값들은 하나의 덧셈기를 사용하여 제곱 값으로 변환되어야 하기 때문에 부분 곱 발생기(partial prod. generator)가 필요하게 되고, 또 이 부분 곱 발생기는 4개의 레지스터가 공유할 수 있게 설계되었다. 부분 곱 발생기에서 발생하는 각 레지스터의 7개 부분 곱(partial product)들은 제어 신호(sel_b)에 의해 순차적으로 선택되어 16비트 덧셈기를 거쳐 sq_reg_on과 sq_reg_late에 누적되게 된다. sq_reg_on과 sq_reg_late는 각각 one-time과 late-time의 상관 에너지 값을 저장하기 위한 레지스터이고, 이 레지스터들은 각각 sq_on_en과 sq_late_en에 의해서 동작된다.

각 적분기에서 출력된 값이 에너지로 변환하기 위해서는 7개의 부분 곱들을 누적하기 위해 7 PN 칩이 소요되나, late-time측의 에너지 값은 1/2 칩이 지연되어 출력되므로 on-time과 late-time의 에너지 값이 모두 유효하기 위해서는 총 8 PN 칩의 시간이 필요하게 된다. 그런데, 일반적으로 IS-95에서 상관 에너지를 구하기 위해서 필요한 적분 기간은 부분 상관 에러(partial correlation error)를 고려할 때, 수십 PN 칩 이상이 되는 것이 보통이다. 따라서, 8 PN 칩의 시간이 소요되는 것은 적분 시간을 고려할 때 다음 적분기의 출력이 나오기 전까지 충분한 시간이기 때문에 설계된 에너지 계산기는 시간적으로 문제가 되지 않는다.

7개의 부분 곱들이 모두 2개의 레지스터에 저장되면, 상관 에너지 값에 대한 계산이 완료되었다는 sq_add_done이라는 신호가 발생하게 되고, 이 신호와 ps_on_en, ps_late_en 신호에 의해서 on-time과 late-time의 상관 에너지 값들은 후처 적분을 위해서 post_acc_on과 post_acc_late 레지스터에 각각 누적되게 된다. sq_add_done 신호는 다음 적분 값에 대한 에너지를 구하기 위해 4개의 적분기 출력을 저장했던 레지스터들을 초기화시키는데 사용된다. 그림 5는 그림 4의 타이밍 다이어그램을 바탕으로 설계된 에너지 계산기의 구조를 보여준다.

그림 5에서 알 수 있듯이, 제안된 에너지 계산기에는 4개의 적분기에 대한 적분 값(acc_i_on, acc_q_on, acc_i_late, acc_q_late)을 저장하기 위한

4개의 8비트 레지스터(A, B, C, D)와 1개의 부분 곱 발생기, 1개의 16비트 덧셈기, on-time과 late-time 상관 에너지를 저장하기 위한 2개의 15비트 레지스터(H : sq_reg_on, G : sq_reg_late), 그리고 on-time과 late-time 상관 에너지를 누적하기 위한 2개의 16비트 레지스터(F : ps_acc_on, E : ps_acc_late)로 구성되어 있다. 4개의 적분기 출력을 하나의 에너지 계산기를 이용하여 에너지 값으로 변환하기 위해서는 각 단계별 제어 신호들이 필요하게 되는데 이 모든 제어 신호들은 그림 3의 제어 부에서 발생되게 된다.

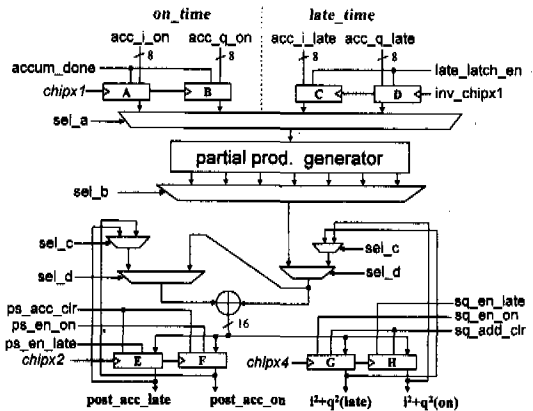


그림 5. 제안된 에너지 계산기의 구조
Fig. 5 Hardware architecture of the proposed energy calculator

본 논문에서 제안하는 PN 부호 탐색기는 공유 블록으로 설계되었기 때문에 상관기의 수가 증가하더라도 늘어난 상관기에 대한 에너지 부분을 기존의 공유 블록에서 계산할 수 있다는 장점이 있다(제안된 에너지 상관기는 기존의 시스템 클럭 속도 내에서 최대 4개의 상관기에 대한 에너지 값을 계산해 낼 수 있다). 따라서, 여러 개의 탐색기를 사용해야 하는 Multi-carrier 시스템^[13-14]의 경우와 같이 상관기의 부피가 증가하는 시스템에 있어서도 제안된 구조는 큰 장점을 가지게 된다.

IV. 시뮬레이션 및 FPGA 검증

앞에서 제안된 PN 부호 탐색기는 VHDL로 모델링 되었다(VHDL code line 수=3500). 모델링된 PN 부호 탐색기에 대한 시뮬레이션은 먼저 각 블록별로 수행되었고, 각 블록별 검증이 완료된 다음 전체적인 시뮬레이션을 수행하였다. 그림 6은 PN

부호 탐색기의 검증 환경을 제공하고 있다. 그림 6에서 보여지듯이, 전체적인 시뮬레이션에서는 CDMA 이동국용 PN 부호 탐색기가 마이크로 콘트롤러와 연계되어 동작을 수행하기 때문에 마이크로 콘트롤러 역할을 수행할 수 있는 콘트롤러도 VHDL로 설계하였다(VHDL code line 수=1,600). 또한, 설계된 탐색기를 검증하기 위한 환경을 조성하기 위해서 다경로 페이딩에 대한 효과를 주는 모듈과 여러 개의 기지국도 VHDL로 설계하였다(VHDL code line 수=600).

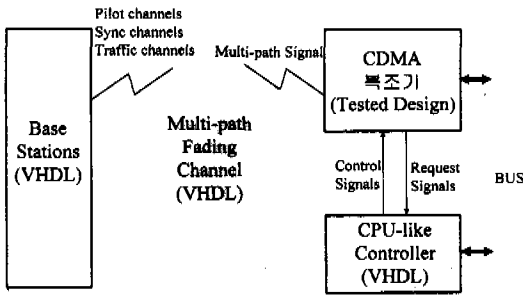


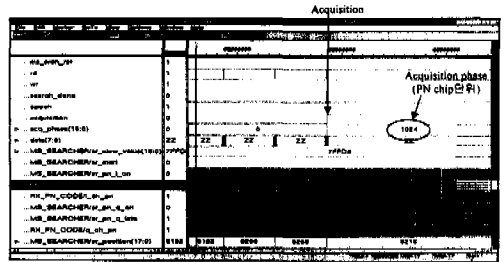
그림 6. PN 부호 탐색기의 검증환경
Fig. 6 Simulation environment for PN code searcher

PN 부호 탐색기의 VHDL 시뮬레이션 결과는 그림 7에서와 같이 보여지고 있다. 시뮬레이션을 위해 송신단의 PN 부호 위상이 이 수신단보다 1024 칩이 늦어지도록 설정하였고, 각 시스템 파라미터 값들은 다음과 같다.

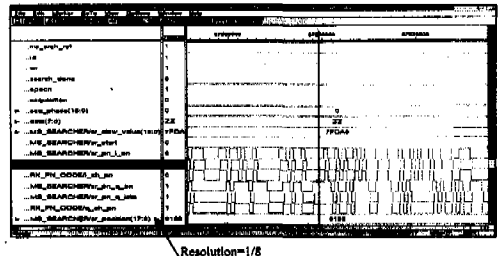
- 이득(Gain) = 1/2
- PN 부호 주기 = 32768
- 윈도우의 크기 = 48
- 첫 번째 적분구간 = 60 칩
- 두 번째 적분구간 = 200 칩
- 후치 적분 횟수 = 2회
- 첫 번째 임계치 = 100
- 두 번째 임계치 = 10000
- 확인 과정의 횟수 = 4회

그림 7의 a)에서는 탐색기의 동기 획득 결과를 보여주고 b)에서는 동기 획득이 정확하게 이루어졌는가를 확인하고 있다. 그림 7의 a)에서 알 수 있듯이 acquisition이라는 신호가 1로 바뀌었고, acq_phase라는 값이 동기 획득이 일어난 곳의 PN 부호 위상을 보여주고 있다. 여기서 acquisition과 acq_phase는 콘트롤러에서 VHDL 검증 확인을 용

이하게 하기 위해 설정한 신호이다. 그림 7의 b)에서는 동기 획득이 일어난 곳의 PN 부호 위상이 기지국에서 발생시키고 있는 PN 부호와 1/2 PN 칩이내에서 동기되는가에 대한 확인을 보여주고 있다. 위상 위치 카운터는 핑거와의 호환성을 유지하기 위해 1/8 PN 칩단위로 위상을 카운트하기 때문에, 동기 획득이 일어난 곳의 위상 위치 카운터 값은 $1024 \times 8 = 8192$ 가 된다. 그림 7에서 알 수 있듯이 기지국과 탐색기의 PN 부호가 1/2 PN 칩이내에서 동기가 되고 있음을 알 수 있다.



a) 동기 획득과 동기 획득 위상



b) 동기 획득 위상에 대한 확인

그림 7. PN 부호 동기 획득에 대한 시뮬레이션 결과
Fig. 7 Simulation results for PN code acquisition

앞에서 검증된 PN 부호 탐색기와 마이크로 콘트롤러, 그리고 제반 검증 환경은 FPGA로 구현되기 위해서 Synopsys의 0.6 μ m CMOS 라이브러리를 이용하여 게이트 수준으로 합성되었다. 제안된 PN 부호 탐색기의 게이트 수는 총 7,500개이며, 기존의 PN 부호 탐색기^[3]와 비교했을 때 약 15%의 하드웨어 복잡도가 감소된 결과를 보인다. 표 1은 제안된 PN 부호 탐색기의 내부 구성 모듈별 합성결과이다. 내부 구성 모듈중 실제로 하드웨어 구조에 대한 설계 변경은 상관기에 대해서만 가능하기 때문에, 표 1에서 나머지 블록을 빼고 상관기와 제어부만 놓고 비교하게 되면, 약 30%의 하드웨어 복잡도

가 감소한 것으로 볼 수 있다. 이 값은 상관기의 수를 증가시키게 되면 더욱 커질 것으로 예상된다.

표 1. 제안된 탐색기의 내부 구성 모듈에 대한 게이트수
Table 1. Gate counts for the sub-blocks in the proposed PN code searcher

전 계	기능 블록	
7,542	PN 부호 발생부	594
	상관기	2,426
	제어부	2,092
	마이크로 콘트롤러 접속부	2,430

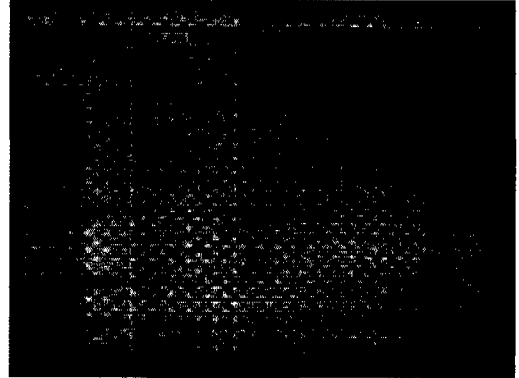
게이트 수준으로 합성된 결과는 Altera의 EPF10K FPGA 칩으로 구현되었으며, 이때 PN 부호 탐색기뿐만 아니라 마이크로 콘트롤러와 제반 검증 환경도 FPGA 칩으로 구현되었다. FPGA로 구현된 칩들은 테스트 보드에 장착되어 성공적으로 동작하였다. 그림 8은 PN 부호 탐색기의 FPGA 테스트 모습을 보여주고 있고, 그림 9는 FPGA 테스트에 대한 검증 결과를 보여준다.



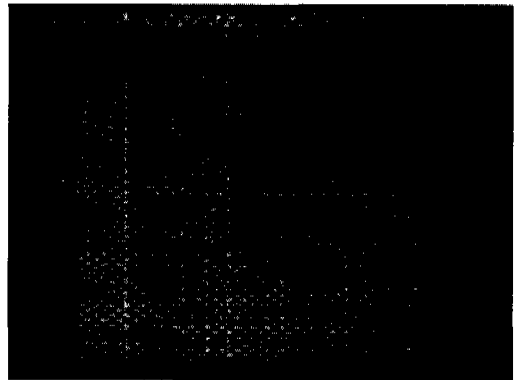
그림 8. PN 부호 탐색기의 FPGA 테스트 모습
Fig. 8 Picture of the FPGA test for PN code searcher

그림 9의 가)는 PN 부호 탐색기의 초기 형태를 보여준다. 그림 9의 가)에서 알 수 있듯이, 수신되는 PN 부호(i_pilot)가 수신기에서 발생하는 PN 부호(sr_pn_i)와 동기가 맞지 않고 있다. 그림에서 localpn1, localpn2, localpn3은 핑거 블록에서 발생

되는 PN 부호로서 PN 부호 탐색기에서 찾아낸 위상이 맞는지를 확인하기 위해 사용된 신호이다. 그림 9의 나)는 PN 부호 탐색기에서 찾아낸 위상이 제대로 수신되는 PN 부호와 동기를 이루는 가를 확인하는 그림이다. 그림 9의 나)에서 알 수 있듯이, PN 부호 탐색기에서 찾아낸 위상으로 핑거의 PN 부호를 이동시킨 결과 수신되는 PN 부호와 1/2 칩 이내에서 동기를 이루고 있다.



a) PN 부호 탐색기의 초기화



b) 동기 획득 결과에 대한 확인

그림 9. PN 부호 탐색기의 EPGA 테스트 결과
Fig. 9 FPGA test results for PN code searcher

FPGA 검증이 수행된 PN 부호 탐색기는 Compass의 0.6 μ m 라이브러리를 이용하여 레이아웃으로 구현하였으며, 구현된 레이아웃 면적은 2.13 mm \times 1.11 mm이다. 그림 10은 제안된 PN 부호 탐색기의 레이아웃을 보여주고 있다. 본 논문에서 제안된 PN 부호 탐색기의 구조 설계 내용은 IDEC 사업을 통하여 0.8 μ m SOG 공정 칩으로 제작 중에 있다.

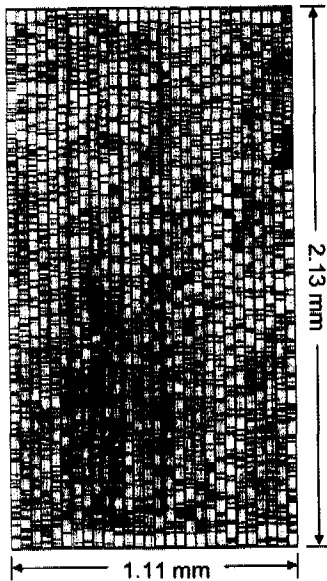


그림 10. PN 부호 탐색기의 레이아웃
Fig. 10 Layout of the PN code searcher

V. 결론

본 논문에서는 IS-95 표준에 따른 DS/CDMA 이동 통신 시스템의 이동국용 PN 부호 탐색기에 대한 새로운 하드웨어 구조를 제안하였다. 제안된 PN 부호 탐색기는 약 7,500개의 게이트를 가지며, 이것은 기존의 하드웨어 구조보다 약 15%의 하드웨어 복잡도가 감소된 결과이다. 제안된 PN 부호 탐색기는 VHDL을 이용하여 설계되었고, PN 부호 탐색기를 검증하기 위해 마이크로 콘트롤러와 검증 환경도 VHDL을 이용하여 설계하였다. 설계된 PN 부호 탐색기와 마이크로 콘트롤러, 그리고 제반 검증 환경은 다시 게이트 수준으로 합성되어 FPGA 칩으로 구현되었고, 테스트 베드에 장착되어 성공적으로 동작하였다. FPGA로 검증된 PN 부호 탐색기는 레이아웃으로 합성되었고, 레이아웃 면적은 2.13 mm × 1.11 mm이었다. 제안된 PN 부호 탐색기는 상관기 중 하드웨어 복잡도가 매우 큰 에너지 계산 블록이 공유 블록으로 설계되었기 때문에 여러 개의 탐색기가 필요한 Multi-carrier 시스템에서 유용하게 사용될 수 있을 것으로 기대된다. 제안된 PN 부호 탐색기는 현재 IDEC 사업의 0.8μm SOG 공정 칩으로 제작 중에 있다.

참고 문헌

- [1] K. S. Gilhousen, et al., "On the Capacity of a Cellular CDMA System", *IEEE Trans. on Vehicular Tech.*, VT-40, No.2, pp.303-312, May 1991.
- [2] Jurg Hinderling, Time Rueth, Ken Easton, Dawn Eagleson, Jeff Levin, and Richard Kerr, "CDMA Mobile Station Modem ASIC", in *Proc. of the IEEE CICC'92*, pp10.2.1-10.2.5, 1992. 5.
- [3] 연광일, 광계달, "CDMA 이동국용 PN 부호 탐색기 설계 및 구현", *전자공학회 논문지*, 제34권 S편 제8호, pp.825-832, 1997. 8.
- [4] TIA/EIA, "IS-95 : Mobile Station-Base Station Compatibility for Dual-Mode Wide -band Spread Spectrum Cellular System", July 1993.
- [5] David M. Dicarlo and Charles L. Weber, "Statistical Performance of Single Dwell Serial Synchronization Systems", *IEEE Trans. Commun.*, vol. COM-28, pp1382-1388, August 1980.
- [6] Seongjoo Lee and Jaeseok Kim, "Optimum Threshold for Double-dwell DS-SS Code Acquisition System in PCS Channel Model", *IEE Electronics Letters*, vol. 34, pp634-635, April. 1998.
- [7] Seongjoo Lee, Jaeseok Kim, and Moonkey Lee, "VHDL Design of the Optimum Code Acquisition System Suitable for CDMA PCS Modem Chip", in *Proc. of the ITC-CSCC'97*, pp665-668, 1997. 7.
- [8] D.M. Dicarlo and C.L. Weber, "Multiple Dwell Serial Search : Performance and Application to Direct Sequence Code Acquisition", *IEEE Trans. Commun.*, vol. COM-31, pp650~659, May 1983.
- [9] Essam Sourour and Someshwar C. Gupta, "Direct-Sequence Spread-Spectrum Parallel Acquisition in Nonselective and Frequency - Selective Rician Fading Channels", *IEEE J. Selected Areas Commun.* vol. 10, pp535-544, April 1992.
- [10] Bub-Joo Kang, Hyung-Rae Park, and Young-

nam Han, "Hybrid Acquisition in DS/ CDMA Forward Link", in Proc. of VTC'97, Vol. 3-B, pp.2123-2127, 1997.

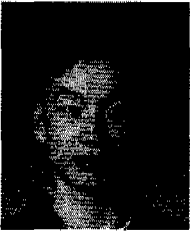
- [11] Deployment/Testing AD HOC Group, "Technical Report on RF Channel Characterization and System Deployment Modeling", JTC(AIR)/94.09.23-065R6, 1994.
- [12] Andrew J. Viterbi, "CDMA : Principles of Spread Spectrum Communication", Addison-Wesley Pub. Comp., 1995.
- [13] Shinsuke Hara and Pamjee Prasad, "DS-CDMA, MC-CDMA, and MT-CDMA for Mobile Multi-Media Communications", in Proc. of VTC'96, pp.1106-1110, 1996.
- [14] Yukitoshi Sanada and Masao Nakagawa, "An Initial Sequence Acquisition Technique for Multicarrier Time Division Duplex CDMA Systems on a Rayleigh Fading Channel", in Proc. of PIMRC'97, pp.342-346, 1997.

MTS(Member of Technical Staff)

1993년 5월~1996년 2월 : 한국 전자통신 연구소
VLSI 구조 연구실장
1996년 2월~현재 : 연세대학교 전자공학과 부교수
<주관심 분야> 디지털 통신 및 영상압축용 ASIC
설계, 고속 DSP 설계, VLSI 설계
와 CAD

이 섬 주(Seongjoo Lee)

정회원



1970년 2월 13일생
1993년 2월 : 연세대학교 공과
대학 전자공학과 학사
1998년 8월 : 연세대학교 공과
대학 전자공학과 석사
1998년 8월~현재 : 연세대학교
공과대학 전자공학과 박사과정
<주관심 분야> 이동통신 시스템용 Modem ASIC
설계

김 재 석(Jaeseok Kim)

정회원



1955년 10월 1일생
1977년 2월 : 연세대학교 공과
대학 전자공학과 학사
1979년 2월 : 한국 과학원 전기
및 전자공학과 석사
1988년 8월 : Rensselaer Polyt
echnic Institute 전자
공학과 박사

1979년 2월~1984년 4월 : 전자기술 연구소 선임
연구원
1988년 8월~1993년 5월 : AT&T Bell Lab.