

# Packaged GaAs FET의 비선형 모델의 추출과 주파수 체배기의 설계에의 응용

정희원 박진우\*, 전광일\*\*

## Extraction of a Nonlinear Model of Packaged GaAs FET and Its Application to Frequency Quadruplier Design

Jin-woo Park\*, Kwang-Il Chun\*\* *Regular Members*

### 요 약

본 논문은 초고주파 회로 구현에 일반적으로 사용되는 패키지 GaAs FET의 비선형 모델을 칩 GaAs FET의 비선형 모델을 기반으로 추출하는 방법을 제시하였다. 제안한 비선형 모델의 추출 방법은 패키지 GaAs FET 비선형 모델의 파라미터를 수치적으로 구하는 최적화 과정을 포함하며, 특수한 비선형 측정장치 없이도 패키지 GaAs FET 비선형 모델의 파라미터를 쉽게 구할 수 있는 이점을 가지고 있다.

본 논문에서는 선형해석을 통한 주파수 4 체배기 설계 및 제작과 비교하였으며, 추출된 패키지 GaAs FET 비선형 모델을 이용하여 구현된 2.5GHz/10GHz 4체배 주파수 체배기 성능 실험에서 3.67 dB 변환이득과 60 dBc 하모닉 억제 성능의 우수한 특성을 얻을 수 있음을 확인하였다.

### ABSTRACT

This paper proposes an extraction method for a nonlinear model of the packaged GaAs FET based on the given nonlinear model of a chip GaAs FET, which is a preferably used in many microwave circuit implementation. The proposed extraction method for a nonlinear model includes an optimization process to obtain numerically the parameters of the packaged GaAs FET nonlinear model, which is very advantageous in that the nonlinear model parameters of the packaged GaAs FET can be easily found without using any special nonlinear parameter measurement equipments. Its is proved in the experiments that the 2.5GHz/10GHz frequency quadruplier implemented based on the packaged GaAs FET nonlinear model provides the performances of 3.67 dB frequency conversion gain and 60 dBc harmonic rejection compared with the one designed based on the linear circuit design.

### I. 서론

초고주파 응용의 많은 경우에 안정되고 잡음이 적은 높은 주파수의 초고주파 신호를 얻기 위하여, 저주파 신호를 비선형 소자로 입력하고 출력되는 고주파 신호로부터 원하는 주파수 성분만을 추출하는 주파수 체배기를 많이 사용한다. 주파수 체배기는 비선형 소자를 이용하여 고주파 신호를 발생시

키는 데, 일반적으로 고주파 신호의 크기가 매우 작아 증폭기를 후단에 추가한다. 그러나 효율화 및 소형화를 추구하는 측면에서 주파수 체배기의 전력 변환 효율의 향상을 위한 연구가 지속적으로 진행되고 있다<sup>1)</sup>.

주파수 체배를 위해 사용되는 비선형 소자로는 전류와 전압 사이의 비선형 관계를 이용하는 배리스터, 비선형 리액턴스를 이용하는 배렉터, 그리고

\* 고려대학교 전자공학과  
논문번호 : 98426-0925, 접수일자 : 1998년 9월 25일

\*\* 인덕대학 방송통신정보계열

하모닉을 이용하는 SRD(Step Recovery Diode)등의 2단자 소자와 BJT와 GaAs FET 등의 4단자 소자가 있다. 전력변환 이득측면에서 2단자 비선형 다이오드 소자를 이용하여 N 체배를 할 경우 가능한 최대 효율은  $1/N^2$  정도로 평가된다. 배터리를 이용한 체배기는 비교적 낮은 고주파(4체배 이하)를 발생시키는 데 주로 사용하며, SRD를 사용한 체배기는 매우 높은 주파수를 발생시키는 데 사용된다. 이와 같은 수동 주파수 체배용 소자는 모두 매우 협대역이고 손실을 가지게 된다<sup>2)</sup>. 반면에 GaAs FET를 이용한 능동 주파수 체배기는 다이오드 주파수 체배기에 비하여 넓은 주파수 대역에서 변환이득을 얻을 수 있으며, 입출력간의 우수한 분리도, 높은 효율, 그리고 저잡음 특성으로 많은 연구의 대상이 되고 있다. 특히 변환이득은 효율적인 통신 시스템 구성에 있어서 매우 중요한 성능 조건이다. 체배기가 높은 손실을 가지게 되면 이후에 신호 증폭기를 부가적으로 필요하게 되나, 체배기 자체가 이득을 가짐으로써 증폭기를 구성하지 않고도 원하는 신호의 세기를 얻을 수 있게 된다면 매우 유리한 설계 조건을 얻게 된다. 그 동안의 연구 보고에서 일반적인 능동 주파수 체배기가 2 체배 할 경우 수 dB의 변환 이득을 얻을 수 있으며, 비선형 동작을 기반으로 하는 체배기의 설계에서 비선형 설계를 통한 변환이득의 개선을 위한 연구가 필요하다<sup>3, 4, 5)</sup>.

GaAs FET를 이용한 초고주파 기기 또는 시스템의 구현에서 패키지(package) 형태의 GaAs FET를 많은 경우에 사용하지만, 제조업자로부터 설계에 사용되도록 제공되는 GaAs FET 소자의 parameter는 일반적으로 칩(chip)형태의 GaAs FET에 관한 것이다. 그러나 패키지의 구조와 형태에 따라 GaAs FET의 특성의 변화는 피할 수 없다. 따라서 특별히 정확한 성능결과를 요구하는 초고주파 회로의 설계의 경우에 고 정밀 비선형 특성 측정기기를 사용하여 패키지 형태의 GaAs FET에 대한 비선형 모델의 측정을 하고 있으며, 이에 특수한 측정설비는 물론 많은 측정시간과 숙련된 기술을 갖는 기술자의 노력이 필요로 한다. 또한 높은 정확도가 요구되지 않은 초고주파 비선형 회로설계의 경우에서도 정확하지 않은 비선형 사양을 사용한다는 것은 GaAs FET의 주어진 최대 성능을 활용하지 못하는 결과를 초래하게 된다.

본 논문은 칩 GaAs FET의 비선형 모델을 기반으로 패키징 효과를 포함한 패키지 GaAs FET의 비선형 모델을 최적화 과정을 통하여 구하는 과정

을 제시하고, 이를 비선형 회로인 체배기의 설계에 반영하여 그 유효성을 입증하고자 한다. 제시된 비선형 모델을 이용하여 입력 신호가 2.5 GHz 이고 출력 신호는 10 GHz 인 주파수 4 체배기를 구현하였으며, 기존 설계방법에 의하여 구현된 체배기의 성능과 비교하여 전력 변환효율의 성능개선을 실현하였다.

## II. 비선형 특성 및 모델링

### 2.1 GaAs FET의 비선형 특성

비선형 소자에서 전류와 전압의 비선형 관계를 표현하면 다음과 같다.

$$i_o = g(v_i) \tag{1}$$

여기서  $g(v_i)$ 는 소자의 비선형 특성을 나타내는 전달함수이고,  $i_o$ 는 출력전류 그리고  $v_i$ 는 입력전압이다. 전달함수인  $g(v_i)$ 를 Taylor 급수로 전개하면 아래의 식으로 표현될 수 있다<sup>6)</sup>.

$$i_o = g_0 + g_1(v_i) + g_2(v_i^2) + g_3(v_i^3) + g_4(v_i^4) + \dots \tag{2}$$

여기서,  $g_0 = g(0)$ ,  $g_1 = \partial g / \partial v |_{v=0}$ ,  $g_2 = 0.5 \partial^2 g / \partial^2 v |_{v=0}$ ,  $g_3 = 0.166 \partial^3 g / \partial^3 v |_{v=0}$ ,  $g_4 = 0.04167 \partial^4 g / \partial^4 v |_{v=0}$  등으로 표시된다. 단일 입력전압을 단일 주파수 함수인  $v_i = A \cos \omega_i t$ 로 할 경우에 식(1)은 아래의 식으로 표현된다.

$$i_o(t) = (g_0 + g_2 \frac{A^2}{2} + 3g_4 \frac{A^4}{8}) + (g_1 A + 3g_3 \frac{A^3}{4}) \cos \omega_i t + g_2 \frac{A^2}{2} \cos 2\omega_i t + g_3 \frac{A^3}{4} \cos 3\omega_i t + g_4 \frac{A^4}{8} \cos 4\omega_i t + \dots \tag{3}$$

이때 출력전류는 직류성분과 크기  $g_1 A + 3g_3 A^3/4$ 를 갖는 기본 주파수  $\omega_i$  신호, 크기  $g_2 A^2/2$ 를 갖는 이차 고조파  $2\omega_i$  신호, 크기  $g_3 A^3/4$ 를 갖는 삼차 고조파  $3\omega_i$  신호, 그리고 크기  $g_4 A^4/8$ 를 갖는 사차 고조파  $4\omega_i$  신호등으로 이루어져 있다. 주파수 체배기의 기본 원리는 비선형 소자의 특성을 이용하여 출력되는 고조파 항 중에 원하는 주파수 신호의

출력은 가능한 크게 하고, 그 외의 주파수 신호들의 출력은 작도록 하여 대역통과 필터를 통하여 원하는 주파수 신호를 출력한다. 식(3)에서 보듯이 주파수 체배기의 효율은 비선형 소자가 가지는 전달함수의 계수  $g$ 에 의해 결정된다. 그러므로 체배기에 사용되는 소자의 적절한 선택과 비선형 특성의 효율적인 이용이 체배기의 성능을 결정하는 중요한 설계 요인이 된다. 특히 소자의 비선형 특성의 효율적인 이용은 소자의 정확한 동작점의 선택이 선결되어야 한다. 또한 이러한 설계조건은 비선형 구동에서 발생하는 기타의 고조파 성분의 억제에 의한 출력신호의 최대화와 잡음의 최소화와 직결되므로 그 중요성은 매우 크다<sup>7)</sup>.

GaAs FET를 주파수 체배기로 사용할 경우 output conductance와 transconductance의 비선형성만 고려하여, 비선형성을 나타내는 식은 다음과 같은 근사식으로 표현할 수 있다<sup>8), 9)</sup>.

$$I_{ds}(t) = I_{dso} + g_m v_{gs} \cos(\omega t + \phi) + G_d v_{ds} \cos \omega t \quad (4)$$

여기서  $I_{dso}$ 는 드레인 전류이고 transconductance  $g_m$  과 output conductance  $G_d$ 는 다음과 같다.

$$g_m = \left( \frac{i_{ds}}{v_{gs}} \right)_{v_{ds}=0} \quad (5)$$

$$G_d = \left( \frac{i_{ds}}{v_{ds}} \right)_{v_{gs}=0} \quad (6)$$

또한 바이어스 전압과 입력신호로 표시되는 게이트 전압과 드레인 전압은 다음과 같이 표현된다.

$$V_{gs}(t) = V_{gso} + v_{gs} \cos(\omega t + \phi) \quad (7)$$

$$V_{ds}(t) = V_{dso} + v_{ds} \cos \omega t \quad (8)$$

그러므로  $I_{ds}$ 는  $V_{gs}(t)$ 와  $V_{ds}(t)$ 의 함수로 표시되며, 식(7)과 (8)을 식(5)에 대입하여 정리하면 transconductance와 output conductance는 다음과 같이 된다.

$$g_m = - \frac{\omega}{\pi v_{gs} \sin \phi} \int_0^{2\pi} I_{ds} \sin \omega t dt \quad (9)$$

$$G_d = - \frac{\omega}{\pi v_{ds} \sin \phi} \int_0^{2\pi} I_{ds} \sin(\omega t + \phi) dt \quad (10)$$

위식에서 GaAs FET의 특성을 결정하는 transconductance  $g_m$ 과 output conductance  $G_d$ 는

바이어스 전압  $V_{gso}$ 와  $V_{dso}$  그리고 입력신호  $v_{gs}$ 와  $v_{ds}$ 의 비선형 관계를 나타내는 함수이다.

### 2.2 패키지 GaAs FET의 비선형 모델 추출

칩 GaAs FET의 비선형 모델로부터 패키지 GaAs FET의 비선형 모델을 추출하기 위하여 사용한 패키지 GaAs FET의 근사적 등가모델은 그림 1과 같다. 그림 1.에서 GaAs FET 칩을 패키징하면서 발생하는 부가적 비선형 성분은  $L_1$ ,  $L_2$ ,  $L_3$ ,  $C_1$ ,  $C_2$ , 그리고  $C_3$ 로 나타냈으며, 이중에  $L_1$ 은 칩의 게이트와 패키지의 캐리어 사이의 기생 인덕턴스 성분,  $L_2$ 는 칩의 소스, 그리고  $L_3$ 는 칩의 드레인에 관련된 기생 인덕턴스 성분을 의미한다. 또한  $C_1$ 은 패키지 GaAs FET의 게이트와 소스,  $C_2$ 는 게이트와 드레인, 그리고  $C_3$ 는 소스와 드레인 사이에서의 기생 캐패시턴스를 나타낸다. 그리고  $TL_1$ ,  $TL_2$ ,  $TL_3$ 는 각각 패키지 내부에서의 리드 전송선로들을 나타낸다.

Curtice<sup>10), 11)</sup>의 GaAs FET 비선형 연구에 의하면, 기생성분들은 바이어스 전압에 의한 변화율이 1% 이하로 매우 작으며, 그림 1에 보여준 부가적인 성분값의 변화가 칩 GaAs FET의 비선형 특성의 변화에 미치는 영향이 매우 작다. 따라서 GaAs FET의 비선형 특성은 칩 GaAs FET의 비선형 특성에 의해 결정된다고 가정할 수 있으며, 전체 패키지 GaAs FET의 등가모델은 그림 1에서 부가적인 요소들의 값을 결정함으로써 추출할 수 있다<sup>12), 13)</sup>.

패키지 GaAs FET의 비선형 모델에서 부가적인 요소 값을 구하는 과정은 다음과 같다. 첫째, 임의의 바이어스 점에서 측정된 패키지 GaAs FET의 산란계수를 측정한다. 둘째, 측정된 산란계수들에 칩 GaAs FET 비선형 특성에 기반을 둔 패키지 GaAs FET의 비선형 모델이 일치하도록  $L_1$ ,  $L_2$ ,  $L_3$ ,  $C_1$ ,  $C_2$ ,  $C_3$ ,  $TL_1$ ,  $TL_2$ , 그리고  $TL_3$ 를 최적 근사화 과정을 이용하여 추정한다.

최적화 과정의 수행은 본 연구에서 랜덤기법과 그래디언트 기법을 적용하였다. 목표치와 계산치의 오차함수  $U(\phi)$ 를 최소화하는 최적화 과정은 다음과 같다.

$$\phi_{i+1} = \phi_i + \lambda_i s_i \quad (11)$$

여기서  $\lambda_i$ 는 최적화 단계의 크기를 나타내며,  $s_i$ 는 정규화 그래디언트 벡터로서 다음과 같다.

$$s_i = \phi_i - \phi_{i-2} \quad (12)$$

오차함수의 최소화를 위한 반복계산은 아래의 수렴조건을 만족시키도록 수행된다.

$$(-) \left| \frac{U(\phi_{i+1}) - U(\phi_i)}{U(\phi_i)} \right| \leq \epsilon_1 \quad (13)$$

$$(-) \left| \frac{\partial U(\phi)}{\partial \phi_k} \right| \leq \epsilon_2 \quad (14)$$

$$(+) |\phi_{i+1} - \phi_i| \leq \epsilon_3 \quad (15)$$

여기서  $\epsilon_1$ ,  $\epsilon_2$  그리고  $\epsilon_3$ 는 각각 충분히 작은 임의의 값이며, 계산의 정확성과 수렴속도를 고려하여 결정한다. 위에 기술한 최적화 수행과정을 초기 단계에서 랜덤기법을 사용하여 목적 최적화 범위에서 가장 작은 오차 최소점 군을 찾아내고 다음에 그라디언트 기법을 사용하여 최소점 군중에 최적점을 찾아내도록 하였다.

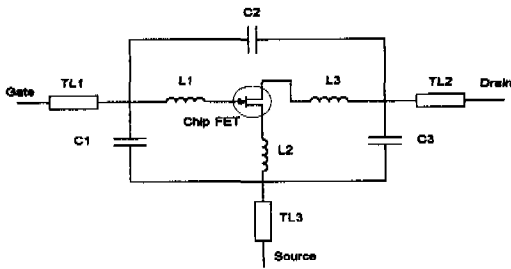
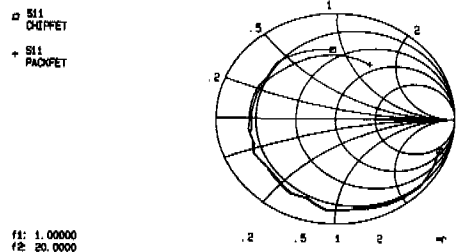


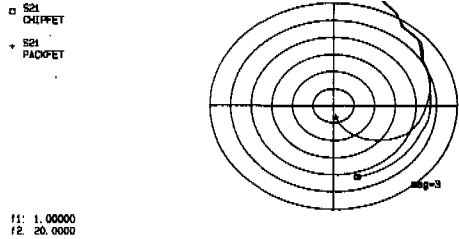
그림 1. 제안한 Package GaAs FET의 등가회로  
Fig. 1 Proposed Equivalent Circuit for Packaged GaAs FET

그림 2(a)-(d)는 특정 바이어스 점에서 실제 패키지 GaAs FET를 측정된 산란계수와 본 연구에서 제안한 방법에 의하여 칩 GaAs FET로부터 패키지 GaAs FET 비선형 모델의 산란계수를 1-20GHz 주파수 범위에서 비교한 결과를 보여주고 있다. 실제 GaAs FET와 GaAs FET 모델의 산란계수에 대한 주파수 특성을 비교하면, 주파수 범위 1-14GHz에서  $S_{11}$ ,  $S_{21}$ ,  $S_{12}$  그리고  $S_{22}$  가 오차 3% 내에서 거의 일치하고 있으며, 20GHz까지 주파수가 증가하면서 점차 오차가 증가함을 관찰할 수 있다. 이와 같은 결과로부터 본 연구에서 제시한 비선형 모델링 방법은 약 15GHz까지 비교적 정확한 비선형 회로 설계에 사용할 수 있음을 알 수 있다. 그러나 15GHz 이상의 높은 주파수 범위에서는 비선형 모델링 최적화 과정에서 GaAs FET의 측정값과 모델

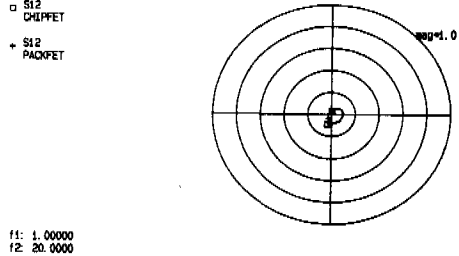
값을 비교하여 보정하는 추가적인 연구가 필요할 것이다.



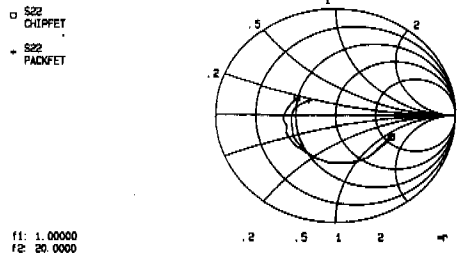
(a)  $S_{11}$ .



(b)  $S_{21}$ .



(c)  $S_{12}$ .



(d)  $S_{22}$ .

그림 2. Package GaAs FET 산란계수의 측정값과 비선형 모델의 주파수 특성비교  
Fig. 1 Proposed Equivalent Circuit for Packaged GaAs FET

### III. 설계 및 제작

GaAs FET는 주파수 체배와 변환이득을 가질 수 있고 최적의 비선형 동작을 위해 펀치 오프 전 가까이나 또는 순방향 도전 상태 가까이에 동작 점을 갖게 된다. 펀치 오프 점을 택할 경우 GaAs FET는 반파 정류로 동작하고 그의 출력특성은 작은 드레인 전류, 높은 효율 그리고 기본 주파수에 대한 낮은 이득 등의 이점을 갖는다.

2.5/10 GHz 4배 주파수 체배기를 선정된 패키지 GaAs FET의 산란계수를 이용하여 선형 설계 기법을 이용하여 설계한 결과와 본 연구에서 제안한 칩 GaAs FET로부터 추출된 패키지 GaAs FET의 비선형 모델을 이용하여 비선형 설계 기법을 이용하여 설계한 결과를 각각 비교하였다. 선형 설계 기법의 설계과정은 표 1. 에 주어진 선형 산란계수로부터 입력 정합회로를 2.5 GHz에서의  $S_{11}$ 에 정합하도록 구성하고, 출력 정합회로는 10 GHz에서  $S_{22}$ 에 정합하도록 구성하였다. 구성된 2.5/10 GHz 주파수 체배기의 패턴도는 그림 3에 그려져 있다.

표 1. 사용된 Packaged GaAs FET의 산란계수  
Table 1. S-Parameter of Packaged GaAs FET used

동작 주파수	산란계수	
2.5 GHz	$S_{11} = 0.948 \angle -52^\circ$	$S_{12} = 0.056 \angle -55.95^\circ$
	$S_{21} = 4.857 \angle 135.85^\circ$	$S_{22} = 0.476 \angle -47.15^\circ$
10 GHz	$S_{11} = 0.761 \angle -154^\circ$	$S_{12} = 0.097 \angle -14.5^\circ$
	$S_{21} = 2.812 \angle 41^\circ$	$S_{22} = 0.417 \angle -130^\circ$

추출된 패키지 GaAs FET 비선형 모델을 이용하여 설계 제작된 2.5/10 GHz 4배 주파수 체배기는 그림 4에 나타나 있는데, 초기 치로 하여 설정한 바이어스 점과 입력 전력크기에 따라 원하는 체배기의 최적 성능을 얻을 수 있는 정합회로를 비선형 시뮬레이터인 LIBRA를 이용하여 설계된 결과이다. 그림 5는 시뮬레이션 결과로서 예측된 출력신호의 스펙트럼으로 10 GHz의 신호출력과 비선형 고조파들의 출력들을 비교하고 있다. 입력 신호 4 dBm에서 변환이득 4.5 dB 이고 손제일 큰 하모닉 신호인 제 5 고조파와 비교할 때에 하모닉 억제는 약 60 dBc로 성능이 예측되었다.

선형 설계 기법으로 설계된 그림 4 와 추출된 비선형 모델을 이용하여 비선형 설계 기법으로 설계된 그림 5에는 모두 출력 단에 마이크로스트립선로를 이용한 병렬결합형 대역통과 여파기를 포함하고 있으며, 이것은 체배기 특성상 많은 하모닉을 포함함으로 인하여 설계시 출력 특성을 관찰하기 어렵고 출력 부하 임피던스에 따라 체배기의 특성이 많은 영향을 받기 때문에 출력단에 대역통과 여파기 로하여 부하 임피던스의 영향을 감소시키고 그리고 실제 제작하여 측정시 체배기 자체만을 측정하기 어렵기 때문에 체배기 출력에 모두 추가 되어 있다. 그림 6에는 그림 4 와 그림 5에 포함되어있는 대역통과 여파기의 특성을 나타내고 있으며, 이들은 동일한 특성을 갖는 대역 통과 여파기이다. 10 GHz의 중심 주파수에서  $\pm 250$  MHz 주파수 대역에서 삽입손실은 2 dB 이하 임출력 Return loss 는 12 dB를 갖고 그리고 중심주파수에서 700 MHz 아래의 주파수에서 약 20 dB를 억압하는 특성을 갖게 설계되었다.

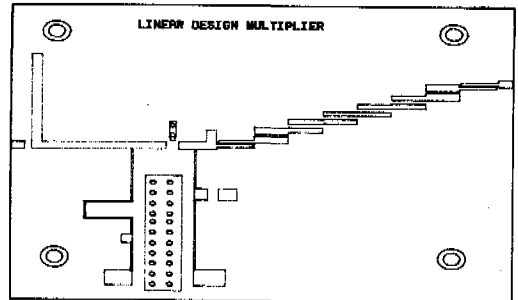


그림 3. Packaged GaAs FET 산란계수를 이용하여 설계한 4 배 주파수 체배기의 회로 패턴도

Fig. 3 Frequency Quadrupler circuit pattern diagram using the packaged GaAs FET S-parameters

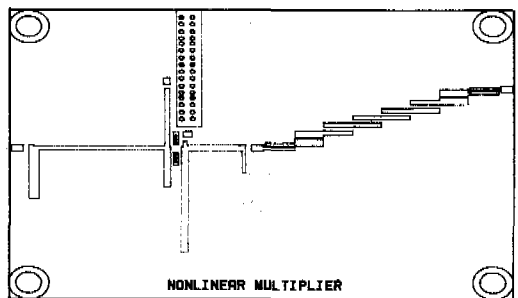


그림 4. 추출된 Package GaAs FET의 비선형 모델을 이용하여 설계한 4 배 주파수 체배기의 회로 패턴도

Fig. 4 Frequency quadrupler circuit pattern diagram using the extracted nonlinear of the packaged GaAs FET

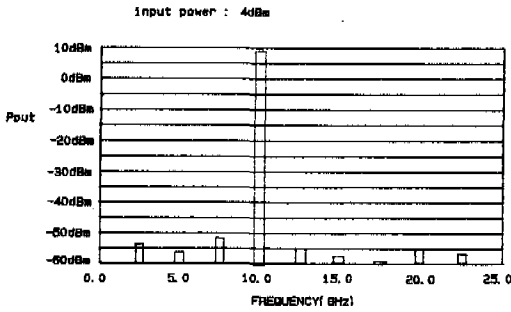


그림 5. 추출된 비선형 모델을 이용하여 설계된 4배 주파수 체배기의 출력 스펙트럼  
 Fig. 5 Output spectrum of frequency quadruplier using the extracted nonlinear model of the packaged GaAs FET

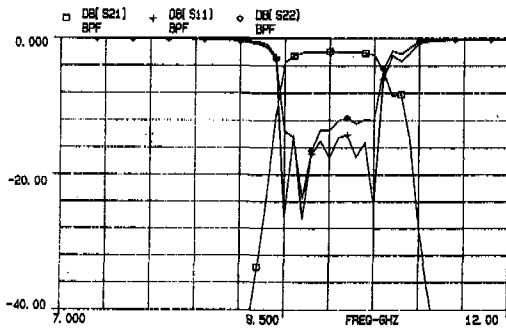
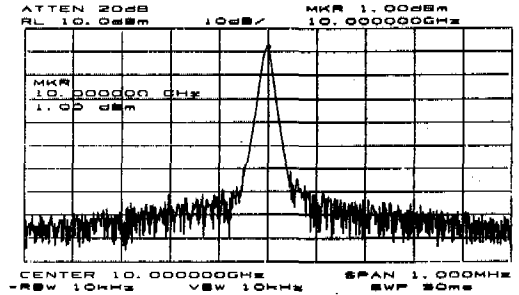


그림 6. 사용된 대역통과 여파기의 특성  
 Fig. 6 Characteristics of band pass filter used

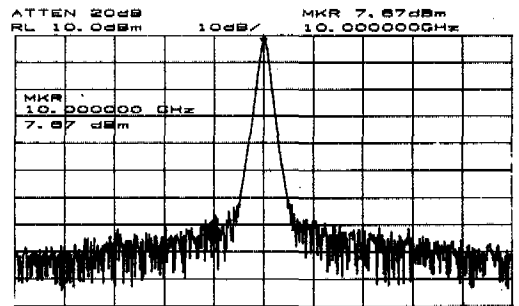
IV. 실험 및 고찰

그림 7 (a)는 입력신호가 2.5 GHz에서 0 dBm일 때 선형설계 기법을 이용하여 제작된 2.5/10 GHz 4 배주파수 체배기의 출력 신호이며, 그림 7 (b)는 본 논문에서 추출한 패키지 GaAs FET 비선형 모델을 이용하여 제작된 2.5/10 GHz 4배주파수 체배기의 입력신호가 2.5 GHz에서 4 dBm 일때의 출력 신호를 보여 주고 있다. 이 결과에서 기존 설계의 경우에는 1 dB의 변환이득을 그리고 추출된 비선형 모델을 이용한 비선형 설계의 경우에는 3.67 dB의 변환이득을 관측할 수 있었으므로, 본 연구에서 제안한 방법에 의하여 보다 높은 변환이득을 얻을 수 있음을 입증하였다. 또한 고조파 억압 효율에 있어서도 추출된 비선형 모델을 이용한 비선형 설계의 경우가 우수하였다. 선형 설계 기법을 이용한 체배기는 고조파 억압이 그림 8 (a)에서 처럼 약 -46 dBc 이나, 예측한 바와 같이 비선형 기법을 이용한 체배기의 하모닉 억압은 그림 8 (b)에 나타난

것처럼 60 dBc 이상의 고조파 억압비를 보였다. 그림 9는 비선형 설계 기법으로 제작된 체배기의 출력 특성을 나타내고 있으며, 이것은 입력 신호를 10 GHz 중심 주파수에서 4MHz씩 움직여 가면서 출력 파형을 측정 한 결과로 입력 파형이 변함에 따라 출력 파형이 동일하게 주파수를 변하는 것을 확인 한 것이다.



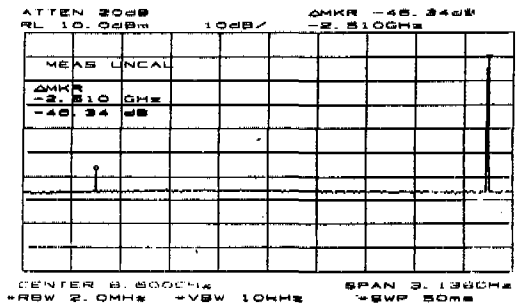
(a)



(b)

그림 7. 4배 주파수 체배기의 출력신호  
 (a) 선형 설계의 결과  
 (b) 추출된 비선형 모델을 이용한 비선형 설계의 결과

Fig. 7 Output signals of the implemented frequency quadrupliers  
 (a) Result of linear design  
 (b) Result of nonlinear design using the extracted nonlinear model



(a)

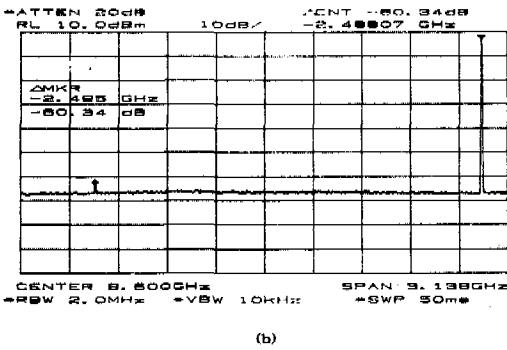


그림 8. 4배 주파수 체배기의 하모닉 신호 특성  
(a) 선형 설계의 결과  
(b) 추출된 비선형 모델을 이용한 비선형 설계의 결과

Fig. 8 Harmonic signal characteristics of the implemented frequency quadrupliers  
(a) Result of linear design  
(b) Result of nonlinear design using the extracted nonlinear model

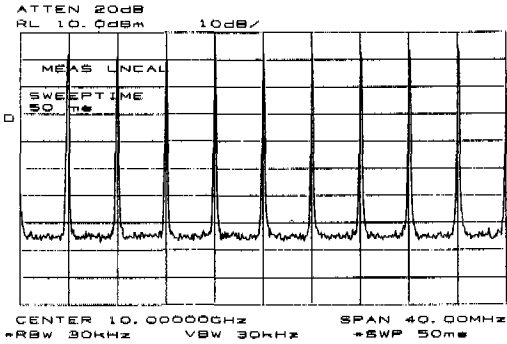


그림 9. 4배 주파수 체배기의 신호 특성  
Fig. 9 Signal characteristics of the implemented frequency quadrupliers

V. 결론

본 논문에서는 칩 GaAs FET로부터 패키지 GaAs FET 비선형 모델을 추출하는 방법을 제안하였고, 추출된 비선형 모델을 이용하여 설계된 4배 주파수 체배기의 측정에서 제안된 설계과정에 의한 결과가 선형 설계의 결과 보다 개선된 성능을 얻을 수 있음을 입증하였다. 즉 패키지 GaAs FET 비선형 모델을 이용하여 설계된 체배기는 3.67 dB 높은 변환이득과 60 dBc 이상의 고조파 억제 효과를 보였다. 이것은 선형 설계 기법으로 설계한 체배기의 특성 보다 월등한 것으로 본 연구에서 제안한 칩 GaAs FET로부터 패키지 GaAs FET의 비선형 모델의 추출방법이 타당함을 알 수 있다.

본 연구에서 제안한 패키지 GaAs FET 비선형

모델링 방법은 고정밀의 특수한 비선형 특성 측정 장치를 사용하지 않고서도 패키지 GaAs FET의 설계 매개변수를 수치적으로 결정할 수 있는 수단을 제공하며, 따라서 패키지 GaAs FET의 비선형 설계가 요구되는 분야에 경제적으로 적용할 수 있을 것이다. 단, 15 GHz 이상에서는 많은 오차를 발생하므로 이에 대해서는 다른 보완 방법이 필요하다. 앞으로 이에 대한 연구가 더 많이 진행되어지면, 보다 정확한 비선형 모델을 이용하여 비선형 회로의 정확한 설계가 가능하게 될 것이다.

참고 문헌

- [1] S.V.Ahamed, "Study and Fabrication of a Frequency Divider-Multiplier Scheme for High-Efficiency Microwave Power," IEEE Trans. Communications., pp. 243-249. FEBRUARY, 1976
- [2] R. Soares, GaAs MESFET circuit design, Artech House, Inc., pp. 105-108, 1988
- [3] R.S. Pengelly, Microwave field-effect transistor-theory, design and application, John Wiley & Sons, Ltd., pp.199-203, 1982
- [4] S. A. Maas, Nonlinear Microwave Circuits, Artech House Inc., pp. 81-84, 1990
- [5] I. Bahl, Microwave Solid State Circuit Design, John Wiley & Sons, Ltd., pp.199-203, 1982
- [6] R. Gilmore, "Concepts in the design of frequency multipliers," Microwave Journal, pp. 129-139, MARCH, 1987
- [7] Christen Rauscher, "High-Frequency Doubler Operation of GaAs Field Effect Transistors," IEEE Trans. Microwave Theory Tech., vol, MTT-31, NO.6, pp. 462-473, JUNE, 1983
- [8] Yusuke Tajima, "GaAs FET Large-Signal Model and its Application to Circuit Designs." IEEE Trans. Microwave Theory Tech., vol, MTT-28, NO.2, pp. 171-175, FEBRUARY, 1980
- [9] Tohru Takada, "A MESFET Variable-Capacitance Model for GaAs Integrated Circuit Simulation," IEEE Trans. Microwave Theory Tech., vol, MTT-30, NO.5, pp. 719-724, MAY, 1982
- [10] Walter R. Curtice, "Self-Consistent GaAs FET

